

130 nm bulk プロセスによる面積・遅延・電力のオーバーヘッドを抑えた耐ソフトエラーフリップフロップ

A Radiation Hardened Flip-flop with minimizing Area, Delay, and Power Overheads in a 130 nm bulk process

中島隆一¹
Ryuichi Nakajima

井置一哉²
Kazuya Ioki

古田潤¹
Jun Furuta

小林和淑¹
Kazutoshi Kobayashi

京都工芸繊維大学¹
Kyoto Institute of Technology

ローム株式会社²
ROHM Co., LTD.

1 はじめに

集積回路のソフトエラー対策として高純度材料（低 α 線樹脂等）の使用が挙げられる。しかし、高純度材料を比較的安価なマイコン等の製品に使用するのは困難であるため、回路に対して性能のオーバーヘッドが小さいソフトエラー対策を施す必要がある。

本稿では、面積、遅延、電力のオーバーヘッドを抑えた耐ソフトエラーフリップフロップを提案し、 α 線源を用いた加速試験によりソフトエラー耐性を実測評価する。

2 ソフトエラー

ソフトエラーとは、集積回路内のトランジスタに放射線が突入することにより電子正孔対が生成され、ラッチ回路やフリップフロップの保持値が反転するエラーのことである。発生したエラーは一過性のものであり、再起動により回復するが、自動車や医療機器など人命に関わる分野では致命的である。

3 フリップフロップのソフトエラー耐性評価

回路構造やトランジスタサイズの異なる合計9種類のフリップフロップに対して α 線照射を行った。算出したエラー率と回路シミュレーションにより求める臨界電荷量 Q_{crit} との比較を行った。臨界電荷量とは、保持値の反転に必要な最小の電荷量である[1]。NMOSトランジスタでは電子起因、PMOSトランジスタでは正孔起因でエラーが発生する。電子は正孔と比べて移動度が大きくエラーが発生しやすいため、本研究ではエラーが発生しやすいNMOSの Q_{crit} を求めた。エラー率と Q_{crit} の比較により、 Q_{crit} が14fC以上の箇所では、最もエラー率の高いフリップフロップの1/100以下になるため、対策目標を $Q_{crit} > 14\text{fC}$ とした。

Q_{crit} を14fC以上に増加させる提案回路を図1に示す。

図1に示す提案回路について、青色のPMOSトランジスタのゲート幅を拡大し、赤色の配線とトランジスタを追加して Q_{crit} を増加させた。ゲート幅の変更やPMOSトランジスタと配線の追加によりゲートの出力に供給される正孔を増加させることができる。NMOSトランジスタを追加することで、脆弱なゲート構造が実測結果から判明した耐性が最も高い回路の構造と同等になる。 α 線照射による提案回路のエラー率と提案回路の性能をそれぞれ図2と表1に示す。

面積、遅延、電力のオーバーヘッドを10%程度に抑えて、100倍以上のソフトエラー耐性を実現した。

4 まとめ

本研究では、130 nm bulk プロセスによる性能のオーバーヘッドを抑えた耐ソフトエラーフリップフロップを提案し、 α 線源を用いた加速試験によりソフトエラー耐性を実測評価した。面積、遅延、電力のオーバーヘッドを10%程度に抑えた提案回路は、対策前と比べて100倍以上の耐性を持つことを確認した。今後、高エネルギー中性子による加速試験を行う予定である。

参考文献

[1] P. Hazucha, et al. In TNS, vol 47, no. 6, pp. 2586-2594, 2000.

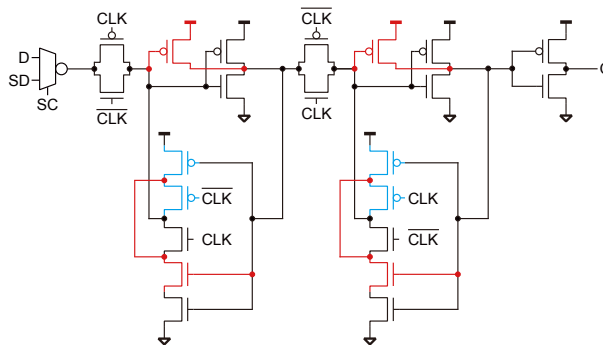


図1 提案回路

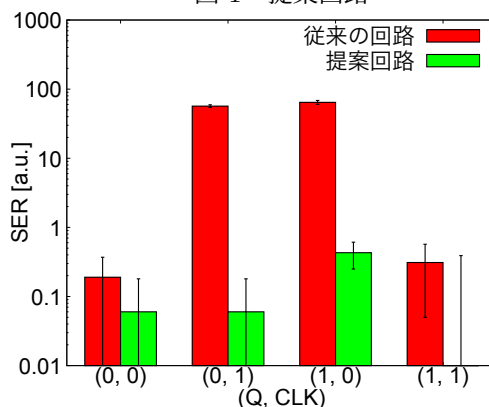


図2 改善前後のエラー率

表1 改善前後の性能比較

回路構造	PMOSのゲート幅	面積	遅延	電力	ADP積
変更前	1.00	1.00	1.00	1.00	1.00
提案回路	2.00	1.14	1.07	1.12	1.37