

FiCC を用いた不揮発スタンダードセルメモリ

Nonvolatile Standard-cell Memory using FiCC

阿部 佑貴⁽¹⁾
Yuki Abe

小林 和淑⁽¹⁾
Kazutoshi Kobayashi

塩見 準⁽²⁾
Jun Shiomi

越智 裕之⁽³⁾
Hiroyuki Ochi

⁽¹⁾京都工芸繊維大学
Kyoto Institute of Technology

⁽²⁾京都大学
Kyoto University

⁽³⁾立命館大学
Ritsumeikan University

1. はじめに

メモリ専用のスタンダードセルを用いて論理合成と自動配置配線により設計するメモリをスタンダードセルメモリ (SCM) と呼ぶ[1]. ビットセルに D ラッチや D フリップフロップが用いられ, 周辺回路はランダムロジックにより実装される. デジタル回路のみで回路実装が行われているため, 極低電圧領域における安定動作を実現することが可能である. 先行研究では, SCM に不揮発素子 MTJ を適用し, 不揮発化した NV(Nonvolatile)-SCM が提案されている[2].

本稿ではメタルフリンジキャパシタの一種である FiCC (Fishbone-in-Cage Capacitor) を用いた不揮発メモリ[3]を SCM のビットセルである D ラッチに搭載することで, 不揮発化した NV-SCM を提案し, その動作及びレイアウト設計について述べる.

2. FiCC を用いた不揮発メモリ素子

FiCC を用いた不揮発メモリはフラッシュメモリのトライゲート構造に相当するものを FiCC(図 1)と NMOS を用いて実現したものである. トランジスタのゲート端子と FiCC の内側端子からなる配線がフローティングゲートの役割を果たす. 書き込みは FiCC の外側端子に 5.0V の電圧を印加し, トンネリングによって電子をフローティングゲートへ閉じ込めることで行い, 消去は書き込み時とは逆のトンネリングを発生させ, 電子をフローティングゲートから引き抜くことで行う.

3. NV-SCM 用 D ラッチ

図 2 に, NV-SCM 用 D ラッチ(1bit NV-SCM)を示す. 1bit NV-SCM は D ラッチと図中において破線で囲んで示している不揮発部で構成される. 不揮発部は FiCC を用いた不揮発メモリ素子を 2 つの NMOS で挟んだ構造となっている.

1bit NV-SCM の動作モードは, D ラッチ動作, 不揮発部へのデータの退避動作, D ラッチへのデータの復帰動作, データ消去動作の 4 つである. 表 1 にそれぞれの動作モードにおける DG, CG, SG, SL ピンへの印加電圧を示す. D ラッチ動作時は, DG, CG, SG, SL はすべて 0V とする. データの退避動作時は DG=1.8V, CG=5.0V, SG, SL=0V とし FiCC を用いた不揮発メモリ素子にデータを書き込む. 書き込みによる不揮発メモリ素子の閾値電圧上昇量は D ラッチの保持値によって決まる. データ復帰動作時はまず D ラッチへ電源投入後, D ラッチに High を書き込み, その後 DG, CG, SG=1.8V, SL=0V とし D ラッチへ不揮発メモリ素子の閾値電圧に応じて High もしくは Low を書き戻すことで行う. データ消去動作時は DG=0V, CG=-1.2V, SG, SL=1.8V とし FiCC を用いた不揮発メモリ素子のデータの消去を行う.

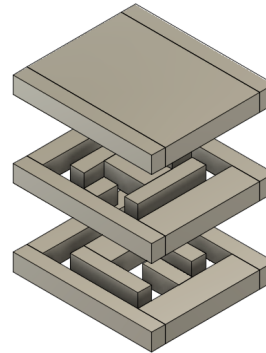


図 1 FiCC の 3D モデル

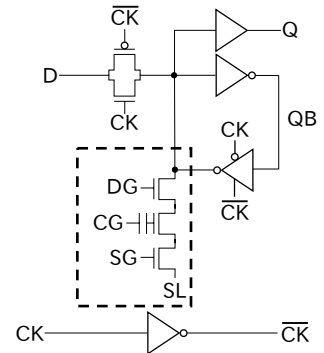


図 2 1bit NV-SCM

表 1 NV-SCM の動作モードによる印加電圧

	DG	CG	SG	SL
ラッチ動作	0V	0V	0V	0V
退避動作	1.8V	5.0V	0V	0V
復帰動作	1.8V	1.8V	1.8V	0V
消去動作	0V	-1.2V	1.8V	1.8V

4. NV-SCM のレイアウト設計

0.18 μ m プロセスを用いて FiCC を用いた不揮発メモリによる NV-SCM のレイアウト設計を行なった. 8bit-16word NV-SCM を設計し, 回路の大きさは 0.033mm² (180.0 μ m \times 181.5 μ m) となった. D ラッチに不揮発部を搭載することにより面積は 75%大きくなった.

また, HSPICE を用いて回路レベルシミュレーションを行ない, クロック周波数 10MHz において NV-SCM の D ラッチ動作を確認した.

5. まとめ

FiCC を用いた不揮発メモリによる NV-SCM を提案し, 0.18 μ m プロセスを用いて 8bit-16word NV-SCM のレイアウト設計を行なった.

今後設計した回路の測定および評価を行う予定である.

参考文献

- [1] P.Meinerzhagen et al. IEEE International MSCAS, 2010, pp. 129-132
- [2] 赤池純也 他. 信学技報, vol.116, no. 94, VLD2016-25, 2016, pp. 103-108
- [3] 田中一平 他. DA シンポジウム, 2019, pp. 9-14