

ランダム・テレグラフ・ノイズが CMOS 組合せ回路の遅延ゆらぎに及ぼす影響

Impact of Random Telegraph Noise on CMOS Logic Delay Uncertainty

松本 高士¹ 小林 和淑^{2,3} 小野寺 秀俊^{1,3}

Takashi Matsumoto¹, Kazutoshi Kobayashi^{2,3} and Hidetoshi Onodera^{1,3}

¹ 京都大学大学院 情報学研究科 通信情報システム専攻

¹ Department of Communications and Computer Engineering, Kyoto University, Kyoto, Japan

² 京都工芸繊維大学大学院 工芸科学研究科 電子システム工学専攻, ³ JST CREST

² Department of Electronics, Kyoto Institute of Technology, Kyoto, Japan, ³ JST CREST, Tokyo, Japan

1. はじめに

近年、高信頼性を備えたシステムを設計することはますます困難になってきている。トランジスタのリーク電流といった従来からの問題に加え、特性の劣化やばらつきなどの要因がディペンダブルな VLSI の実現に向けて深刻な影響を与えるようになってきた [1]。ランダム・テレグラフ・ノイズ (RTN) として知られているトランジスタの特性ゆらぎは微細化、高集積化に伴って近年活発に研究が行われている。RTN は CMOS イメージセンサ、flash メモリ、SRAM のような微細な素子が高密度に集積される回路に影響を与えることが報告されている。本稿では RTN に起因したデジタル回路の遅延ゆらぎについて 40nm CMOS テクノロジにおいて試作したリング発振回路 (RO) を実測した結果に基づいて報告する。回路設計者は動作電圧、トランジスタサイズ、論理段数、ゲートの種類、基板バイアスなど様々なパラメータを調整することができる。しかし、これらのパラメータが RTN に与える影響について回路レベルでは明らかになっていない [2]。この影響を明らかにすることが本稿の主要な目的である。

2. 実測結果：遅延ゆらぎに対する RTN の影響

図 1 に $V_{DD_{RO}}=0.65V$ において RO の発振周波数ゆらぎを 80 秒にわたって連続的に観測した結果を示す。リング発振回路を構成するインバータのトランジスタはデザインルールでの最小寸法としており、段数は 7 段である。 F_{max} は 1 つの RO 周波数を測定している間に観測された最大周波数である。 ΔF は最大周波数と最小周波数の差であり、 $\Delta F/F_{max}$ は RO 発振周波数ゆらぎの大きさをあらわす指標である。図 1(a) は観測された $\Delta F/F_{max}$ が最大値 (10.4%) を示した RO である。図 1(b) は $\Delta F/F_{max}$ が最小値 (0.6%) を示した RO である。図 2 は RTN による遅延ゆらぎの電源電圧依存性を示す。1 つのチップ内にある 840 個の RO を測定し、RTN による遅延ゆらぎ $\Delta F/F_{max}$ の最大値を各電圧に対してプロットした。インバータのトランジスタはデザインルールでの最小寸法としており、段数は 7 段である。電源電圧 $V_{DD_{RO}}$ の低下に伴ない、急速に $\Delta F/F_{max}$ の最大値が増加している。図 3 は様々な論理段数に対する $\Delta F/F_{max}$ の CDF を示す。論理段数が少なくなるほど RTN の影響は大きくなる。

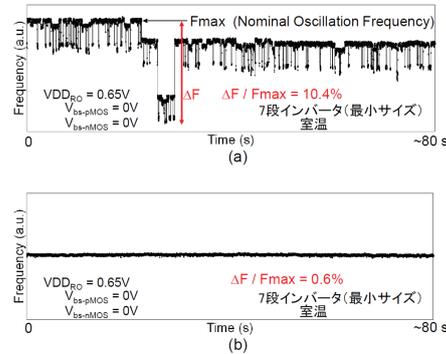


図 1: RO の発振周波数ゆらぎを観測した結果。(a) $\Delta F/F_{max}$ が最大値 10.4% を示した RO。(b) $\Delta F/F_{max}$ が最小値 0.6% を示した RO。

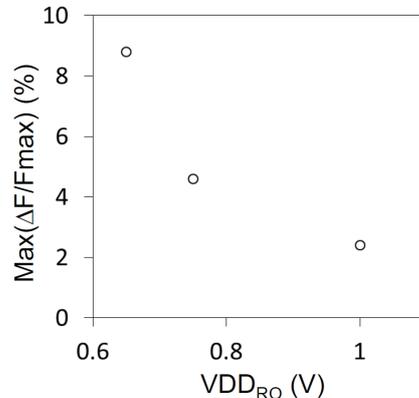


図 2: RTN による遅延ゆらぎの電源電圧 $V_{DD_{RO}}$ 依存性。

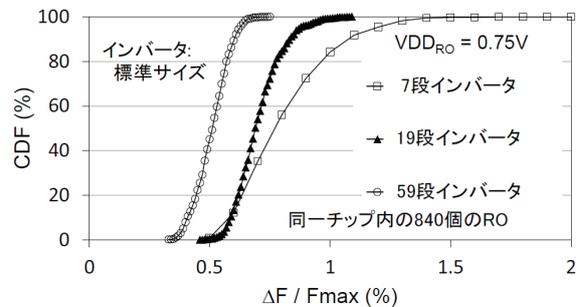


図 3: RTN による遅延ゆらぎの論理段数依存性。

参考文献

- [1] S. Borkar, *IEEE Micro*, vol.25, 2005, p. 10.
- [2] T. Matsumoto, K. Kobayashi and H. Onodera, *IEDM Tech. Dig.*, 2012, p. 581.