

劣化測定と回復測定を高速に切り替え可能な NBTI 評価回路

An NBTI Measurement Circuit for Reduction of Switching Time between Degradation and Recovery Mode

三木 淳司¹
Atsushi Miki

松本 高士¹
Takashi Matsumoto

小林 和淑^{2,3}
Kazutoshi Kobayashi

小野寺 秀俊^{1,3}
Hidetoshi Onodera

京都大学 情報学研究科¹

京都工芸繊維大学 工芸科学研究科²

JST, CREST³

1 まえがき

NBTI(Negative Bias Temperature Instability) は動作している PMOS の閾値を変動させる劣化現象であり、回路の寿命を制限する要因の一つである。図 1 に従来の単体 PMOS を用いた測定法のご概念図を示す。Measure-Stress-Measure 法 [1] は同一の PMOS に対し劣化測定と回復測定の両方を行うことができる。しかし測定時にゲートバイアスを変動させるため劣化測定の際に回復の影響を受け、回復測定の際に劣化の影響を受けるという欠点がある。それらの影響を受けない測定法として劣化測定には On-The-Fly 法、回復測定には Leak 電流法 [2] がある。しかし同一の単体 PMOS に以上の 2 つの方法を用いた場合、劣化測定から回復測定への切り替え時間が 1ms 以上かかる。さらに Leak 電流法では微小な電流を測定するため高速な測定をすることができなかった。本稿では On-The-Fly 法による劣化測定と Leak 電流法による回復測定を高速に切り替え可能な回路を提案する。

2 提案回路の概要

回路構造の概要を図 2 に示す。測定対象の PMOS の下部に NMOS を直列に接続したソース接地増幅回路を用いる。NBTI の劣化と回復による PMOS の閾値の変動はゲート入力の変動と等価である。したがって下部の NMOS を定電流源として動作させると閾値変動量は増幅され N_c に出力される。IN によって測定対象 PMOS の劣化状態、回復状態を切り換える。これによりストレス時には V_{p_STR} が DUT のゲートに加わり、回復時には V_{p_REC} が加わる。下部の NMOS に流れる電流量を DUT と同等にするため SW によって NMOS のゲートバイアスを切り換える。ここで切り替えの前後で N_c の電位の変動量が極力小さくなるように NMOS のサイズや V_{n_STR} および V_{n_REC} の値を調整する。また N_c の寄生容量を小さくするために出力バッファを挿入して V_{out} から出力を読み取ることで N_c の電位が安定するまでの時間を小さくする。以上のことにより劣化測定から回復測定への切り替え時間を短縮している。

3 シミュレーション結果

簡単化のため NBTI による閾値が時間に対し直線的に変動すると仮定し図 3 のように劣化、回復を模擬した。以下、シミュレーションは 125℃ で行った。まず入力を 1.2V にして劣化状態にすることで 100 μ s の劣化による閾値変動を 100mV とした。その後入力を 0V にすることで劣化状態から回復状態に切り替え、100 μ s の回復により閾値が 100mV 変動し元の値に戻るものとした。その結果出力も時間に対し直線的に変動し、劣化と回復の様子がそれぞれ観測できることがわかった。また劣化状態から回復状態への切り替え時間は 4 μ s となり、単体測定での切り替え時間 1ms より 250 倍高速に測定できることがわかった。

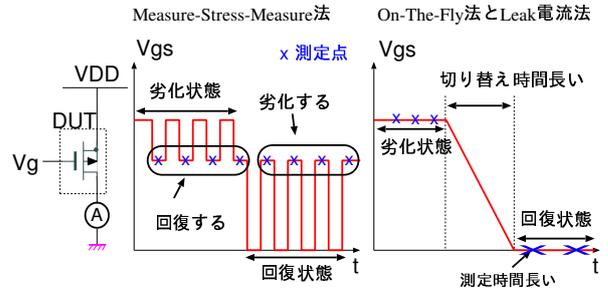


図 1 従来の NBTI 評価法

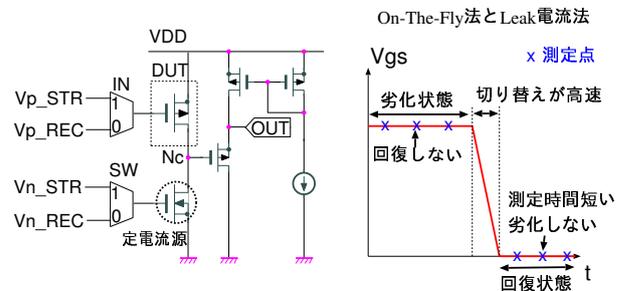


図 2 提案回路概念図

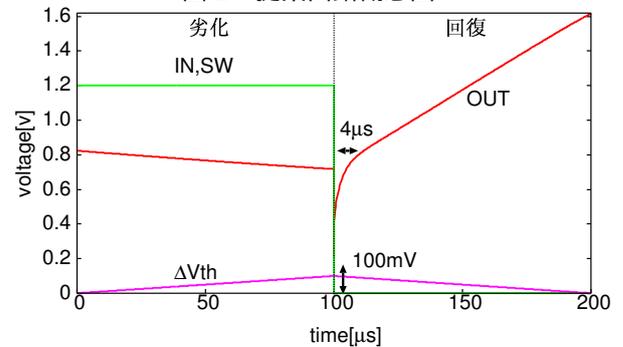


図 3 閾値を三角波状に変化させたときの V_{out} の変動

4 結論

提案回路では同一の PMOS に対し On-The-Fly 法と Leak 電流法の両方を用いた測定が可能である。それにより劣化測定中に回復の影響を受けず、回復測定中に劣化の影響を受けない。また提案回路では劣化測定から回復測定への切り替え時間が 4 μ s となり、従来の方法より 250 倍の高速化を可能にした。

参考文献

- [1] T.Grasser, et.al, IRPS, 2010, pp.1063-1068.
- [2] T.Matsumoto, et.al, JJAP, 2011, pp. 04DE06.