

耐ソフトウェア二重化フリップフロップのばらつき評価

Measurement Results of Variation of Dual Modular Redundancy Flip-Flop to Protect Soft Errors

濱中 力
Chikara Hamanaka

山本 亮輔
Ryosuke Yamamoto

小林 和淑
Kazutoshi Kobayashi

京都工芸繊維大学
Kyoto Institute of Technology

1 まえがき

プロセス微細化が進むにつれソフトウェアの影響が大きくなっている。我々の研究グループでは既存の耐ソフトウェア二重化フリップフロップである BISER フリップフロップ (BISER FF) を元にエラー耐性の面で改良を加えた BCDMR フリップフロップ (BCDMR FF) を提案している。[1] BCDMR FF の線起因のソフトウェア耐性は BISER FF の 100 倍以上であることがわかっている。今回、これらのフリップフロップのばらつき評価を行うためにばらつき測定回路を 65nm プロセスにて試作し、実際に評価を行った。本稿ではその結果について報告する。

2 ばらつき測定

BCDMR FF は BISER FF と異なり C-element が weak keeper を両側からドライブしているため、エラー耐性だけでなくばらつきにも強い。実際にばらつき評価を行うために、以前に報告したばらつき測定回路 [2] を制作した。フリップフロップのばらつきを測定するために、BISER と BCDMR の 2 種類のフリップフロップについて図 1 のようにマスターラッチとスレーブラッチに同相のクロックを入れることでリングオシレータとして構成し、その発振周波数をカウンタにより確認する方法をとった。この構造ではクロックはリングオシレータのイネーブルとして機能する。

表 1, 図 2 にシミュレーションと測定の結果を示す。図 2 はそれぞれの平均周波数で規格化している。シミュレーションについては、weak keeper と C-element を構成するトランジスタのしきい値電圧がばらついた場合のモンテカルロシミュレーション 1 万回の結果である。NMOS, PMOS をそれぞれ 7% と設定した。シミュレーションの結果、BCDMR FF は BISER FF に対し σ/μ が 32%

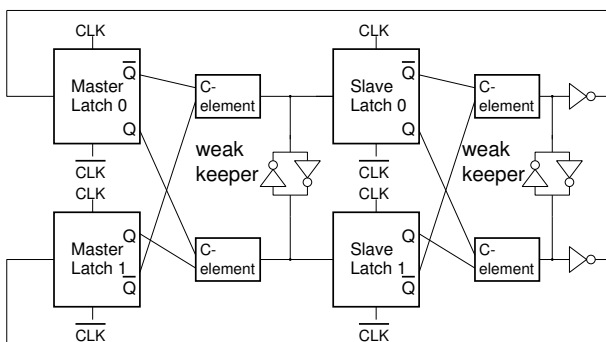


図 1 リングオシレータ状に構成した BCDMR FF

なり、BISER にはない BCDMR 特有の構造がばらつき耐性向上に寄与していることが示された。測定については、1 チップ、約 1 万個のリングオシレータを測定した結果である。BCDMR FF は BISER FF に対して σ/μ が 66% となった。実測においてもモンテカルロシミュレーションと同じく BCDMR FF のばらつきが小さい。

3 まとめ

ばらつき評価回路を制作し、BISER と BCDMR の 2 種類の耐ソフトウェアフリップフロップのばらつき評価を行った。その結果、BCDMR FF のばらつきが BISER FF の 66% であり、モンテカルロシミュレーションと同じく BCDMR FF のほうがばらつきが小さいという結果が得られた。この結果は BCDMR FF はソフトウェア耐性だけでなく動作速度の設計マージンにおいても BISER FF より優れていることを表している。

表 1 BCDMR と BISER のばらつき測定結果とモンテカルロシミュレーションの結果

	フリップフロップ	平均値 μ [GHz]	標準偏差 σ	σ/μ
シミュレーション	BCDMR	1.90	0.0248	0.0131
	BISER	1.58	0.0645	0.0408
測定結果	BCDMR	2.11	0.0336	0.0159
	BISER	1.83	0.0440	0.0240

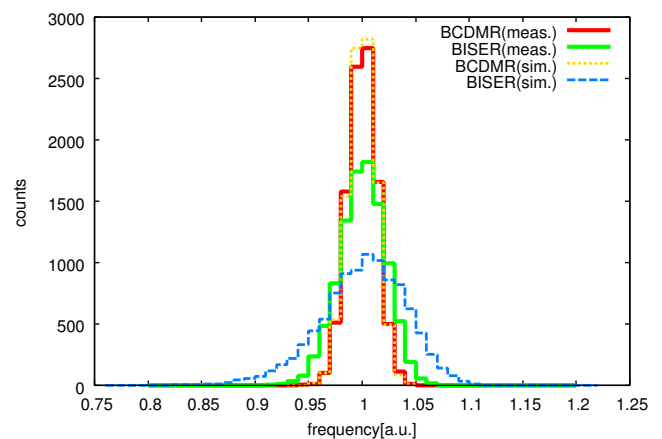


図 2 BCDMR と BISER のばらつき測定結果とモンテカルロシミュレーションの結果を示すヒストグラム

参考文献

- [1] Jun Furuta et al., VLSI Circuit Symposium, pp. 123-124(2010)
- [2] 濱中 力 他, 電子情報通信学会ソ大, A-3-5(2010)