

Subthreshold Leak 電流による NBTI 劣化・回復の測定

NBTI Degradation and Recovery Measurement by Subthreshold Leakage Current

牧野 紘明¹ 松本 高士¹ 小林 和淑² 小野寺 秀俊^{1,3}
 Hiroaki MAKINO Takashi MATSUMOTO Kazutoshi KOBAYASHI Hidetoshi ONODERA

京都大学情報学研究科¹, 京都工芸繊維大学工学科学研究科², JST, CREST³

Graduate School of Informatics, Kyoto University¹

Graduate School of Science and Technology, Kyoto Institute of Technology², JST, CREST³

1 はじめに

近年、LSIの信頼性が注目されている。LSIの劣化現象の原因の一つにNBTI(Negative Bias Temperature Instability)があげられる。これは現在回路の寿命を制限するおもな要因と考えられており[2]、時間の経過とともに特にPMOSにおいて閾値電圧が増加する。PMOSに与える影響としては動作速度の低下が考えられる。NBTIは劣化が生じる物理現象、モデル等がまだ完全には定まっていない。本稿ではMOSのサブスレシヨルドリーク電流を用いることでNBTIの実測を行い、NBTIの劣化、回復特性を評価した結果を報告する。

2 リーク電流による NBTI 劣化測定

本節ではPMOSのサブスレシヨルドリーク電流を用いたNBTIの実測方法について示す。以降ではリーク電流とはサブスレシヨルドリーク電流のことを示す。PMOSがオンの状態をストレス状態と呼ぶ。ストレス状態で長時間放置するとNBTIによる劣化が生じる。NBTIにより閾値電圧が増加すると式(1)に基づきリーク電流が指数的に減少する。

$$I_{\delta} = I_0 10^{\frac{-V_{th0}}{S}} \times (10^{\frac{-V_{th}}{S}} - 1) \quad (1)$$

SはMOSのSファクター、 $I_0 10^{\frac{-V_{th0}}{S}}$ は定数項となる。リーク電流によるNBTI測定法のメリットとしては閾値電圧の変化が微小でもリーク電流の変動が大きく測定が容易であることが考えられる。表1で示すように閾値電圧が同量変化した場合、リーク電流の方が変化率が大きい。そのため感度よく短い測定遅延でNBTI劣化特性および回復特性が測定できる[3]。図1に従来のon-the-fly法で測定する場合の電圧変化[1]、図2に提案するリーク電流でNBTIを測定する場合の端子電圧を示す。 V_{gs} , V_{ds} はそれぞれ、ゲートドレイン間の電圧、ドレインソース間の電圧である。

| | ΔV_{th} | $\frac{\Delta I}{I}$ (%) |
|---------|-----------------|--------------------------|
| On 電流 | 20mV | 1.73 |
| Leak 電流 | 20mV | 31.3 |

表1 V_{th} を変動させたときの ON 電流、Leak 電流の変動率

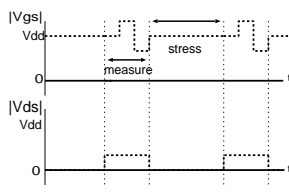


図1 従来の On-the-fly 法 (ON 電流) による NBTI 測定法 [1]

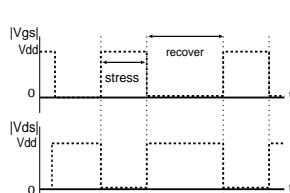


図2 提案する Leak 電流による NBTI 測定法

3 実測結果

図3に提案手法で測定したストレス時間とリーク電流の関係を示す。測定に使用したのは65nmバルクCMOSプロセスで試作したトランジスタである。測定時以外はストレスをかけ続け、測定時にはPMOSをOFF状態とし、ストレスをはずした直後のリーク電流を測定している。 $f(t)$ は近似曲線を示し、 $f(t) = A \times t^{\frac{1}{6}} - B$ として近似でき、短時間ストレス領域から時間に対して1/6乗に比例して指数的にリーク電流が変化することがわかる。図4にストレスを外してからの電流の変化を示す。ストレスの時間に関係なく回復の傾きが一定であることがわかる。

4 まとめ

本稿ではPMOSのサブスレシヨルドリーク電流を用いてNBTIの劣化、回復特性を実測した。今後測定遅延を短縮し、正確な劣化量を測定することで回復現象を含めたNBTIのモデルの構築が必要である。

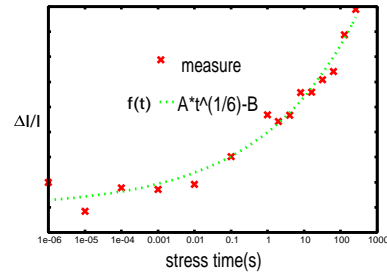


図3 ストレス時間と測定電流の変化; 時間軸対数

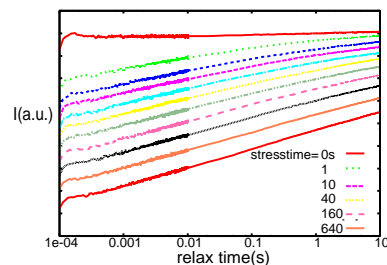


図4 ストレス印加時間を変化させた場合の回復特性

参考文献

- [1] M. Denais. et.al. *IEDM*, pp. 109–112, 2004.
- [2] W.Wang. et.al. *DAC*, pp. 364–369, 2007.
- [3] 牧野他. *IEICE 総合大会講演論文集*. No. 5, p. 106, 2009.

謝辞 本チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター、(株)イー・シャトルおよび富士通株式会社の協力で行われたものである。