

# ソフトエラー耐性の高い二重化フリップフロップ

## A Dual-Modular Redundancy Flip-Flop Toralent to Soft Errors

小林和淑

Kazutoshi Kobayashi

京都工芸繊維大学工学科学研究科

Graduate School of Science & Technology, Kyoto Institute of Technology

### 1 はじめに

本稿では、ソフトエラー耐性を高めるための多重化フリップフロップ (FF) の一つとして我々の研究グループが提案している二重化 FF について述べる。多重化 FF としては、宇宙用途などに用いられる三重化 (Triple Modular Redundancy, TMR), INTEL 社がサーバ用途に用いている DICE (Dual interlocked Storage Cell), Stanford 大学と INTEL による BISER (Built-in Soft-Error Resiliency) などが知られている。我々は、BISER に着目し、そのエラー耐性ならびにばらつき耐性を高めた BCDMR (Bistable Cross-coupled Dual Modular Redundancy) 構造の提案を行なった。BCDMR 構造の FF を 65nm にて試作し、そのエラー耐性を  $\alpha$  線源を用いて評価した。その評価結果も報告する。

### 2 多重化 FF

ソフトエラーとは、中性子線や  $\alpha$  線により、メモリや FF の記憶内容が反転し、回路が誤動作することを指す。この反転は一時的なもので、回復可能であることから回復不能なハードエラーではなく、ソフトエラーと呼ばれる。

ソフトエラーによる誤動作を防ぐためには、多重化が有効である。メモリでは集積度の増大によりソフトエラーによる記憶内容の反転が無視できないレベルになってきている。そのため、ECC (Error Check and Correct) 技術が一般化しつつあり、同一ワード内で起った 1 ビットのエラーを訂正できるようになっている。メモリ以外のロジック部のソフトエラー対策は、今のところサーバなど一部の機器向けの LSI に限られている。図 1 は、INTEL 社が Itanium 系のサーバ用プロセッサに採用している DICE [1] と呼ばれる多重化ラッチである。記憶ノードを分散させて 1 個所のノードがソフトエラーにより反転しても他のノードの記憶値により元の値に戻すことができる。図 2 は、TMR FF の構造である。DICE は、組合せ回路で発生する SET (Single Event Transient) パルスにより引き起こされる記憶値の反転 (Single Event Upset, SEU) には対処できない。TMR FF は、組合せ回路も含めてすべての回路を三重化し、その多数決をとることで、ソフトエラーによる誤動作を防止する。図 3 は遅延三重化 (Delayed TMR, DTMR) FF と呼ばれる構造である。SET パルスに対しては遅延素子 ( $\tau$ ) で対処する。 $\tau$  により SET パルスが同時に複数の FF にラッチされる確率を減らす。図 4 は、BISER 構造の FF である。我々はこれを二重化 (Dual Modular Redundancy, DMR) と呼んでいる。二重化では、多数決をとることはできないが、Weak Keeper を第三のラッチとして用いることにより、低面積でエラー耐性を高めている。

### 3 BISER 構造の問題点

BISER では、C-Element 近傍への粒子線の衝突により SET パルスが発生すると、両方の冗長化ラッチの値が反転し致命的なエラーとなる可能性がある。SET パルスがラッチに取込まれる確率は、クロック周波数  $f_{CLK}$  に比例して上昇するため、 $f_{CLK}$  が高いほど致命的なエラーの確率は高くなる。

BISER 構造などの定量的なエラー耐性を調べるために、回路レベルシミュレーションを行なった [2]。一般的に粒子線の衝突により発生する電荷による電流は Single Exponential もしくは Double Exponential 波形により近似できる。ここでは電荷総量を簡単に制御できる Single Exp. 波形の電流源を、粒子線の衝突により反転する Critical Node に置き、反転に必要な最小電荷量  $Q_{crit}$  を求める。 $Q_{crit}$  が求めれば、式 (1) に示す経験的な式 [3] を用いることにより、ソフトエラー数  $N_{SER}$  を求めることができる。

$$N_{SER}(Q_{crit}) = F \times A \times K \times \exp\left(-\frac{Q_{crit}}{Q_s}\right) \quad (1)$$

シミュレーションの結果、予想通り、BISER 構造はクロック周波数の上昇に伴いエラー率が飽和することがわかった。冗長化を施していない通常の FF (non-redundant FF) と比べても 3 倍程度のエラー耐性しか持たない。

### 4 BISER 改良型二重化 FF

前節では、BISER 型の二重化 FF のエラー耐性が低いことを回路シミュレーションにより示した。我々はこの問題を解決するための 2 種類の新規構造を [2, 4] で提案した。図 5 は、Double Delayed DMR ( $D^2MR$ ) と呼ぶ構造で、SET パルスを除去する遅延素子 ( $\tau$ ) をスレーブラッチの前に配し、両方のラッチが同時に反転することを防いでいる。一方図 6 は Enhanced Delayed DMR ( $ED^2MR$ ) と呼ぶ構造で、C-Element と Weak Keeper を二重化することにより同時反転を防ぐ。図 8 は電流源の時定数  $T$  を 10ps から 30ps まで変化させ、同じエラー耐性での面積/遅延の比較を行なっている。比較の対象としているのは図 3 である。この図に示す通り、新規提案の回路構造のうち、 $ED^2MR$  は、小面積かつ低遅延であることがわかる。

### 5 BCDMR

前節で提案した BISER 改良型 FF のうち、 $ED^2MR$  は小面積かつ低遅延であることがわかった。しかし、Weak Keeper は SRAM と同じ構造のためばらつきに弱い。ばらつきにより C-Element との強弱のバランスが崩れ、最

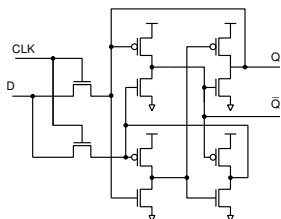


図 1 DICE ラッチ

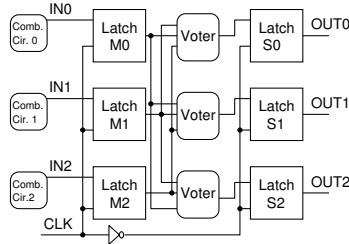


図 2 TMR FF

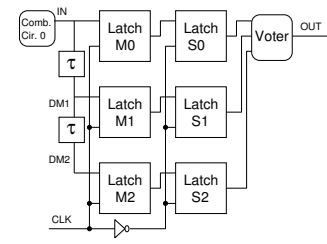


図 3 Delayed TMR FF.

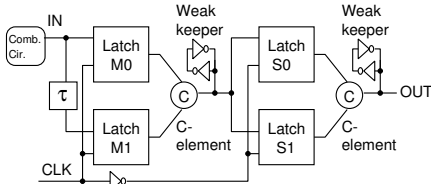


図 4 BISER FF[5].

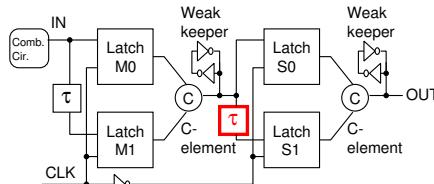


図 5 D<sup>3</sup>MR FF

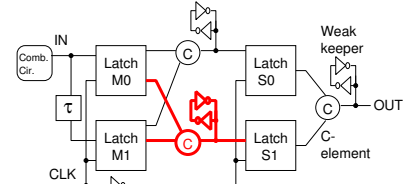


図 6 ED<sup>2</sup>MR FF

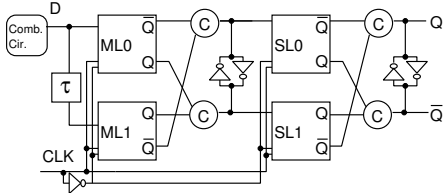


図 7 BCDMR FF

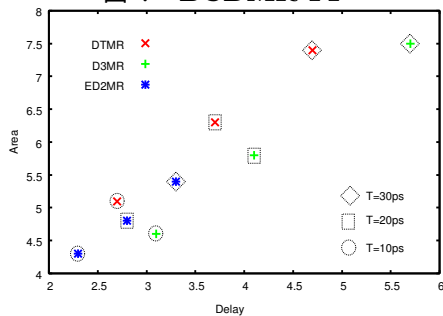


図 8 エラーパルスの時定数  $T$  による遅延と面積の関係

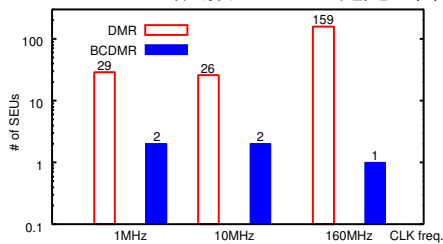


図 9  $\alpha$  線源によるエラー耐性の評価

悪の場合には Weak Keeper の値を C-Element が反転できない事態も生じる。この問題を解決するために、我々は Bistable Cross-Coupled DMR (BCDMR) を提案した [6]。Weak Keeper を二つの C-Element で共通化することによりばらつき耐性を高めることができる。

### 6 チップ試作とそのエラー耐性の評価

BCDMR のエラー耐性を評価するために、65nm プロセスにより LSI を試作した。エラー耐性の評価には高速なクロックを印加した状態でのテストが必要である。このため、テスト時には少数の FF をループ状に接続し、結果読み出し時にはシフトレジスタとなる構造の回路とした。

チップ内には、それぞれ 30240 個の FF を集積した。そのエラー耐性の比較を行なうため、大阪大学核物理研究センター (RCNP) の白色中性子ビームを利用した実験を行なった。しかし、テスト設定の不備によりクロックを印加できず測定は失敗した。この再測定は 2010 年の 7 月に予定しており、発表時にはその結果の報告も行う予定である。RCNP での白色中性子ビームでの測定は年に数回しか実施できないため、簡便に測定可能なアルファ線源を用いた測定を行なった。3.7MBq の <sup>241</sup>Am をチップ直上に 500 分間、配して 1MHz, 10MHz, 160MHz でのエラー個数を数えた。図 9 にその結果を示す。予想通り、通常の BISER(DMR) ではクロック周波数の増加にともない、エラー個数が増加している。一方提案の BCDMR はクロック周波数によらずエラー個数はほぼ一定であり、高いクロック周波数でも高いエラー耐性を示すことがわかった。

### 7 結論

本稿では、冗長化 FF の基礎を論じるとともに、我々の研究グループの提案した新規構造の二重化 FF である BCDMR の構造ならびにそのエラー耐性を示した。BCDMR は高いクロック周波数でも、高いエラー耐性を示す。 $\alpha$  線源を利用した測定ではクロック周波数が 160MHz の時、既存の BISER 構造の二重化 FF と比べて 150 倍以上のエラー耐性となった。

### 謝辞

本チップ試作は東大 VDEC を通し、STARCC, (株) イー・シャトル, 富士通株式会社の協力で行われたものである。

### 参考文献

- [1] D. Krueger et. al., ISSCC, pp. 94–95, 2008.
- [2] 小林他, DA シンポジウム 2008, pp. 181–186, 2008.
- [3] P. Hazucha et. al., JSSC, vol. 35, no. 10, pp. 1422–1429, 2000.
- [4] J. Furuta et. al., IEICE Trans. on Elec., vol. E93-C, pp. 340–346, 2010.
- [5] S. Mitra et. al., ITC, pp. 1–9, 2006.
- [6] J. Furuta et. al., VLSI Circ. Symp., pp. 123–124, 2010