

# 過電圧パルス印加による SiC MOSFET の 高速スイッチング手法の提案と実測評価

野池 峻平\* 古田 潤 小林 和淑 (京都工芸繊維大学)

## A Fast Gate Driving Method with an Overvoltage Pulse for SiC MOSFETs

Shumpei Noike\*, Jun Furuta, Kazutoshi Kobayashi (Kyoto Institute of Technology)

### Abstract

Fast switching devices such as SiC MOSFETs can operate with low switching loss. However, overshoot and ringing increase in the switching transient. To increase conversion efficiency of power converters by SiC MOSFETs, it is mandatory to use a driving method that can realize both low switching loss and low switching noise. In this paper, we proposed and measured a driving method with gate-boosting, which applies an overvoltage pulse of several tens of nanoseconds between gate and source terminals during the switching transient.

キーワード：SiC MOSFET, 高速スイッチング, スイッチング損失, Gate-Boosting, オーバーシュート, リンギング

(SiC MOSFET, fast switching, switching loss, gate-boosting, overshoot, ringing)

## 1. はじめに

SiC (Silicon Carbide) は Si (Silicon) よりも優れた物性を有しており、SiC MOSFET などのパワーデバイスは、Si IGBT など従来のパワーデバイスに比べて高速なスイッチングが可能である<sup>(1)(2)</sup>。電力変換回路を高周波で駆動でき、スイッチング損失が少ないので電力変換回路の高効率化と軽量小型化を実現できる。一方、高速スイッチング時に生じる高い  $dv/dt$  や  $di/dt$  と回路の寄生成分によってスイッチング波形にオーバーシュートやリンギングなどのノイズが顕著に現れ、素子の誤動作や破壊、EMI (Electromagnetic Interference) による周辺機器への悪影響などの問題を引き起こす<sup>(3)(4)</sup>。ノイズ抑制の一般的な手法としてスナバ回路の実装、外部ゲート抵抗によるスイッチング速度抑制が挙げられるが、どちらの手法でも電力損失が増大するため、ノイズ抑制と電力損失低減はトレードオフの関係にある。

ノイズ抑制と電力損失低減のトレードオフを改善する手法として、出力電圧・電流を動的に制御可能なアクティブゲートドライバ (Active Gate Driver; AGD) が注目されている。先行研究では多 bit の出力分解能を持つ AGD が提案されており、適切なゲート制御ベクトルによって従来の二値制御より低損失かつ低オーバーシュートなスイッチングを実現している<sup>(5)(6)</sup>。従来の二値制御にゲート端子のプルアップ/プルダウンによるオーバーシュート抑制機能を追加

した手法<sup>(7)</sup>では、RCD スナバ回路を搭載したときよりも少ない損失増加量で RCD スナバ以上のオーバーシュート・リンギング抑制効果が得られることが確認されている。これらはオーバーシュートやリンギングの抑制を主目的とし、スイッチング損失増加量を低減することを追求している点で共通している。一方で、スイッチング開始からオーバーシュート抑制までの期間はあまり着目されておらず、この期間のスイッチングを高速化させることで、よりスイッチング損失を低減させる余地が残っている。

本稿では、一時的に MOSFET のゲートソース間に過電圧を印加することでスイッチング速度を向上させる回路を提案し、シミュレーションによる動作確認と性能評価、および実測評価を行う。印加する過電圧とその印加時間をパラメータとし、提案回路によるスイッチング損失量とスイッチング波形のオーバーシュート量の変化を調査する。第 2 章では過電圧印加による高速スイッチング手法とそれを実現する提案回路について述べ、第 3 章では提案回路のシミュレーション、第 4 章では実測評価、第 5 章で結論を述べる。

## 2. 過電圧印加による高速スイッチング

本章では、パワーデバイスのゲートソース間に過電圧を一時的に印加することで高速にスイッチングする手法について述べる。

## <2.1> Gate-Boosting

SiC MOSFET は従来の Si デバイスよりも高速スイッチング可能だが、パッケージ内外の寄生インダクタンスの影響で  $V_{GS}$  の上昇速度が抑制され、スイッチング速度のボトルネックとなる。先行研究では、ゲートドライバからゲートソース間電圧の上限値を超える電圧を一時的に出力することでスイッチング速度を向上させる Gate-Boosting という手法が提案されている<sup>(8)</sup>。先行研究では内部ゲート電圧が 15 V を超えないように調整された回路が用いられているが、本稿では Gate-Boosting の量 (電圧または時間幅) とスイッチング波形の関係を調べるため、先行研究とは異なる提案回路を用いる。

## <2.2> 提案回路

図 1 に提案回路を示す。2つのゲートドライバ、キャパシタ、ダイオードからなる Gate-Boosting 段と出力段で構成される。キャパシタは出力段へ電圧を供給する役割を持つので、駆動する MOSFET のゲート入力容量  $C_{iss}$  よりも十分に高い静電容量に設定する必要がある。提案回路の出力パターンは図 2 に示すように (i)–(iv) の 4 パターンに分類される。(i) と (iii) ではパワーデバイスの ON/OFF 状態を維持しつつ Gate-Boosting 段のキャパシタを充電し、(ii) と (iv) では充電されたキャパシタを用いて  $V_+ + V_{bsth}$  または  $-V_{bstl}$  の電圧を出力する。図 3 に提案回路の入力信号と出力波形の模式図を示す。提案回路の動作は以下の 6 フェーズに分けられる。 $V_{bsth}$ ,  $V_{bstl}$  を Gate-Boosting 電圧、 $t_{bsth}$ ,  $t_{bstl}$  を Gate-Boosting 時間と定義する。

- ① オフ状態。出力段ゲートドライバの + 側電源端子に  $V_+ + V_{bsth}$  印加されている。
- ② ターンオン。出力電圧は  $V_+ + V_{bsth}$  で、この期間の時間幅を  $t_{bsth}$  と定義する。
- ③ オン状態。出力段ゲートドライバの電源電圧は  $V_+$  で、Gate-Boosting 段のキャパシタが充電される。
- ④ オン状態。出力段ゲートドライバの - 側電源端子に  $-V_{bstl}$  印加されている。
- ⑤ ターンオフ。出力電圧は  $-V_{bstl}$  で、この期間の時間幅を  $t_{bstl}$  と定義する。
- ⑥ オフ状態。出力段ゲートドライバの電源電圧は  $V_+$  で、Gate-Boosting 段のキャパシタが充電される。

出力段ゲートドライバの二次側電源電圧は最大で  $V_+ + \text{Gate-Boosting 電圧}$  であり、使用するゲートドライバ IC の二次側電源電圧の最大定格  $V_{DD,max}$  を考慮すると、Gate-Boosting 電圧の上限値は  $V_{DD,max} - V_+$  である。さらに、Gate-Boosting 電圧や Gate-Boosting 電圧の下限値もゲートドライバ IC の UVLO (Under Voltage Lock Out) や最小出力パルス幅などに制限される。

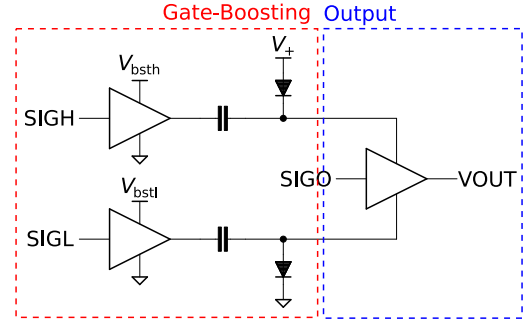


図 1 提案 Gate-Boosting 回路  
Fig. 1. Proposed gate-boosting circuit.

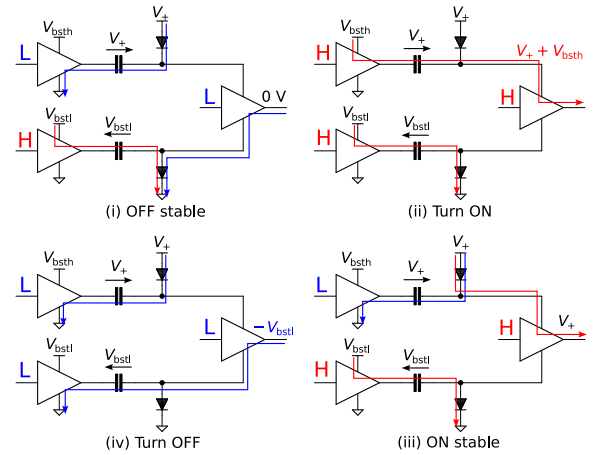


図 2 提案回路の出力パターン  
Fig. 2. Output pattern of the proposed circuit.

## <2.3> 動作原理

ターンオン時を例に動作原理について述べる。プラトー期間以前のゲート周辺に等価回路を図 4 に示す。Gate-Boosting 段のキャパシタは  $C_{GS}$  より十分大きいので定電圧源としてみなす。ゲートドライバの出力電圧を  $V_{OUT}$ 、外部ゲート抵抗  $R_{G,ex}$  と内部ゲート抵抗  $R_{G,in}$  の和を  $R_G = R_{G,ex} + R_{G,in}$  とすると、ターンオン開始からプラトー電圧到達までのゲートソース間電圧  $V_{GS}$  は式 (1) で表される。すなわち、 $V_{GS}$  がプラトー電圧  $V_p$  に到達する時間  $t_p$  は式 (2) で表される。Gate-Boosting を適用した場合、 $V_{OUT} = V_+ + V_{bsth}$ 、 $R_G C_{GS}$ 、 $V_p$  から最適な Gate-Boosting 時間  $t_{bsth}$  の理論値が得られる。

$$V_{GS} = V_{OUT} \left\{ 1 - \exp \left( -\frac{t}{R_G C_{GS}} \right) \right\} \quad (1)$$

$$t_p = R_G C_{GS} \ln \left( \frac{V_{OUT}}{V_{OUT} - V_p} \right) \quad (2)$$

## 3. シミュレーション

本章では LTspice XVII を用いたシミュレーションによる Gate-Boosting 回路の性能評価について述べる。

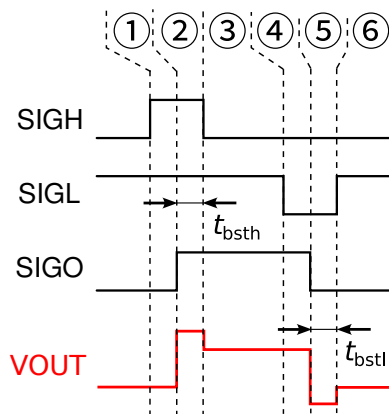


図3 提案回路の入力信号と出力波形

Fig. 3. Input signal and output waveform of the proposed circuit.

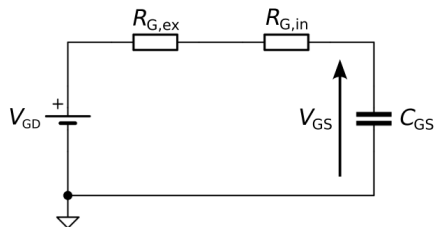


図4 プラトー期間以前のゲート周辺等価回路

Fig. 4. The equivalent circuit among the gate terminal before Miller-plateau.

### <3.1> シミュレーション回路

通常のゲートドライバ (Normal) と Gate-Boosting 適用時のスイッチング特性を比較する。SCT2450KE (SiC MOSFET, ローム製) を DUT として使用し、 $V_+ = 20$  V で駆動する。提案回路の各素子に関して、ゲートドライバ IC は Skyworks 製の Si8275、ダイオードはローム製の RB168MM-40 を使用した。キャパシタの容量は 100 nF とし、DUT のゲート入力容量  $C_{iss}$  よりも十分大きい値に設定した。主回路にはダブルパルス試験 (Double Pulse Test; DPT) 回路を採用した。主回路とゲートドライバの動作条件を表 1 に示す。Normal においては、 $R_{G,ex}$  を  $0 \Omega - 35 \Omega$ 、 $1 \Omega$  間隔でスイープさせた。Gate-Boosting 適用時は、 $V_{bst}$  と  $R_{G,ex}$  をそれぞれ 10 V、10  $\Omega$  に固定し、 $t_{bst}$  を 10 ns - 50 ns、1 ns 間隔でスイープさせた。

### <3.2> スイッチング特性の評価方法

スイッチング特性は、ターンオン時にはスイッチング損失と  $I_D$  のオーバーシュート、ターンオフ時におい

表 1 シミュレーションに用いたパラメータ

Table 1. Parameters for simulation.

| main circuit  | value | gate driver | value/min. | max.        | step       |
|---------------|-------|-------------|------------|-------------|------------|
| $V_{DS,high}$ | 200 V | $V_{bst}$   | 10 V       | -           | -          |
| $I_{D,high}$  | 10 A  | $t_{bst}$   | 10 ns      | 50 ns       | 1 ns       |
|               |       | $R_{G,ex}$  | 0 $\Omega$ | 35 $\Omega$ | 1 $\Omega$ |

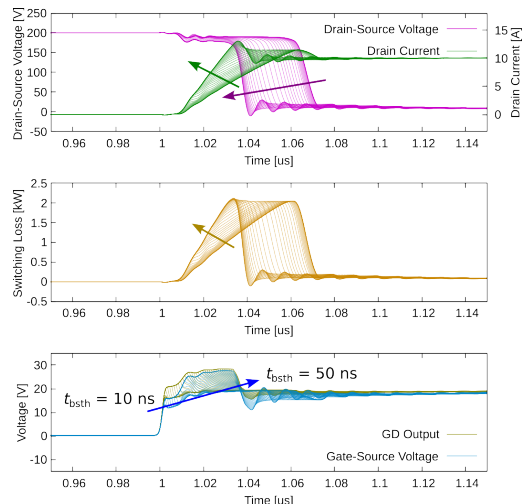


図5 Gate-Boosting 適用時のターンオン波形  
Fig. 5. Turn-ON waveform with gate boosting.

てはスイッチング損失と  $V_{DS}$  のオーバーシュートで評価する。スイッチング損失について、ターンオン時は  $I_D$  の立ち上がり 10% から  $V_{DS}$  の立ち下がり 10% までのスイッチング期間における  $I_D \times V_{DS}$  の時間積分  $E_{SW,on}$  をスイッチング損失とする。ターンオフ時は  $V_{DS}$  の立ち上がり 10% から  $I_D$  の立ち下がり 10% までのスイッチング期間における  $I_D \times V_{DS}$  の時間積分  $E_{SW,off}$  をスイッチング損失とする。ターンオン/オフのスイッチング期間の時間幅をそれぞれ  $t_{SW,on}$ 、 $t_{SW,off}$  と定義する。

### <3.3> シミュレーション結果

Gate-Boosting 適用時の動作波形を図 5 と図 6 に示す。 $t_{bst}$  が大きいほど、スイッチング波形は矢印の方向に遷移する。Normal と Gate-Boosting のスイッチング特性の比較を図 7 と図 8 に示す。ターンオンでは  $t_{bsth} = 35$  ns/36 ns のとき、Normal に対して  $E_{SW,on}$  が  $-21.4\%$ / $-26.1\%$ 、 $I_D$  のオーバーシュートが  $+1.92\%$ / $+3.23\%$  となった。ターンオフでは  $t_{bstl} = 43$  ns のとき、Normal に対して  $E_{SW,off}$  が  $-26.2\%$ 、 $V_{DS}$  のオーバーシュートが  $+12.3\%$  となった。ターンオンとターンオフで Gate-Boosting によるスイッチング特性の傾向は異なるが、ある  $t_{bsth}$  または  $t_{bstl}$  において Normal よりも少ないオーバーシュート増加量でスイッチング損失を低減できることが確認できた。

## 4. 実測評価

本章では、提案回路の評価に用いる測定回路、実測結果とその評価について述べる。

### <4.1> 測定回路

シミュレーションと同様に DPT 回路を用いて Gate-Boosting を適用したときのスイッチング特性を実測評価する。素子はシミュレーションで使用したのと同じ型番、または同じ素子定数の製品を使用した。図 9 に測定用の DPT 回路の回路図を示す。DUT と還流用ダイオードには

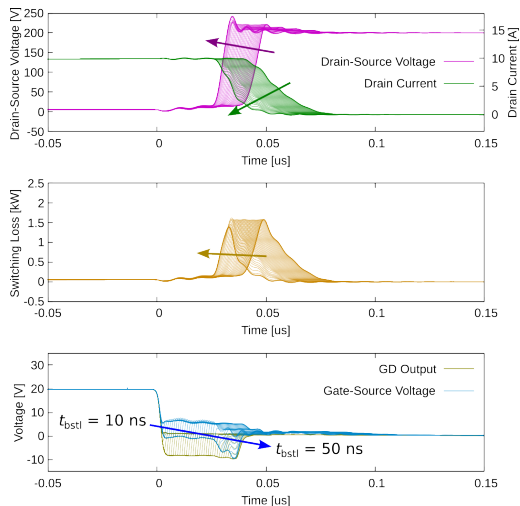


図 6 Gate-Boosting 適用時のターンオフ波形  
Fig. 6. Turn-OFF waveform with gate boosting.

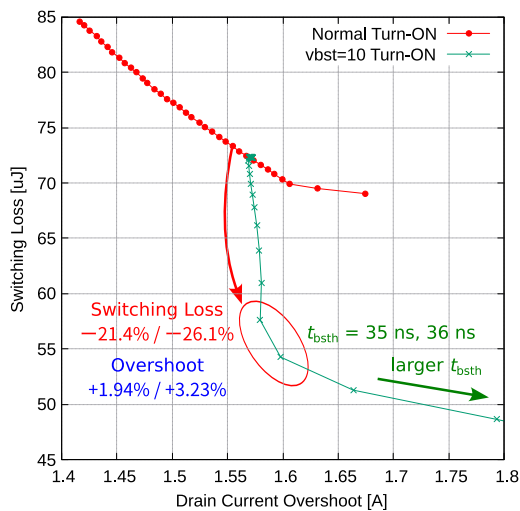


図 7 Gate-Boosting 適用時のターンオンスイッチング特性  
Fig. 7. Turn-ON switching characteristic with gate boosting

SCT2450KE とそのボディダイオードを使用している。DUT を駆動するゲートドライバは通常のゲートドライバ (Normal) と Gate-Boosting 適用のゲートドライバを切り替え可能である。図 10 に測定用のゲートドライバ回路の回路図を示す。出力段 GD の電源はトグルスイッチで 20 V の定電圧源と Gate-Boosting 回路を切り替えられるようになっており、外部ゲート抵抗を  $0\ \Omega - 35\ \Omega$ 、 $5\ \Omega$  間隔で設定できる。ゲートドライバの入力信号源には Analog Discovery 2 を使用し、10 ns 間隔で入力波形を制御した。測定回路の動作条件を表 2 に示す。ゲートドライバ側には 3 種類のパラメータが存在するが、Normal と Gate-Boosting でパラメータの設定方法が異なる。Normal の測定では  $R_{G,ex}$  のみスイープする。Gate-Boosting の測定では  $R_{G,ex}$  を  $10\ \Omega$ 、 $20\ \Omega$ 、 $30\ \Omega$  の 3 種類から選択し、 $V_{bst}$  と  $t_{bst}$  をスイープさせた。

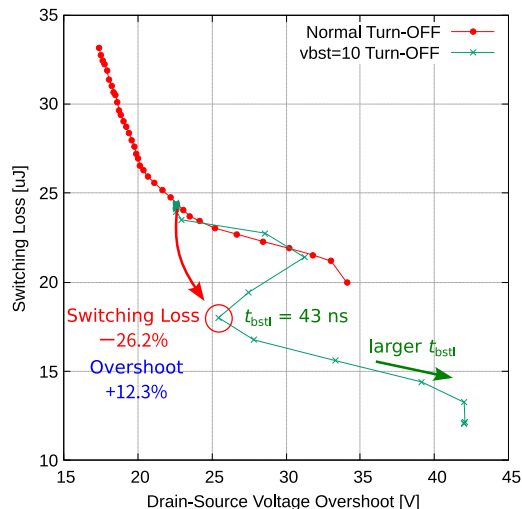


図 8 Gate-Boosting 適用時のターンオフスイッチング特性  
Fig. 8. Turn-OFF switching characteristic with gate boosting

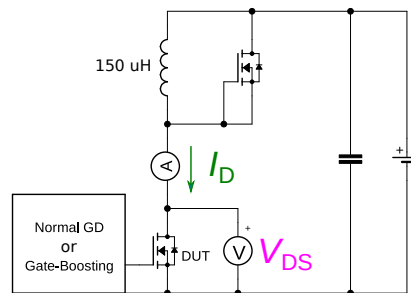


図 9 測定に使用する DPT 回路  
Fig. 9. DPT circuit for measurement

#### <4.2> 実測結果

図 11 にターンオンの実測結果、図 12 にターンオフの実測結果を示す。表 3 にターンオン/オフにおける Gate-Boosting によるスイッチング損失低減率の代表値を示す。ターンオンでは  $R_{G,ex} = 10\ \Omega$ 、 $20\ \Omega$ 、 $30\ \Omega$  すべての条件でスイッチング損失の低減とオーバーシュート上昇の抑制を両立する  $V_{bsth}$  と  $t_{bsth}$  の組み合わせが存在した。一方、ターンオフでは  $R_{G,ex} = 10\ \Omega$  のとき  $t_{bstl} = 20\ \text{ns}$ 、 $V_{bstl} = 10\ \text{V}$  までと  $t_{bstl} = 30\ \text{ns}$ 、 $V_{bstl} = 5\ \text{V}$  以降でオーバーシュートを維持しつつスイッチング損失を低減できている期間が認められず、Gate-Boosting の効果を確認できなかった。

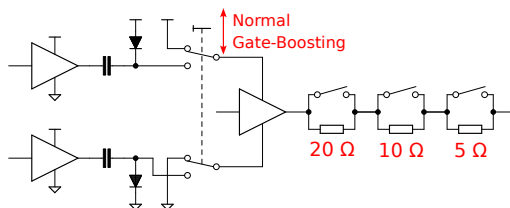


図 10 測定用ゲートドライバ回路  
Fig. 10. Gate driver circuit for measurement

表 2 測定回路のパラメータ

Table 2. Parameters of the measured circuits.

| main circuit  | value | gate driver | min.       | max.        | step       |
|---------------|-------|-------------|------------|-------------|------------|
| $V_{DS,high}$ | 200 V | $V_{bst}$   | 5 V        | 10 V        | 1 V        |
| $I_{D,high}$  | 10 A  | $t_{bst}$   | 10 ns      | 40 ns       | 10 ns      |
|               |       | $R_{G,ex}$  | 0 $\Omega$ | 35 $\Omega$ | 5 $\Omega$ |

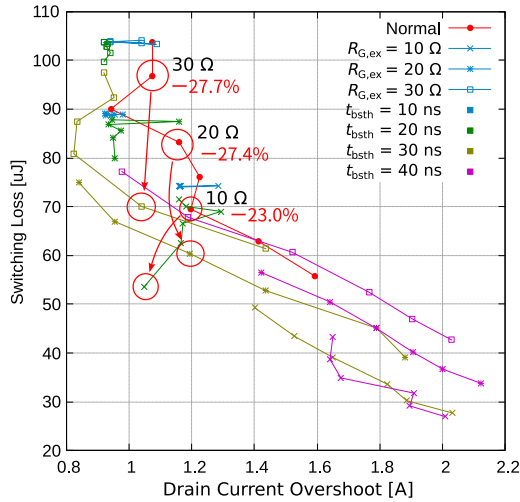


図 11 スイッチング特性実測結果 (ターンオン)

Fig. 11. Comparison of the switching characteristic with Normal and Gate-Boosting (turn-ON)

$V_{bst1} = 10$  V かつ  $20$  ns  $< t_{bst1} < 30$  ns もしくは  $t_{bst1} = 20$  ns かつ  $V_{bst1} > 10$  V の条件ではオーバーシュートが上昇せずにスイッチング損失を低減させられる可能性がある。 $R_{G,ex} = 20$   $\Omega$ ,  $30$   $\Omega$  の条件ではターンオンより低減率は低いが、ともに Gate-Boosting の効果が見られた。

#### <4.3> 考察

スイッチング損失の低減率に差が見られるのは、ターンオン時の  $I_D$  が  $V_{GS}$  に依存しているのに対し、ターンオフ時の  $V_{DS}$  が  $V_p - V_{OUT}$  に依存しているためである。ターンオン時の  $I_D$  とターンオフ時の  $V_{DS}$  についてはそれぞれ以下の式が成り立つ<sup>(9)</sup>。 $g_m$  は相互コンダクタンス、 $V_{th}$  はしきい値電圧である。スイッチング中の MOSFET は飽和状態なので、 $g_m$  は  $V_{GS} - V_{th}$  に比例している。

$$I_D = g_m(V_{GS} - V_{th}) \Rightarrow \frac{dI_D}{dt} \propto \frac{dV_{GS}}{dt}(V_{GS} - V_{th}) \quad (3)$$

$$\frac{dV_{DS}}{dt} = \frac{V_p - V_{OUT}}{R_G C_{GD}} \Rightarrow \frac{dV_{DS}}{dt} \propto V_p - V_{OUT} \quad (4)$$

式(1)より  $V_{GS}$  はゲートドライバの出力電圧  $V_{OUT}$  に比例する値で  $dV_{GS}/dt$  も同様である。 $dI_D/dt$  は  $dV_{DS}/dt$  と異なり  $V_{OUT}^2$  の項を持つので、 $V_{OUT} = 20$  V +  $V_{bst}$  としたとき、 $V_{bst}$  による影響は  $dI_D/dt$  と  $dV_{DS}/dt$  で異なる。

## 5. 結論

本稿では、キャパシタに蓄えた電荷を利用して過電圧を印加する Gate-Boosting 回路を提案し、シミュレーション

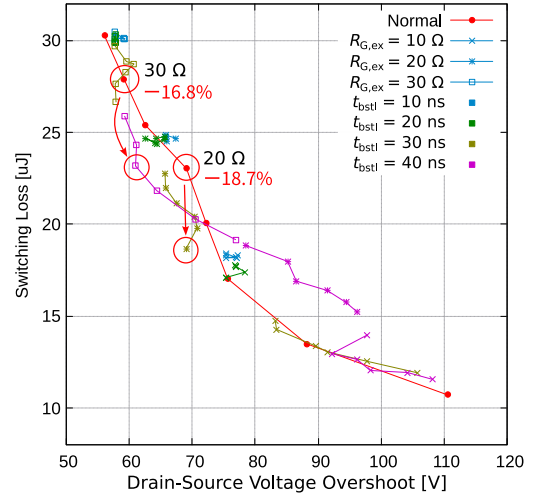


図 12 スイッチング特性実測結果 (ターンオフ)

Fig. 12. Comparison of the switching characteristic with Normal and Gate-Boosting (turn-OFF)

と実測評価を行った。DUT には SCT2450KE、主回路には DPT 回路を採用し、スイッチング損失と  $I_D$  (ターンオン時) や  $V_{DS}$  (ターンオフ時) のオーバーシュート量について評価した。シミュレーションと実測両方で、ターンオン/オフ両方について少ないオーバーシュート量でよりスイッチング損失を低減できることが確認できた。シミュレーションでは、ターンオン時において 1.94%/3.23% のドレイン電流オーバーシュートの上昇に対して 21.4%/26.1% のスイッチング損失低減、ターンオフ時において 12.3% のドレインソース間電圧オーバーシュートの上昇に対して 26.2% のスイッチング損失低減の効果が見られることを確認した。実測評価では、ターンオン時においてはおよそ 23%–28% のスイッチング損失低減、ターンオフ時においてはおよそ 17%–19% のスイッチング損失低減という結果となり、Gate-Boosting によって効果的にスイッチング損失を低減できることが確認できた。今回の提案回路と先行研究で提案されているような AGD を組み合わせることで、より効果的なスイッチング特性改善効果が期待できる。今後、スイッチング速度の調整によるオーバーシュートの抑制と Gate-Boosting を組み合わせることで、オーバーシュート低減とスイッチング損失低減を同時に実現できるゲートドライバについて検討していく予定である。

## 文 献

- (1) J. Wang, C. Yao, H. Li, E. Bauer, K. A. Potty and B. He: "How to change the landscape of power electronics with wide bandgap power devices", 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia), pp. 151–156 (2017).

表 3 Gate-Boosting によるスイッチング損失低減率の実測結果

Table 3. Measurement results of switching loss reduction rate by gate boosting.

| $R_{G,ex}$ [ $\Omega$ ] | Turn-ON        |                 |         | Turn-OFF       |                 |         |
|-------------------------|----------------|-----------------|---------|----------------|-----------------|---------|
|                         | $V_{bsth}$ [V] | $t_{bsth}$ [ns] | SW Loss | $V_{bstl}$ [V] | $t_{bstl}$ [ns] | SW Loss |
| 10                      | 10             | 20              | -23.0%  | -              | -               | -       |
| 20                      | 7              | 30              | -27.4%  | 10             | 30              | -18.7%  |
| 30                      | 9              | 30              | -27.7%  | 7              | 40              | -16.8%  |

- (2) J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás and J. Rebollo: “A Survey of Wide Bandgap Power Semiconductor Devices”: IEEE Transactions on Power Electronics **29** No. 5 (2014) 2155.
- (3) P. Bogónez-Franco and J. B. Sendra: “EMI comparison between Si and SiC technology in a boost converter”, International Symposium on Electromagnetic Compatibility - EMC EUROPE, pp. 1–4 (2012).
- (4) T. Ibuchi and T. Funaki: “Experimental Evaluation on Noise Characteristics in SiC-Based Synchronous Boost Converter”, 2018 International Symposium on Electromagnetic Compatibility (EMC EUROPE), pp. 613–618 (2018).
- (5) S. Fukunaga, H. Takayama and T. Hikihara: “A Study on Switching Surge Voltage Suppression of SiC MOSFET by Digital Active Gate Drive”, 2021 IEEE 12th Energy Conversion Congress and Exposition - Asia (ECCE-Asia), pp. 1325–1330 (2021).
- (6) T. Sai, K. Miyazaki, H. Obara, T. Mannen, K. Wada, I. Omura, M. Takamiya and T. Sakurai: “Load Current and Temperature Dependent Optimization of Active Gate Driving Vectors”, 2019 IEEE Energy Conversion Congress and Exposition (ECCE), pp. 3292–3297 (2019).
- (7) H. Li, Y. Jiang, C. Feng and Z. Yang: “A Voltage-injected Active Gate Driver for Improving the Dynamic Performance of SiC MOSFET”, 2019 IEEE Energy Conversion Congress and Exposition (ECCE), pp. 6943–6948 (2019).
- (8) M. Hochberg, M. Sack and G. Mueller: “Analyzing a gate-boosting circuit for fast switching”, 2016 IEEE International Power Modulator and High Voltage Conference (IPMHVC), pp. 171–175 (July 2016).
- (9) B. J. Baliga: *Fundamentals of Power Semiconductor Devices* (Springer, New York, NY, 2008) 1st ed.