SiCのMHz動作に追従可能な アクティブゲートドライバの提案と実測評価

野池 峻平* 古田 潤 小林 和淑 (京都工芸繊維大学)

An Active Gate Driver Capable of MHz-switching of SiC Transistors

Shumpei Noike*, Jun Furuta, Kazutoshi Kobayashi (Kyoto Institute of Technology)

Abstract

SiC devices can operate over 1 MHz switching speed and increase the efficiency of power conversion circuits. However, the switching speed over 1 MHz induces larger ringings and surges than Si devices. Even if ringings and surges are suppressed, power conversion efficiency decreases. To overcome these issues, active gate drivers (AGDs) have been proposed to achieve higher conversion efficiency with lower ringings and surges. In this paper, we proposed and evaluated an AGD that can control SiC devices over 1 MHz.

キーワード:アクティブゲートドライバ, SiC, 高速スイッチング, スイッチング損失, リンギング, サージ (active gate driver, SiC, high-speed switching, switching loss, ringing, surge)

1. はじめに

近年、SiC (Silicon Carbide) などのワイドバンドギャップ (Wide Band Gap; WBG) 半導体によるパワー素子が注目さ れており、電力変換回路への応用が進んでいる。WBG 半導 体によるパワー素子は Si (Silicon) 素子に比べて絶縁破壊強 度、電子飽和速度、熱伝導率などの物性値が優れており、高 耐圧、低オン抵抗、高速スイッチングが主な特徴である⁽¹⁾。 電力変換回路の電力損失を大幅に削減可能であり、高周波 動作による回路の軽量・小型化も可能であることから、自 動車や鉄道などのモビリティでの実用化が進んでいる⁽²⁾。

一方、スイッチングノードで生じる dv/dt や di/dt が高速 スイッチングによって高くなることで、従来よりもサージや それに起因するリンギングが顕著に現れるようになった⁽³⁾。 サージやリンギングは EMI (Electromagnetic Interference) の発生、素子の誤動作や破壊といった悪影響を及ぼす可能 性があり⁽⁴⁾、対策が必須である。対策法としてはスナバ回 路の実装かスイッチング速度の抑制が一般的だが、どちら の方法でも電力損失が増大するため、サージ・リンギング 抑制と電力損失低減はトレードオフの関係にある。

サージ・リンギング抑制と電力損失低減を両立するため、 アクティブゲートドライバ (Active Gate Driver; AGD) が 提案されている。AGD は、パワー素子のスイッチング時に ゲート電圧・電流を動的に制御することでサージ・リンギン グを抑制しつつ、スイッチング速度の低下を最低限に抑え ることでスイッチング損失増大を防ぐものである。AGD は サージ・リンギングが生じるタイミングに焦点を当ててス イッチング速度を調整できるため、従来型ゲートドライバ よりも効果的にサージ・リンギング抑制と電力損失低減を両 立できると期待されている。先行研究では多 bit の出力レベ ルを持つ AGD が提案され、Si IGBT や SiC MOSFET に適 用することでサージ抑制とスイッチング損失低減が両立で きたことが報告されている⁽⁵⁾⁽⁶⁾。しかし、これらの AGD は出力分解能に比例して回路規模が増大し、制御パターン が指数関数的に増えてしまうことから、パワー素子の動作 条件に対する制御パターンの最適化が課題となる⁽⁷⁾。出力 レベルを数ステップに渡って変化させるゲート制御は入力 信号源の動作周波数がボトルネックとなり、MHz オーダで 動作する SiC MOSFET などの WBG 半導体デバイスに適 用することが困難である。

本稿では、1 MHz で動作する SiC MOSFET に適用でき る AGD を提案し、実測評価を行う。昇圧回路のローサイド スイッチに適用し、ターンオン時のサージ電流とスイッチ ング損失について提案回路と従来のゲートドライバを比較 する。さらに、スイッチング速度の観点から、提案回路の 高周波動作への適性を評価する。

2. 提案型 AGD

本章では、提案型 AGD の回路構造と動作原理を説明す る。本稿ではターンオン時のスイッチング特性に着目して 評価するので、特にターンオン時の動作原理を説明する。



図 1 ゲートドライバ IC を用いた従来型ゲートドライバ Fig. 1. Conventional gate driver using a driver IC.



図 2 ゲートドライバ IC を 2 段積みにした提案型 AGD Fig. 2. Proposed AGD with 2 stacked gate driver ICs.

<2.1> 回路構造

図1に従来型のゲートドライバ、図2に提案型 AGD の 回路構造を示す。図2はゲートドライバ IC を2段積みにし た構造で、2つの入力信号を持つ。ゲートドライバ IC2 個と ダイオード、キャパシタ1 個で構成されており、部品数が少 なく単純な回路構造で実現できる。ゲート周りの回路規模 が小さく収まるという点で先行研究に対して優位性を持つ。 GD1 にはブートストラップ回路が実装されており、GD2 で GD1 の基準電位を操作できる構造になっているため、図3 に示すように4通りの入出力のパターンが存在する。

<2.2> 動作原理

 V_{DD} は AGD の電源電圧、 V_{C} はブートストラップ回路 のキャパシタ両端電圧を示す。(SIG1, SIG2) = (High, Low), (SIG1, SIG2) = (High, High) のパターンでは、出力電圧が V_{C} に依存する。ブートストラップ回路のダイオード順方向 降下電圧を V_{Df} 、ターンオン中の V_{C} の降下量を V_{fall} とす ると、オン状態のゲート-ソース間印加電圧 $V_{\text{GS,high}}$ に対し て最適な AGD の電源電圧 V_{DD} は式 (1) で表される。 V_{fall} はパワー素子の入力容量 C_{iss} 、帰還容量 C_{rss} 、ゲート-ソー ス間電圧 $V_{\text{GS,high}}$ 、ドレイン-ソース間電圧 V_{DS} 、ブートス トラップ回路のキャパシタの静電容量 C_{boot} を用いて式 (2) で表される。

$$V_{\rm DD} = \frac{V_{\rm GS,high} + V_{\rm Df} + V_{\rm fall}}{2} \tag{1}$$

$$V_{\rm fall} = \frac{C_{\rm iss}V_{\rm GS,high} + C_{\rm rss}V_{\rm DS}}{C_{\rm boot}} \tag{2}$$



図 3 提案型 AGD の入出力パターン Fig. 3. I/O patterns of the proposed AGD.

ターンオン時の動作を図4に示す。本稿では (Low,Low), (High,Low), (High,High) の3パターンの入力信号を使用し た波形を扱う。図4における各ステップの動作を以下に列 挙し、図5に実際の動作波形の一例を示す。

- 初期状態 (SIG1, SIG2) = (Low, Low)。パワー素子はオ フ状態で V_{GS} = 0 V である。
- (2) (SIG1, SIG2) = (High, High)、 $V_{DD} + V_C \ e^{-V} V_-$ ス間に印加し、パワー素子をターンオンさせる。 V_{GS} がしきい値電圧を超えてから $I_D \ multiplication black N = V_D \ multiplic$
- (3) ターンオン中に入力信号を (SIG1, SIG2) = (High, Low) に変える。ゲート-ソース間への印加電圧を下げること でスイッチング速度を抑制し、サージ電流を低減する。
- (4) 入力信号を (SIG1, SIG2) = (High, High) に戻す。ゲート-ソース間への印加電圧を V_{DD} + V_C に戻し、以降ターンオフまでパワー素子のオン状態を維持する。

ステップ(3)の開始時間と継続時間はパワー素子のスイッ チング時間やドレイン電流がピークに達するタイミングに よって最適値が変動し、パワー素子の性能や個体差、電力 変換回路の設計や寄生成分に影響される。ステップ(3)の 開始時間や継続時間はゲートドライバで生じる立ち上がり/ 立ち下がり遅延などからも影響を受ける。例えば、図5で は20 ns から 50 ns までの期間(30 ns)がステップ(3)であ るが、入力信号のステップ(3)開始時間は25 ns であり、継 続時間は15 ns である。

3. 実測評価

本章では、従来型ゲートドライバと提案型 AGD の評価 に用いる測定回路、スイッチング特性の評価方法、実測結 果とその評価について述べる。









<3.1> 測定回路

非同期式昇圧型 DC-DC コンバータを用いて連続動作時の ターンオン特性について実測評価を行う。図6に測定回路を、 図7に測定用ゲートドライバを示す。測定用ゲートドライバ は従来型・提案型ともに絶縁ゲートドライバ IC Si8275GB (Skyworks Solutions) を使用し、入力信号源としてファン クションジェネレータ 81160A (Keysight) を使用している。 提案型のブートストラップ回路にはショットキーバリアダ イオード RB168MM150TFTR (ROHM Semiconductor) を 使用し、キャパシタは 100 nF のものを使用している。図 8 に測定回路の基板の写真を示す。ゲートドライバと昇圧 型 DC-DC コンバータは別基板上に実装しており、ゲート ドライバを従来型と提案型で差し替えることができる。表1 に主回路の素子定数と VDS、ID を示す。入力電圧は 25 V、 Duty 比は 50% を基準とし、ローサイドスイッチがオフ時に V_{DS} = 50 V かつターンオン直後に I_D = 2.15 A となるよう に調整した。測定回路は PWM 方式で駆動し、スイッチン グ周波数はスイッチング時間の都合で従来型では 500 kHz、 提案型では1 MHz とした。



図 6 測定に用いる非同期式昇圧型 DC-DC コンバータ Fig. 6. Asynchronous DC-DC boost converter for measurement.





図 8 ゲートドライバと DC-DC コンバータの基板 Fig. 8. PCBs of the gate drivers and the DC-DC converter.

表 1	主回路の各種定数	

Tab	ole 1.	Constants	s of the	main cir	cuit
	$C_{\rm in}$	$100 \ \mu F$	R_{load}	$50 \ \Omega$	
	C_{out}	$22 \ \mu F$	$V_{\rm DS}$	$50 \mathrm{V}$	
	L	$150 \ \mu H$	ID	$2.15 { m A}$	

従来型ではゲート抵抗を 0 Ω から 70 Ω まで 10 Ω 間隔で 設定して測定し、提案型では入力信号のステップ (3) の時 間幅を 15 ns に固定し、ステップ (2) の時間幅を 5 ns から 40 ns まで 1 ns 間隔で設定して測定した。

<3.2> スイッチング特性の評価方法

スイッチング特性はターンオン時のスイッチング損失と ドレイン電流のサージで評価する。スイッチング損失の定 義を図 9 に示す。 $I_{\rm DS}$ の立ち上がり 10% から $V_{\rm DS}$ の立ち下 がり 10% までをターンオン期間とし、 $P_{\rm SW} = V_{\rm DS} \cdot I_{\rm D}$ を ターンオン期間で時間積分した値 $E_{\rm SW}$ をターンオン時の スイッチング損失として評価する。ドレイン電流のサージ



図 9 スイッチング損失の定義 Fig. 9. Definition of switching loss.

 I_{surge} の定義を図 10 に示す。ドレイン電流 I_D のピーク値 を I_{peak} 、ターンオン開始から 360 ns までの間の I_D の最頻 値を I_{high} とし、その差分 $I_{surge} = I_{peak} - I_{high}$ とドレイ ン電流サージとして評価する。測定の際、ゲートドライバ 側の条件を変えるたびに主回路の入力電圧と Duty 比を調 整するため、 $V_{DS} = 50 \text{ V}, I_D = 2.15 \text{ A}$ の条件を厳密に満た すことは難しい。そのため、以下の式で補正をかける。式 (3) における $E_{SW,row}$ は実測値、 E_{SW} は補正済みの値で、 式 (4) においても同様である。

$$E_{\rm SW} = E_{\rm SW,row} \times \frac{50 \text{ V} \times 2.15 \text{ A}}{V_{\rm DS} \cdot I_{\rm D}}$$
(3)

$$I_{\text{surge}} = I_{\text{surge,row}} \times \frac{2.15 \text{ A}}{I_{\text{D}}}$$
 (4)

従来型と提案型を比較する際、 E_{SW} に対しては従来型の $R = 70 \Omega$ の場合の値で、 I_{surge} に対しては従来型の $R = 0 \Omega$ の場合の値で規格化し、式 (7)に示す値 F_{SW} を用いる。 F_{SW} の値が 0 に近いほどスイッチング損失低減とサージ抑制の トレードオフが改善されている。

$$E_{\rm SW,norm} = \frac{E_{\rm SW}}{E_{\rm SW}|_{\rm R=70 \ \Omega}} \tag{5}$$

$$I_{\text{surge,norm}} = \frac{I_{\text{surge}}}{I_{\text{surge}}|_{\mathbf{R}=0\Omega}}$$
(6)

$$F_{\rm SW} = \sqrt{E_{\rm SW,norm}^2 + I_{\rm surge,norm}^2} \tag{7}$$

<3.3> 実測結果

図 11 に従来型ゲートドライバによるスイッチング波形 を、図 12,13 に提案型ゲートドライバによるスイッチング 波形を示す。図 11 ではゲート抵抗 $R_{\rm G}$ を 0 Ω から 70 Ω ま で変化させた波形を、図 12 と図 13 ではステップ (2) の時 間幅、すなわち SIG2 の負パルスの発生タイミング $t_{\rm p}$ をそ れぞれ 5 ns から 25 ns、25 ns から 40 ns まで変化させた波 形を示している。



図 11 従来型ゲートドライバによるスイッチング波形 Fig. 11. Switching waveform with the conventional gate driver.



図 12 提案型ゲートドライバによるスイッチング波形 $(t_{\rm p} = 5 \text{ ns to } 25 \text{ ns})$





図 13 提条型ケートトライバによるスイッチング 彼形 $(t_{\rm p} = 25 \text{ ns to } 40 \text{ ns})$

Fig. 13. Switching waveform with the proposed gate driver $(t_{\rm p} = 25 \text{ ns to } 40 \text{ ns}).$



図 14 規格化したスイッチング損失とドレイン電流サージ Fig. 14. Normalized switching loss and drain current surge.



図 15 F_{SW} に関する従来型と提案型の比較 Fig. 15. Comparison between the conventional gate driver and the proposed AGD with F_{SW} .

図 11 – 図 13 の波形に関して、 $E_{SW} \geq I_{surge}$ それぞれ に式 (5) と式 (6) の規格化を施し、 $E_{SW,norm}$ を縦軸に、 $I_{surge,norm}$ を横軸に取ったグラフを図 14 に示す。例えば $t_p = 20$ ns のポイントにおいて、スイッチング損失が従来 型の $R_G = 20 \Omega$ 以下、ドレイン電流サージが $R_G = 50 \Omega$ 以下であるように、一部のポイントではスイッチング損失 低減とドレイン電流サージ抑制が従来型よりも両立出来て いることが分かる。式 (7) により求めた F_{SW} の値を R_G ま たは t_p ごとにプロットしたグラフを図 15 に示す。従来型 における F_{SW} の最小値は 0.69 ($R_G = 20 \Omega$)、提案型にお ける F_{SW} の最小値は 0.54 ($t_p = 20$ ns) であり、提案型は従 来型よりも F_{SW} の最小値が 21.7%低い。

図 16 に従来型と提案型でターンオン時間を比較したグ ラフを示す。従来型では $R_{\rm G}$ に比例してターンオン時間が 伸びてしまうのに対し、提案型ではゲート抵抗を増やさず、 ゲートに流入させる電流量をゲートドライバ側で一時的に 制限するため、従来型の $R_{\rm G} = 0 \Omega$ の場合と比較してター



図 16 従来型と提案型におけるターンオン時間の比較 Fig. 16. Comparison of the turn-ON time between the conventional and the proposed gate drivers.

ンオン時間の上昇量が 30 ns – 40 ns 程度に留まっている。 さらに、すべての負パルスタイミングにおいて提案型にお ける $R_{\rm G} = 20 \Omega$ の場合よりもターンオン時間が短く、80 ns 未満であった。

4. 結論

本稿では、ゲートドライバ IC を 2 段積みした AGD を提 案し、従来型と比較しつつスイッチング損失とドレイン電 流サージの評価を行った。提案型 AGD はゲートドライバ IC2 つとブートストラップ回路 (ダイオード+キャパシタ) のみで構成されており、ゲート周りの回路規模が小さく収 まる点で先行研究に対して優位性を持つ。スイッチング中 の任意のタイミングでゲート電流を一時的に制限する動作 により、スイッチング速度の低下を最低限に抑えながらド レイン電流のサージを抑制することができる。スイッチン グ損失とドレイン電流サージを規格化した値 ESW norm お よび Isurge,norm より求めた評価関数 FSW をもとに従来型 と提案型を比較すると、提案型は従来型よりも 21.7%スイッ チング特性が改善されていることが確認できた。提案型は 負パルスの発生タイミングによるスイッチング時間の変化 が 20 ns 程度に抑えられ、スイッチング時間はパルスタイ ミングに依らず 80 ns 未満であったことから、1 MHz 以上 の高周波動作に対応できることが確認できた。

しかし、提案型 AGD の入力信号 SIG2 を生成するのに必要な 1 ns 間隔でのパルスタイミングの調整が一般的なマイ コンや FPGA などでは困難であるため、実用上の課題が残 る。今後、遅延素子を用いた提案型 AGD への入力信号の 生成回路とその実用性について検討していく予定である。

文 献

 J. Wang, C. Yao, H. Li, E. Bauer, K. A. Potty and B. He: "How to change the landscape of power electronics with wide bandgap power devices", 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia), pp. 151–156 (2017).

- (2) P. Shamsi, M. McDonough and B. Fahimi: "Performance evaluation of wide bandgap semiconductor technologies in automotive applications", The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications, pp. 115–118 (2013).
- (3) P. Bogónez-Franco and J. B. Sendra: "EMI comparison between Si and SiC technology in a boost converter", International Symposium on Electromagnetic Compatibility - EMC EUROPE, pp. 1–4 (2012).
- (4) T. Ibuchi and T. Funaki: "Experimental Evaluation on Noise Characteristics in SiC-Based Synchronous Boost Converter", 2018 International Symposium on Electromagnetic Compatibility (EMC EUROPE), pp. 613–618 (2018).
- (5) H. Takayama, T. Okuda and T. Hikihara: "A Study on Suppressing Surge Voltage of SiC MOSFET Using Digital Active Gate Driver", IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA-Asia) 2020, pp. 192–196 (9 2020).
- (6) H. Obara, K. Wada, K. Miyazaki, M. Takamiya and T. Sakurai: "Active Gate Control in Half-Bridge Inverters Using Programmable Gate Driver ICs to Improve Both Surge Voltage and Converter Efficiency": IEEE Transactions on Industry Applications 54 No. 5 (2018) 4603.
- (7) T. Sai, K. Miyazaki, H. Obara, T. Mannen, K. Wada, I. Omura, M. Takamiya and T. Sakurai: "Load Current and Temperature Dependent Optimization of Active Gate Driving Vectors", 2019 IEEE Energy Conversion Congress and Exposition (ECCE), pp. 3292– 3297 (2019).