

電力変換回路内のサージ電圧測定向け ピークホールド回路の入出力特性の評価

野池 峻平*, 古田 潤, 小林 和淑 (京都工芸繊維大学)

I/O Characteristic Evaluation of a Peak Hold Circuit for Measuring Surge Voltage in Power Converters
Shumpei Noike, Jun Furuta, Kazutoshi Kobayashi (Kyoto Institute of Technology)

1. はじめに

電力変換回路において、スイッチング損失の低減とサージ電圧や放射ノイズの低減を両立する技術としてアクティブゲートドライバ (AGD) が注目され、ターンオフ時のサージ電圧を効果的に抑制するものが提案されている^{(1),(2)}。

一方、ターンオン時に生じるサージも抑制できれば、デバイス保護や放射ノイズ低減の観点でより良い効果が期待できる。本稿では、ターンオン/オフ両方のサージ電圧を抑制可能な closed-loop 型の AGD を想定し、サージ電圧検出に必要なピークホールド回路の入出力特性を実測評価する。

2. ピークホールド回路

図 1 にピークホールド回路の回路図を示す。入力段にオペアンプを使用しない場合、ダイオードの非線形な電流電圧特性が原因で正確な出力が得られない⁽³⁾。しかし、高電圧系での運用や MHz オーダのリンギングで生じる負電圧ピークの取り扱いを考慮し、オペアンプ無しの構造を採用した。ダイオードは RB168MM150 (Rohm 製) を使用した。

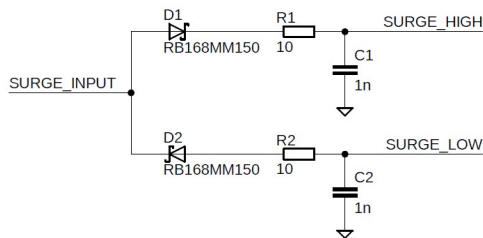


図 1. ピークホールド回路
Fig.1. Peak Hold Circuit

図 1 の回路の入出力波形の一例として、LTspice XVII によるシミュレーション波形を図 2 に示す。SURGE_HIGH と SURGE_LOW の電圧 (V_H , V_L) はそれぞれ SURGE_INPUT のピーク電圧 (V_{IP+} , V_{IP-}) に向かって収束する。図 2 の場合では、信号入力開始から 6 μ s 時点で定常値 (約 79 V) の 90% 程度 (約 71 V) まで収束している。

3. 測定結果

入出力波形の実測評価は定常状態でを行い、入力電圧の立ち上がりピーク V_{IP+} に対する SURGE_HIGH の出力電圧 V_H で評価する。

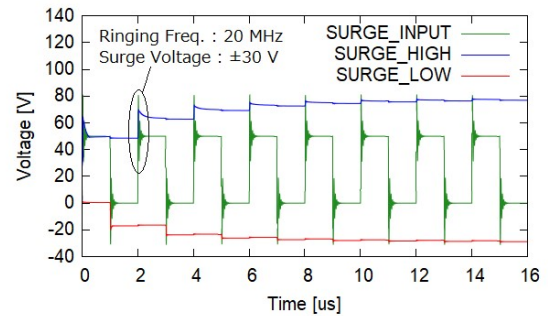


図 2. ピークホールド回路のシミュレーション波形
Fig.2. Simulation waveform of the Peak Hold Circuit

Duty 比 50%, スwitching 周波数 100 kHz, リンギング周波数約 2.2 MHz, ピーク電圧 50 V - 180 V の信号を入力したときの測定結果を図 3 に示す。実測結果と線型回帰モデルの平均平方二乗誤差率 (RMSPE) は 1.24% であった。

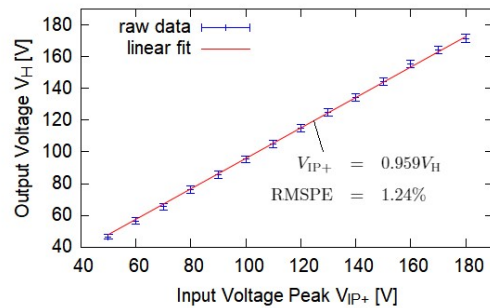


図 3. 入出力特性の実測結果
Fig.3. Measurement result of the I/O characteristic

4. まとめ

本稿では、オペアンプを使用しないピークホールド回路にサージのある電圧 PWM 波形 ($V_{IP+} = 50$ V - 180 V) を入力して入出力特性を評価した。その結果、入力ピーク電圧に対して高い線型性を持つ出力が得られた。

今後は、出力レベル変換やリセットといった機能を実装し、AGD への適用を進めていく。

文 献

- (1) 山本 昌弘, 先進パワー半導体分科会, Vol.6, No.2, 2019, pp.195-198
- (2) H. Takayama, WiPDA-Asia, 2020, pp.192-196
- (3) J. R. Naylor, IEEE Spectrum, Vol.8, No.6, 1971, pp.38-46