

SiC-MOSFETのMHz動作に向けた配線インダクタンスの影響と RCD スナバ回路によるリングング抑制効果の検証

山下 夕貴* 古田 潤 稲森 奨 小林 和淑 (京都工芸繊維大学)

Ringing Suppression of Wiring Inductance

by the RCD Snubber for MHz-Switching of SiC-MOSFET

Yuki Yamashita*, Jun Furuta, Sho Inamori and Kazutoshi Kobayashi (Kyoto Institute of Technology)

Abstract

MHz-switching of the SiC-MOSFET minimizes power converter circuits. However, wiring inductance causes ringing by increasing switching frequency. The ringing brings electromagnetic interference (EMI) and malfunction, which threatens reliability. We have to address ringing noise for MHz-switching. The purpose of this study is to clarify the ringing suppression effects of the RCD (Resistor-Capacitor-Diode) snubber. First, we evaluate the influence of wire inductance near the SiC-MOSFET. The results indicate that the wire inductance near the gate and drain terminals bring significant ringing at turn OFF, while the wire inductance near the source prolongs turn ON time. Then we evaluate how inductance location affects ringing noise suppression with the RCD snubber. The snubber is effective for ringing originated from the wire inductance near the gate and drain terminals.

キーワード：SiC-MOSFET, スナバ, 配線インダクタンス, 高速スイッチング, リングング
(SiC-MOSFET, Snubber, Wire inductance, High-speed switching, Ringing)

1. はじめに

近年、日本企業を中心に SiC (Silicon Carbide) 関連の事業を拡大する動きが活発化しており⁽¹⁾, 電気自動車や送電システムへの応用も期待される。SiC は Si (Silicon) と比較して絶縁破壊強度や電子移動度などの物性値が優れており、パワーデバイスに適した材料である。SiC パワーデバイスは高速スイッチングが可能であり、本研究グループでは、ISM (Industry Science Medical) バンドのひとつである 13.56MHz における SiC-MOSFET のスイッチングを目標に、高速化の手法を検討している⁽²⁾。高周波駆動においては、受動素子を小型化でき、回路の小型・軽量化を図ることができる。

しかし高速スイッチングでは、電流・電圧の変化が急峻であること、寄生インダクタンスの効果が相対的に大きくなることから⁽³⁾, リングングを起こしやすい。リングングは EMI (Electromagnetic Interference) ノイズの要因であり、他の機器の動作を阻害する恐れがある。サージ電圧が大きい場合には誤動作も起こりうるため、信頼性の低下が懸念される⁽⁴⁾。このため、高周波動作においてリングング対策は必須である。リングング抑制手法のひとつに、放電阻止形 RCD (Resistor-Capacitor-Diode) スナバ回路 (以下 RCD ス

ナバ回路とする) がある。RCD スナバ回路は、RC (Resistor-Capacitor) スナバ回路などに比べて高周波動作に向く。一般的にスナバ回路の RC パラメータは、回路全体の寄生インダクタンスの値を考慮して計算され^(5,6), どの箇所の寄生インダクタンスが支配的な影響を与えるかまでは考慮されない。

本稿では SiC-MOSFET を対象に、近傍の配線インダクタンスによるスイッチング特性への影響を評価し、RCD スナバ回路によるリングング抑制効果が配線インダクタンスの存在箇所によりどう変化するかについて評価する。スイッチング特性の測定はダブルパルス試験により行い、スイッチング時間、リングングおよび消費電力により評価を行う。

2. 配線インダクタンスの影響評価

ここでは、配線インダクタンスの存在箇所による影響を評価するにあたり、スイッチング特性の測定に用いた回路とその評価方法、および評価結果を説明する。

<2.1> スwitching特性測定方法

SiC-MOSFET 付近の配線インダクタンスがスイッチング特性に与える影響を評価する。図 1 に測定回路図を示す。MOSFET のゲート、ドレインおよびソース付近に、配

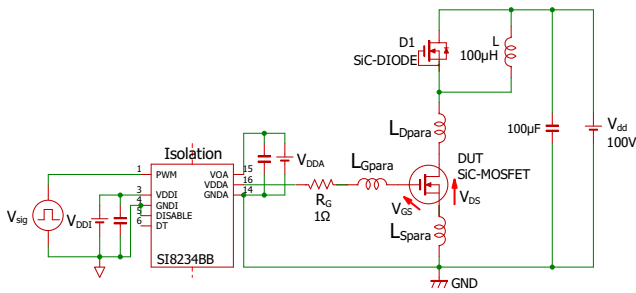
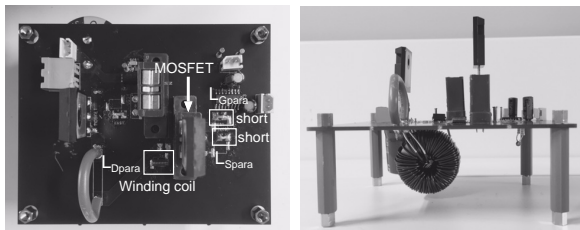


図 1 ダブルパルス試験による配線インダクタンス影響測定回路。

Fig. 1. Double-pulse test (DPT) circuit for evaluation of wire inductance effect.



(a) 上面図

(b) 側面図

図 2 配線インダクタ影響測定回路の外観。

Fig. 2. Appearance of the evaluation circuit.

線インダクタンスを模擬した巻線コイル L_{para} を設置できる箇所を設け、0, 20, 40 nH に変更できるようにする (図 2)。20 nH の配線インダクタンスは、配線厚み $h=35 \mu\text{m}$ 、配線幅 $w=5 \text{ mm}$ 、配線長さ $l=50 \text{ mm}$ の銅箔配線に相当する。40 nH は、 $h=35 \mu\text{m}$ 、 $w=5 \text{ mm}$ 、 $l=100 \text{ mm}$ の銅箔配線に相当する。なお、導線幅 1mm あたりの電流許容量は実効値で 1A 程度である (7)。配線インダクタンスは以下の式 (1) により求めた (8)。 l , w , h はそれぞれプリント基板上の配線の長さ、幅、厚みを表し mm 単位で考えると、 L_{para} は nH で算出される。

$$L_{para} = 0.2l \left\{ \ln \left(\frac{2l}{w+h} \right) + 0.2235 \left(\frac{w+h}{l} \right) + 0.5 \right\} \quad (1)$$

配線インダクタンスの存在箇所が MOSFET に与える影響を比較するため、スイッチング特性の測定時にはゲート、ドレイン、ソース付近のいずれか 1 箇所のみ巻線インダクタンスを設置し、残りの 2 箇所は短絡させる。

スイッチング特性の測定はダブルパルス試験により行う。ダブルパルス試験はインダクタに蓄えた電流を利用してスイッチング特性を測定するもので、MOSFET や IGBT などのパワーデバイスの特性評価に用いられる (9-11)。ダブルパルス試験での波形遷移を図 3 に示す。Phase1 の間 DUT は ON となり、インダクタ L へ電気エネルギーが磁気エネルギーとして蓄えられ、時間に比例して電流が増加する。Phase2 でターンオフ特性を測定できる。Phase3 では DUT が OFF となり、 L へ蓄えられた磁気エネルギーはダイオード D1 により消費されるが、D1 の順方向電圧は電源電圧と比べて小さいため、電流値はほぼ一定値を保つ。Phase4 でターンオ

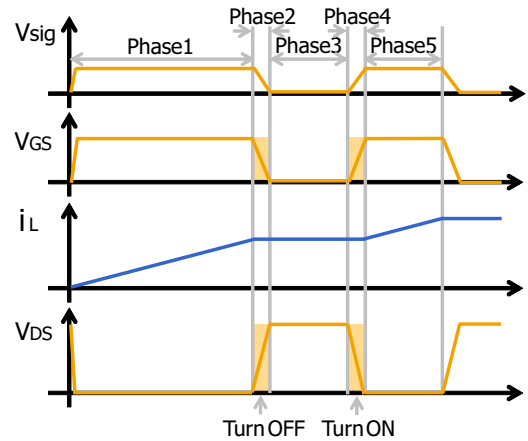


図 3 ダブルパルス試験の波形。

Fig. 3. DPT waveforms.

ン特性を測定できる。

周期的なパルスによる測定では、MOSFET の自己発熱によりパラメータが変動する場合があるが、単発パルスによるダブルパルス試験では、1 度の測定のため自己発熱が小さく、熱的に安定して測定が可能である。MOSFET 近傍の L から ON 電流が供給されるため、電源ラインに存在する寄生成分による影響を受けにくく、精度の高い測定が可能である。

スイッチング特性の評価対象は SCT2450KE (ROHM 社) の SiC-MOSFET である。SCT2450KE は、入力容量が 463 pF と小さく高速スイッチングに適している (12)。入力信号制御回路は、RF 絶縁方式のゲートドライバ IC Si8234 (Silicon Labs) と、 1Ω のゲート抵抗 R_G により構成する。入力信号 V_{sig} の生成にはファンクションジェネレータ 81160A (KEYSIGHT) を用いた。測定時の電源電圧 V_{dd} は 100 V とし、ON 時のドレイン電流 I_D が 5 A となるよう Phase1 の間隔は $5 \mu\text{s}$ とした。1MHz のスイッチングを想定し、Phase3, Phase5 の間隔は $0.5 \mu\text{s}$ とした。

<2.2> スwitching特性の評価方法

スイッチング特性はスイッチング時間 T_{OFF} , T_{ON} 、リングング電圧 V_{DSring_OFF} , V_{DSring_ON} および 1 周期あたりのエネルギー損失 E_{Total_loss} により評価する。図 4 にそれぞれの定義を示す。 T_{OFF} は V_{GS} が 90% に下降してから V_{DS} が 90% まで上昇するのに要する時間、 T_{ON} は V_{GS} が 10% 上昇してから V_{DS} が 10% に下降するのに要する時間である。 V_{DSring_OFF} , V_{DSring_ON} はそれぞれ式 (2)、式 (3) により定義する。

$$V_{ring_OFF} = V_{max_DS} - V_{high_DS} \quad (2)$$

$$V_{ring_ON} = V_{low_DS} - V_{min_DS} \quad (3)$$

スイッチング 1 周期あたりのエネルギー損失 E_{Total_loss} は、図 3 の Phase2 ~ Phase5 の区間での電力損失を積分したもので、式 (4) により計算する。 f_{sw} はスイッチング周波数を表し、ここでは 1MHz とする。

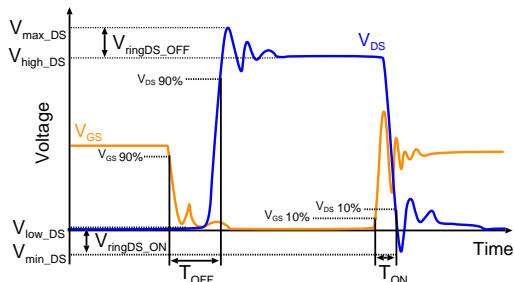


図 4 スイッチング特性値の定義.

Fig. 4. Definitions of switching characteristics.

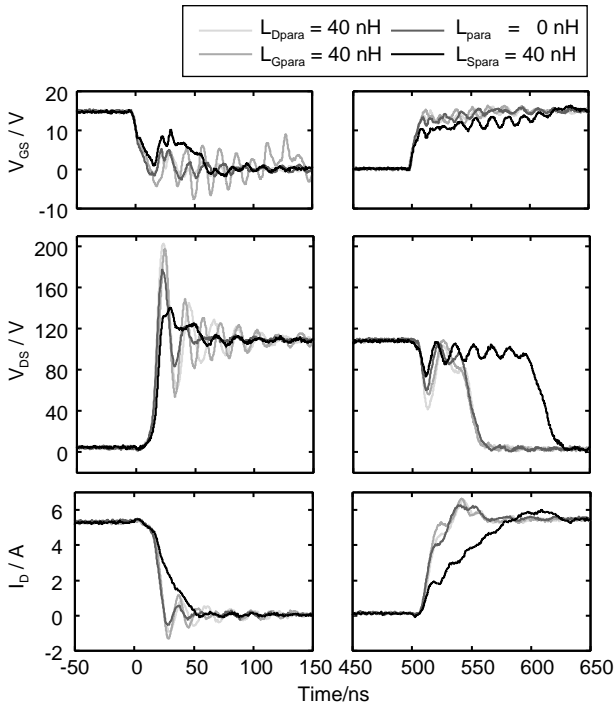


図 5 実測波形測定結果.

Fig. 5. Switching waveforms of measurement results.

$$E_{\text{Total Loss}} = \int_0^{\frac{1}{f_{sw}}} i_D \cdot v_{DS} dt \quad (4)$$

<2.3> スイッチング特性の評価結果

すべての配線インダクタンスを短絡した場合 ($L_{para} = 0$), ゲート・ドレイン・ソース近傍の配線インダクタンス L_{Gpara} , L_{Dpara} , L_{Spara} のうち 1 つを 40 nH とした場合のスイッチング波形を図 5 に示す. 図 6 ~ 8 には, すべての L_{para} を短絡させた場合 ($L_{para} = 0$) のスイッチング特性を基準に配線インダクタンスによる影響を評価した結果を示す.

a. L_{Gpara} による影響

ゲート付近の配線インダクタンス L_{Gpara} はターンオフ特性に悪影響を与える結果となった. $L_{Gpara} = 0$ と比べ 40 nH においては T_{OFF} が 10.5%, V_{DSring_OFF} が 30.2% 増加する. T_{OFF} が增大するのは, L_{Gpara} により電流 i_G が妨げられ, MOSFET の入力容量 C_{iss} に充電された電荷の放出が遅れるためと考えられる.

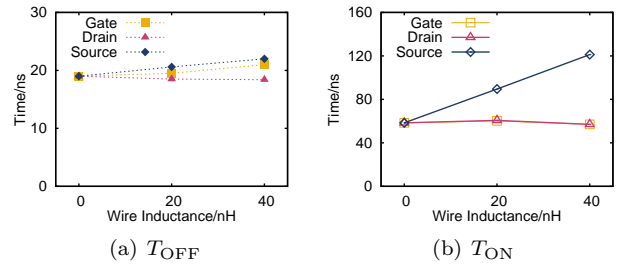


図 6 スイッチング時間の配線インダクタンス依存性.

Fig. 6. Wiring inductance dependence of switching time.

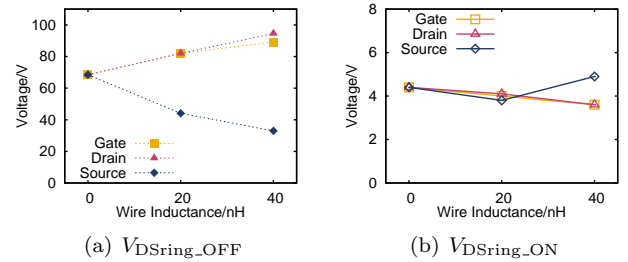


図 7 リンギング電圧の配線インダクタンス依存性.

Fig. 7. Wiring inductance dependence of ringing voltage.

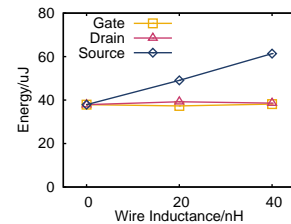


図 8 スイッチング損失の配線インダクタンス依存性.

Fig. 8. Wiring inductance dependence of energy loss.

L_{Gpara} の増加に伴い, V_{DSring_OFF} が増大する. V_{GS} のリンギングは L_{Gpara} と C_{iss} の共振により起こる. L_{Gpara} と $= 20, 40$ nH の場合ではそれが顕著となり, V_{GS} のリンギングが大きくなるため, V_{DS} のリンギングが増大する. ターンオン特性およびエネルギー損失 $E_{\text{Total Loss}}$ に関しては, L_{Gpara} による影響が最も小さい結果となった.

b. L_{Dpara} による影響

ドレイン付近の配線インダクタンス L_{Dpara} は, スイッチング時間に対する影響は小さいものの, L_{Dpara} の増加に伴い T_{OFF} , T_{ON} とともに短くなる傾向であった. $L_{Dpara} = 0$ と比べ 40 nH においては, T_{ON} が 2.4%, T_{OFF} が 3.2% 減少する. L_{Dpara} により電流の経路が妨げられるため, スイッチング時間は L_{Dpara} により長くなると予想していた. T_{OFF} が短くなったのは, 導通時に L_{Dpara} に蓄えられた磁気エネルギーがターンオフ時に放出され, 出力容量 C_{oss} の充電に助力したことによる. この現象は ON 時の電流が一定でないために起こるもので, 電流が定値である場合には発生しないと考えられる.

V_{DSring_OFF} は $L_{Dpara} = 40$ nH で 38.1% 増大しており、ドレイン近傍のインダクタンスは OFF 時のリンギングに大きく影響する。エネルギー損失 E_{Total_loss} に対しては L_{Dpara} は影響を与えない。

c. L_{Spara} による影響

スイッチング時間は L_{Spara} に比例して増大する。 $L_{Spara} = 40$ nH のとき、 $L_{Spara} = 0$ に比べ T_{OFF} は 15.8% 増大し、 T_{ON} は 2.08 倍となる。ターンオン時には L_{Spara} により、ドレイン電流 I_D が妨げられ、図 5 の結果のように I_D の立ち上がりが緩やかになる。これにより V_{DS} が立ち下がり始めるまでに時間がかかり、 T_{ON} が増大する。エネルギー損失 E_{Total_loss} は L_{Spara} に比例して増加し、特に $L_{Spara} = 40$ nH の E_{Total_loss} は 62.0% 増大する。これは図 6(b) と図 8 の関係から T_{ON} の時間遅延増大に伴う影響である。

V_{DSring_OFF} は L_{Spara} により減少し、 $L_{Spara} = 40$ nH のとき $L_{Spara} = 0$ に比べ 51.8% 減少する。寄生インダクタンスが存在する場合 $V = L_{para} \times di_D/dt$ により、リンギングは増大する。しかし MOSFET のソース下に配線インダクタンスが存在する場合、図 5 に示すように電流の立ち下がりが遅くなるため、リンギングが減少する。

3. RCD スナバ回路によるリンギング抑制効果評価

ここでは、RCD スナバ回路のリンギング抑制効果について評価するにあたりスイッチング特性の測定に用いた回路、その評価方法および結果を説明する。

<3.1> スwitching特性測定方法

図 9 に測定回路図を示す。SiC-MOSFET 付近の L_{para} を起因としたリンギングに対する RCD スナバ回路の抑制効果を評価する。点線で囲った部分が RCD スナバ回路である。ここで原理を説明する。RCD スナバ回路は有極性のスナバ回路で、ターンオフ時のサージ電圧を抑制する役割がある。ターンオフで電流経路が瞬時に切り替わった際に生ずるリンギングを、ダイオード D_{snub} を通してキャパシタ C_{snub} で吸収させる。吸収された余剰分は抵抗 R_{snub} を通り、電源側へ回生される。ターンオン時には D_{snub} へ逆バイアスがかかり、スナバ回路への電流経路が妨げられるため、スナバ回路はリンギングを抑制できない。切り替わり時にはダイオードに逆バイアスがかかり逆回復を起こすため、逆回復特性のよいダイオードを選定する必要がある。

今回の測定回路では、 R_{snub} は 15Ω 、 C_{snub} は 470 pF とした。RC パラメータは文献⁽⁶⁾を基に SPICE シミュレータ SIMetrix を用いて決定した。 D_{snub} には、C3D04060F (CREE) を用いた。これは SiC-SBD (Schottky Barrier Diode) であり、少数キャリアの蓄積がなく逆回復特性が優れているため、スイッチング特性に悪影響を与えにくい。RCD スナバ回路に使用した SiC-SBD の逆回復特性を測定した。PN 接合ダイオードである FRD (Fast Recovery Diode), SRD (Soft Recovery Diode) の測定結果と共に、図 10 に示す。

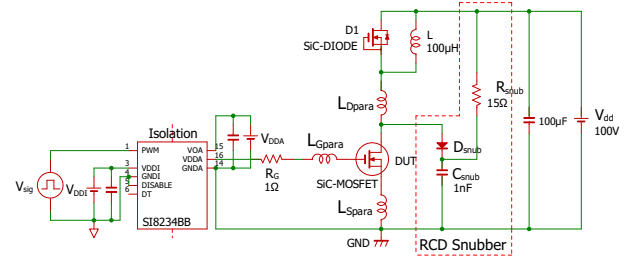


図 9 RCD スナバ回路によるリンギング抑制効果測定回路。
Fig. 9. Evaluation of ringing suppression by RCD snubber circuit.

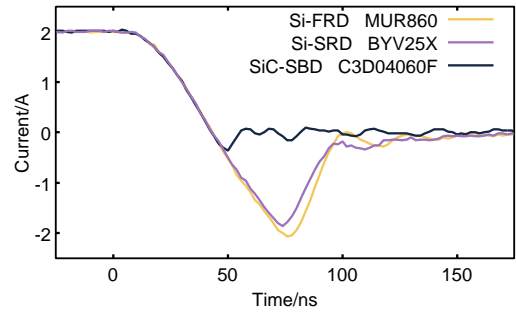


図 10 ダイオードの逆回復特性比較。

Fig. 10. Reverse-recovery characteristics of diodes.

第 2 節での測定と同様、スイッチング特性の測定時には L_{Gpara} 、 L_{Dpara} 、 L_{Gpara} いずれか 1 箇所巻線インダクタンスを設置し、残りの 2 箇所は短絡させ、 0 nH とする。巻線インダクタンスは 40 nH の場合のみで測定した。その他の測定条件は第 2 節と同様である。

<3.2> スwitching特性の評価方法

第 2 節の測定で得られたスナバ回路がない場合の測定結果と、スナバ回路ありの場合の測定結果を、配線インダクタンスの箇所ごとに比較し、評価を行う。スイッチング特性はスイッチング波形と、 V_{DSring_OFF} 、 T_{ON} 、 E_{Total_loss} により評価する。スナバ回路をつけた場合のエネルギー損失 E_{Total_loss} はスナバ回路での損失も含めて計算する。スナバ回路での損失は D_{snub} での損失 E_{D_loss} と R_{snub} での損失 E_{R_loss} の和から成る。 C_{snub} に蓄えられたエネルギーはスナバ抵抗により消費されるものとする。SiC-MOSFET でのスイッチング損失を E_{MOS_loss} とすれば、全体のスイッチング損失 E_{Total_loss} は式 (8) により表せる。なお式 (8) の各項は式 (5) から式 (7) により算出される。

$$E_{MOS_loss} = \int_0^{\frac{1}{f_{sw}}} i_D \cdot v_{DS} dt \quad (5)$$

$$E_{R_loss} = \int_0^{\frac{1}{f_{sw}}} \frac{v_R^2}{R_{snub}} dt \quad (6)$$

$$E_{D_loss} = \int_0^{\frac{1}{f_{sw}}} i_{Diode} \cdot v_{Diode} dt \quad (7)$$

$$E_{Total_loss} = E_{MOS_loss} + E_{R_loss} + E_{D_loss} \quad (8)$$

表 1 スイッチング損失測定結果.

Table 1. Measurement results of switching energy loss.

	エネルギー損失 [μJ]		
	$E_{\text{MOS_loss}}$	$E_{\text{R_loss}}$	$E_{\text{D_loss}}$
$L_{\text{Gpara}}=40\text{nH}$	35.0	2.17	0.98
$L_{\text{Dpara}}=40\text{nH}$	36.93	2.00	1.23
$L_{\text{Spara}}=40\text{nH}$	61.58	1.37	0.69

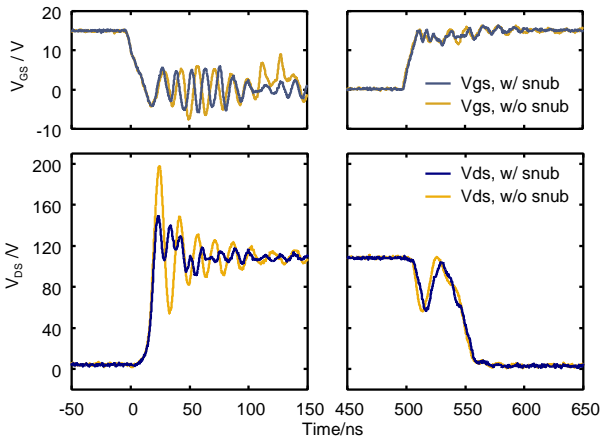


図 11 $L_{\text{Gpara}} = 40 \text{ nH}$ の場合の実測波形結果.

Fig. 11. Switching waveform at $L_{\text{Gpara}} = 40 \text{ nH}$.

表 2 $L_{\text{Gpara}} = 40 \text{ nH}$ の場合のスイッチング特性結果.

Table 2. Switching characteristics at $L_{\text{Gpara}} = 40 \text{ nH}$.

	T_{ON}	$V_{\text{DSring_OFF}}$	$E_{\text{Total_loss}}$
w/o snub	57.0 ns	89.2 V	38.2 μJ
w/ snub	57.9 ns	41.1 V	38.2 μJ

<3.3> スイッチング特性の評価結果

スナバ回路をつけた場合のエネルギー損失の内訳を表 1 に示す.

a. $L_{\text{Gpara}} = 40 \text{ nH}$ の場合

$L_{\text{Gpara}} = 40 \text{ nH}$ のとき、スナバ回路の有無で実測波形を比較した結果を図 11 に、スイッチング特性を比較した結果を表 2 に示す。エネルギー損失が増加することなく、スナバ回路により、リングング $V_{\text{DSring_OFF}}$ が 53.9%抑制される。 T_{ON} は 1.6%の増加に抑えられる。図 11 の実測波形より、RCD スナバ回路は V_{DS} へのリングング抑制効果はあるが、 V_{GS} のリングングは抑制されない。 V_{GS} のリングングは誤点弧を引き起こす恐れがある。ゲート側のインダクタンスを起因とする場合には、スナバによるリングング抑制のみでは不十分であり、 V_{GS} に対しても対策が必要である。

b. $L_{\text{Dpara}} = 40 \text{ nH}$ の場合

$L_{\text{Dpara}} = 40 \text{ nH}$ のとき、スナバ回路の有無で実測波形を比較した結果を図 12 に、スイッチング特性を比較した結果を表 3 に示す。スナバ回路により、 $V_{\text{DSring_OFF}}$ が 63.1%抑制されるが、5.4%スイッチング時間が増加し、エネルギー損失が 4.1%増加する。スナバ回路がないときの $V_{\text{DSring_OFF}}$ は $L_{\text{Gpara}} = 40 \text{ nH}$ より $L_{\text{Dpara}} = 40 \text{ nH}$ で 6.1%大きい。スナ

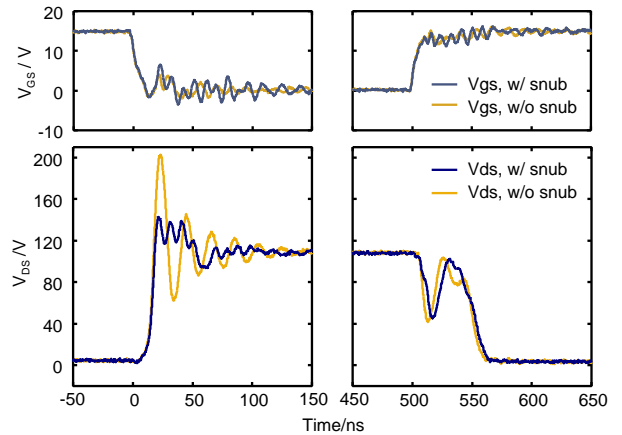


図 12 $L_{\text{Dpara}} = 40 \text{ nH}$ の場合の実測波形結果.

Fig. 12. Switching waveform at $L_{\text{Dpara}} = 40 \text{ nH}$.

表 3 $L_{\text{Dpara}} = 40 \text{ nH}$ の場合のスイッチング特性結果.

Table 3. Switching characteristics at $L_{\text{Dpara}} = 40 \text{ nH}$.

	T_{ON}	$V_{\text{DSring_OFF}}$	$E_{\text{Total_loss}}$
w/o snub	57.0 ns	94.6 V	38.6 μJ
w/ snub	60.1 ns	34.9 V	40.2 μJ

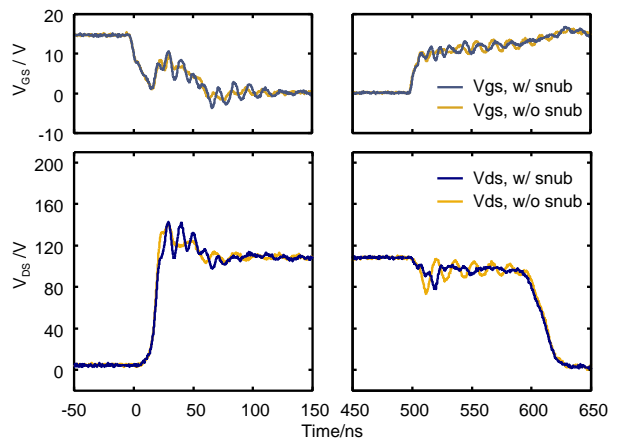


図 13 $L_{\text{Spara}} = 40 \text{ nH}$ の場合の実測波形結果.

Fig. 13. Switching waveform at $L_{\text{Spara}} = 40 \text{ nH}$.

表 4 $L_{\text{Spara}} = 40 \text{ nH}$ の場合のスイッチング特性結果.

Table 4. Switching characteristics at $L_{\text{Spara}} = 40 \text{ nH}$.

	T_{ON}	$V_{\text{DSring_OFF}}$	$E_{\text{Total_loss}}$
w/o snub	121.2 ns	33.0 V	61.4 μJ
w/ snub	120.0 ns	34.7 V	63.6 μJ

バ回路を実装すると、 $L_{\text{Gpara}} = 40 \text{ nH}$ より $L_{\text{Dpara}} = 40 \text{ nH}$ のほうが $V_{\text{DSring_OFF}}$ が 15.1%小さくなり、ゲート付近より、ドレイン付近の配線インダクタンスに起因するリングングの抑制に効果的である結果となった。

c. $L_{\text{Spara}} = 40 \text{ nH}$ の場合

$L_{\text{Spara}} = 40 \text{ nH}$ のとき、スナバ回路の有無で実測波形を比較した結果を図 13 に、スイッチング特性を比較した結果を表 4 に示す。スナバ回路によるリングングの抑制効果がなく、 $V_{\text{DSring_OFF}}$ が 5.2%増大する結果となった。 T_{ON} は

1.0%短くなるが,表1のようにスナバ回路の抵抗とダイオードによりエネルギーが消費されるため, $E_{\text{Total_Loss}}$ は3.7%増大する.

4. 結論

ダブルパルス試験により SiC-MOSFET のスイッチング特性を測定し, SiC-MOSFET 近傍の配線インダクタンスによる影響を評価した. スwitching時間はソース近傍の配線インダクタンス L_{Spara} による影響が大きく, 40 nH では0の場合に比べ T_{ON} が2.08倍に増大した. エネルギー損失 $E_{\text{Total_Loss}}$ は T_{ON} と強い相関関係にあり, L_{Spara} により62%増大する. リンギングはゲート・ドレイン付近の L_{Gpara} , L_{Dpara} により引き起こされ, 40 nH でそれぞれ30.2%, 38.1%増加する.

SiC-MOSFET で生ずるリンギング $V_{\text{DSring_OFF}}$ に対する RCD スナバ回路の抑制効果を, 配線インダクタンスの箇所を考慮して評価した. 配線インダクタンスがドレイン付近に存在する場合の $V_{\text{DSring_OFF}}$ 抑制率が最も高く, 40 nH の場合で63%抑制された. ゲート付近に対しても54%と半分以上の V_{DS} が抑制されたが, V_{GS} のリンギングに対する抑制効果はなく, 誤点弧の可能性から別途対策が必要である. ソース付近に存在する場合はリンギング抑制効果が見られなかった.

謝辞

本研究は独立行政法人科学技術振興機構, 京都地域スーパークラスタープログラムによる.

文 献

- (1) 日経エレクトロニクス: 飛躍する SiC と GaN (日経 BP 社, 2013) pp. 8–28.
- (2) F. Mo, J. Furuta and K. Kobayashi: “A low surge voltage and fast speed gate driver for SiC MOSFET with switched capacitor circuit”, 2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA), pp. 282–285 (Nov. 2016).
- (3) A. Hariya, H. Yanagi, Y. Ishizuka, K. Matsuura, S. Tomioka and T. Ninomiya: “Influence of parasitic components on MHz-level frequency LLC resonant DC-DC converter”, IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society, pp. 004842–004847 (Nov. 2015).
- (4) N. Oswald, P. Anthony, N. McNeill and B. H. Stark: “An experimental investigation of the tradeoff between switching losses and EMI generation with Hard-switched All-Si, Si-SiC, and All-SiC device combinations”: IEEE Transactions on Power Electronics **29** No. 5 (2014) 2393.

- (5) R. Severns: “Design of snubbers for power circuits”: International Rectifier Corporation.
- (6) 大野 榮一, 小山 正人: パワーエレクトロニクス入門 (改訂5版) (オーム社, 2014).
- (7) CQ 出版社: トランジスタ技術2003年6月号 pp. 169–170.
- (8) ROHM Co., Ltd, http://micro.rohm.com/jp/techweb/knowledge/dcdc/dcdc_pwm/dcdc_pwm03/5048 (Oct. 2016).
- (9) A. Albanna, A. Malburg, M. Anwar, A. Guta and N. Tiwari: “Performance comparison and device analysis between Si IGBT and SiC MOSFET”, 2016 IEEE Transportation Electrification Conference and Expo (ITEC), pp. 1–6 (June 2016).
- (10) B. N. Torsater, S. Tiwari, R. Lund and O. M. Midtgard: “Experimental evaluation of switching characteristics, switching losses and snubber design for a full SiC half-bridge power module”, 2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems (PEDG), pp. 1–8 (June 2016).
- (11) F. Xu, D. Jiang, J. Wang, F. Wang, L. M. Tolbert, T. J. Han and S. J. Kim: “Characterization of a high temperature multichip SiC JFET-based module”, 2011 IEEE Energy Conversion Congress and Exposition, pp. 2405–2412 (Sept. 2011).
- (12) ROHM Co., Ltd: “SCT2450KE Datasheet” (May 2013).