社団法人　電子情報通信学会
THE INSTITUTE OF ELECTRONICS,
INFORMATION AND COMMUNICATION ENGINEERS

信学技報
TECHNICAL REPORT OF IEICE.

[依頼講演] 間欠動作を行うIoT向けプロセッサに適したFiCCを用いた不揮発ストレージセル

阿部　佑貴[†]　小林　和淑[†]　塩見　準[††]　越智　裕之[†††]

† 京都工芸繊維大学 〒606-8585 京都府京都市左京区松ヶ崎橋上町
†† 大阪大学 〒565-0871 大阪府吹田市山田丘 1-1
††† 立命館大学 〒525-8577 滋賀県草津市野路東 1-1-1
E-mail: †{yabe, kazutoshi.kobayashi}@vlsi.es.kit.ac.jp, ††shiomi-jun@ist.osaka-u.ac.jp, †††ochi@cs.ritsumei.ac.jp

あらまし　エネルギーハーベスティングは Internet of Things (IoT) デバイスへの電源供給技術として注目されている. 周囲環境から得られるエネルギーが不安定であることを考慮すると, デバイスは連続動作よりも間欠動作を行う必要がある. 本稿では間欠動作を行う IoT 向けプロセッサに適した Fishbone-in-Cage Capacitor (FiCC) を用いた不揮発スタンダードセルメモリ (NV-SCM) と不揮発フリップフロップ (NV-FF) の実測結果について述べる. シミュレーションにより, 不揮発ストレージセルで構成された順序回路は揮発のものと比べ, 動作時間と待機時間の比率が 500 のとき, 180nm CMOS プロセスにおいて 24.3% の消費エネルギーの削減が可能であることを示した. NV-SCM と NV-FF のレイアウト設計を 180nm CMOS プロセスを用いて行った. ビットセルの不揮発化による面積オーバーヘッドは NV-SCM では 74%, NV-FF では 29% となった. 実測により, NV-SCM と NV-FF の正常な動作を確認した.

キーワード　Internet of Things (IoT), エネルギーハーベスティング, スタンダードセルメモリ, フリップフロップ, メタルフリンジキャパシタ, 不揮発プロセッサ

[Invited Lecture] Nonvolatile Storage Cells Using FiCC for IoT Processors with Intermittent Operations

Yuki ABE[†], Kazutoshi KOBAYASHI[†], Jun SHIOMI[††], and Hiroyuki OCHI[†††]

† Kyoto Institute of Technology　Matsugasakihashikami-cho, Sakyo-ku, Kyoto, 606-8585 Japan
†† Osaka University　1-1, Yamadaoka, Suita, Osaka, 565-0871 Japan
††† Ritsumeikan University　1-1-1, Noji-higashi, Kusatsu-city, Shiga, 525-8577 Japan
E-mail: †{yabe, kazutoshi.kobayashi}@vlsi.es.kit.ac.jp, ††shiomi-jun@ist.osaka-u.ac.jp, †††ochi@cs.ritsumei.ac.jp

Abstract　Energy harvesting is a key technology to supply power for Internet of Things (IoT) devices. Computing devices for IoTs must operate intermittently rather than continuously, because harvested energy is unstable and small. In this paper, we describe measurement results of a nonvolatile standard cell memory (NV-SCM) and nonvolatile flip-flops (NV-FF) using Fishbone-in-Cage Capacitor (FiCC) suitable for IoT processors with intermittent operations. From simulation results the sequential circuit using nonvolatile storage cells can reduce the energy consumption by 24.3% in a 180 nm CMOS process compared to the volatile circuit when hibernation/normal operation time ratio is 500. NV-SCM and NV-FF are fabricated in a 180 nm CMOS process technology. The area overhead by nonvolatility of a bit cell are 74% in NV-SCM and 29% in NV-FF, respectively. We confirmed full functionality of the NV-SCM and NV-FF.

Key words　Internet of Things (IoT), Energy harvesting, Standard cell memory, Flip-Flops, Metal fringe capacitor, Nonvolatile processor

1. はじめに

近年, 5G などの情報通信技術が著しく発展を遂げており, Internet of Things (IoT) デバイスの普及が進んでいる. ユビキタス化が進んだ将来の IoT デバイスにおいて, バッテリーに替わる電源供給技術としてエネルギーハーベスティングが注目され

ている [1]. 周囲環境から得られるエネルギーが不安定であることを考慮すると, デバイスは連続動作よりも間欠動作をする必要があり, プロセッサには低消費電力化と待機時電力の削減が求められる.

集積回路の消費電力削減の効果的な手段として, 電源電圧のスケーリングが挙げられる. しかし, Static Random Access Memory (SRAM) を代表とするオンチップメモリはプロセスばらつきに脆弱であり, 低電圧領域において動作が困難である [2]. SRAM に替わるメモリとして, スタンダードセルメモリ (SCM) が提案された [3]. ビットセルに D ラッチや D フリップフロップが用いられ, 周辺回路はランダムロジックにより実装される. ディジタル回路のみで回路実装が行われるため, 極低電圧領域における安定動作が可能である. 待機時の電力削減手法として不揮発パワーゲーティング (NV-PG) が挙げられる. 本手法により, 待機時におけるリーク電力の削減が可能である [4]. NV-PG には不揮発 SRAM や不揮発フリップフロップ (NV-FF) などの不揮発双安定回路を用いる. NV-PG はバックアップ時, 長距離のデータ転送が必要な外部ストレージを使用する従来構造と比べて, 電力と性能のオーバーヘッドの削減が可能である.

先行研究において, 磁気トンネル接合素子を用いた不揮発スタンダードセルメモリ (NV-SCM) [5] や強誘電体素子を用いた NV-FF が提案されている [6]. しかし, メモリ製造時に CMOS プロセスに加えて追加マスクと製造装置が必要となる. 本稿では, 従来の CMOS プロセスで製造可能な Fishbone-in-Cage Capacitor (FiCC) を用いた不揮発メモリ [7] を適用した NV-SCM と NV-FF の実測結果について述べる. また, 実測結果を踏まえた NV-SCM と NV-FF の修正についても説明を行う.

2. FiCC を用いた不揮発ストレージセル

2.1 FiCC を用いた不揮発メモリ

FiCC は外側と内側の電極で構成されるメタルフリンジキャパシタである [7]. FiCC の 3D 構造を図 1 に示す. 青色で示している電極が外側, 赤色で示している電極が内側電極であり, 電極はそれぞれビアで垂直方向に接続されている. ノイズに弱いネットを内側電極に, GND または VDD などの電位の安定したインピーダンスの低いネットを外側電極に接続することで, ファラデーケージのように内側電極をシールドする. これにより, 内側端子と他の配線または近接する他のキャパシタとのクロストーク容量を約 1/10 にまで抑制することができる.

FiCC を用いた不揮発メモリはフラッシュメモリのフローティングゲート (FG) 構造に相当するものを, FiCC と NMOS を用いて実現し, CMOS 互換な不揮発メモリとしたものである [7]. FiCC を用いた不揮発メモリを図 2 に示す. トランジスタのゲート端子と FiCC の内側電極をつなぐ配線は絶縁体によって外部から絶縁されており, FG の役割を担う. 不揮発メモリの書き込みおよび消去動作を図 3, 4 に示す. 書き込みはコントロールゲート (CG) に 5.0V を印加し, Fowler-Nordheim (FN) トンネリングによって電子を FG に閉じ込めることで行う. 消去動作は書き込み動作とは逆のトンネリングを発生させ, 電子を FG から引き抜くことで行う. 文献 [7] では, 5.0V の書き込み電圧を 5 秒

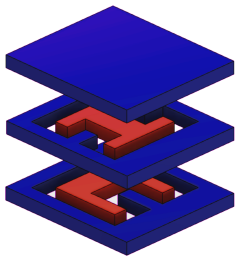

図 1　FiCC の 3D 構造

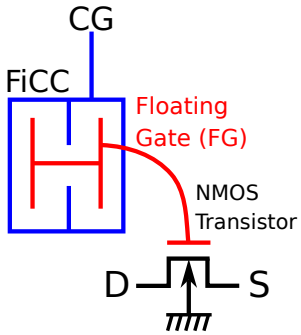

図 2　FiCC を用いた不揮発メモリ

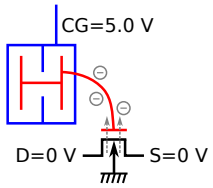

図 3　書き込み動作

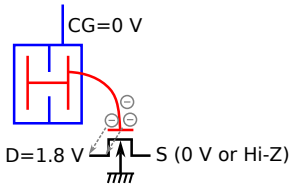

図 4　消 去 動 作

間 CG に印加すればしきい値電圧は 4.0V まで上昇し, 書き込み後は 13 日程度のデータ保持が可能であること, ならびに 25,000 回程度の書き込み, 消去動作では特性がほとんど劣化しないことが示されている.

2.2 NV-SCM 用 D ラッチ

図 5 に NV-SCM 用 D ラッチ (1bit NV-SCM) の構成を示す. NV-SCM 用 D ラッチは揮発性の D ラッチと図中において赤色で示す不揮発部で構成される. 不揮発部は FiCC を用いた不揮発メモリ素子と 3 つの NMOS で構成される.

NV-SCM 用 D ラッチの動作モードは, ラッチ動作, 不揮発部へのデータ退避動作, D ラッチへのデータの復帰動作, データ消去動作の 4 つである. 表 1 に復帰動作を除いた, それぞれの動作モードにおける CK, DG_W, DG_R, CG, SG, SL ピンへの印加電圧を示す. ラッチ動作時は DG_W, DG_R, CG, SG, SL はすべて 0V とすることで NV-SCM 用 D ラッチは通常の D ラッチの動作を行う. データの退避動作時は DG_W=1.8V, CG=5.0V, CK, DG_R, SG, SL=0V として FiCC を用いた不揮発メモリ素子にデータを書き込む. 書き込みによる不揮発メモリ素子のしきい値電圧上昇量は D ラッチの保持値によって決まる. データ消去動作時は DG_W, DG_R, CG=0V, SG, SL=1.8V として FiCC を用いた不揮発メモリ素子のデータ消去を行う. データ復帰時はまず D ラッチへ電源投入後, D ラッチに High を書き込み, その後 DG_R, CG, SG=1.8V, CK, DG_W, SL=0V とする. 不揮発メモリ素子のしきい値電圧が 1.8V より高い場合と低い場合におけるデータ復帰時のラッチのバイアス条件と復帰動作における保持値の書き換え動作を図 6, 7 にそれぞれ示す. 不揮発メモリ素子のしきい値電圧が 1.8V よりも高い場合, CG=1.8V としても, NMOS は ON にならずラッチの保持値は High のままとなる. 一方しきい値電圧が 1.8V よりも低い場合, NMOS は ON となり, グラウンドとつながるためラッチの保持値は High から Low へと変化する. このように, 不揮発メモリ素子のしきい値電圧に

表 1　NV-SCM 用 D ラッチ (1bit NV-SCM) の動作モード

	CK	DG_W	DG_R	CG	SG	SL
ラッチ動作	-	0 V	0 V	0 V	0 V	0 V
退避動作	0 V	1.8 V	0 V	5.0 V	0 V	0 V
消去動作	-	0 V	0 V	0 V	1.8 V	1.8 V

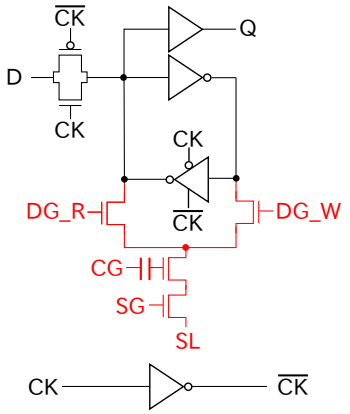

図 5　NV-SCM 用 D ラッチの構成

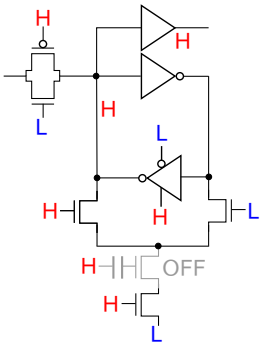

図 6　NV-SCM の復帰動作
(書き込み時)

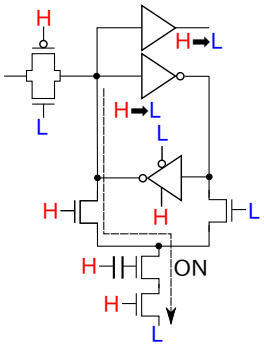

図 7　NV-SCM の復帰動作
(非書き込み時)

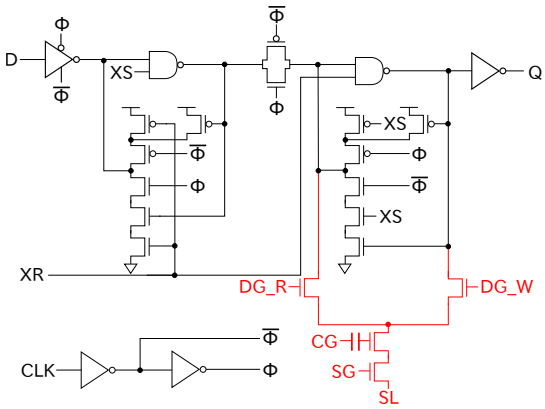

図 8　NV-FF の構成

表 2　NV-FF の動作モード

	CLK	DG_W	DG_R	CG
フリップフロップ動作	-	0 V	0 V	0 V
退避動作	0 V	1.8 V	0 V	5.0 V
消去動作	-	0 V	0 V	0 V
	SG	SL	XS	XR
フリップフロップ動作	0 V	0 V	-	-
退避動作	0 V	0 V	1.8 V	1.8 V
消去動作	1.8 V	1.8 V	-	-

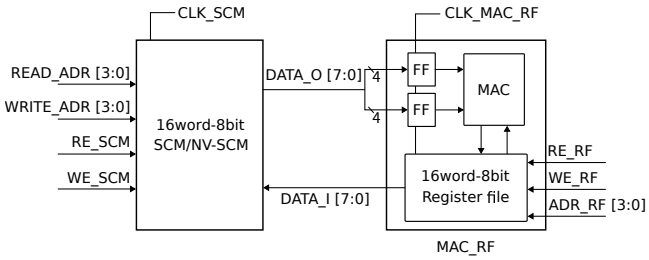

図 9　SCM/NV-SCM と FF/NV-FF を用いた順序回路

応じてラッチへ High もしくは Low のデータ復帰が行われる．

2.3　NV-FF

NV-FF の構成を図 8 に示す．NV-FF はフリップフロップと図中において赤色で示す不揮発部で構成される．NV-FF の動作モードは，フリップフロップ動作，不揮発部へのデータ退避動作，フリップフロップへのデータ復帰動作，データ消去動作の 4 つである．復帰動作を除いた，それぞれの動作モードにおける CLK, DG_W, DG_R, CG, SG, SL, XS, XR ピンへの印加電圧を表 2 に示す．フリップフロップ動作時は DG_W, DG_R, CG, SG, SL はすべて 0V とする．NV-FF は通常のフリップフロップとしての動作を行う．データの退避動作時は DG_W, XS, XR=1.8V, CG=5.0V, CLK, DG_R, SG, SL=0V として FiCC を用いた不揮発メモリ素子にデータを書き込む．データ消去動作時は DG_W, DG_R, CG=0V, SG, SL=1.8V として FiCC を用いた不揮発メモリ素子のデータ消去を行う．データ復帰動作時はフリップフロップへ電源投入後，CLK, XS=0V としてセットをかける．その後，DG_R, CG, SG, XS, XR=1.8V, CLK, DG_W, SL=0V として，不揮発メモリ素子のしきい値電圧に応じてフリップフロップへ High もしくは Low のデータの復帰が行われる．

2.4　SCM/NV-SCM と FF/NV-FF を搭載した順序回路の消費エネルギー比較

シミュレーションにより，2 つの順序回路の消費電力比較を行う．1 つは揮発ストレージセルで構成されたもの (V-system)，もう 1 つは不揮発ストレージセルで構成されたもの (NV-system) である．順序回路を図 9 に示す．SCM と NV-SCM，レジスタファイルを構成するフリップフロップが揮発か不揮発かをそれぞれ変更する．不揮発化により，電源を切っても一時的に計算したデータを保持でき，電源投入後，瞬時にシステムを再起動できる．回路の動作の流れを以下に示す．

- 16word-8bit SCM/NV-SCM の保持値を MAC_RF 内の FF に読み出し，積和演算器 (Multiply and ACcumulation : MAC) に入力することで演算を行う．
- 演算結果は 16word-8bit レジスタファイルの指定したアドレスに書き込む．
- 上記動作を繰り返す．
- 最後に，レジスタファイルから 16word-8bit SCM/NV-SCM にデータを書き戻す．

V-system と NV-system の消費エネルギーの関係を図 10 に示

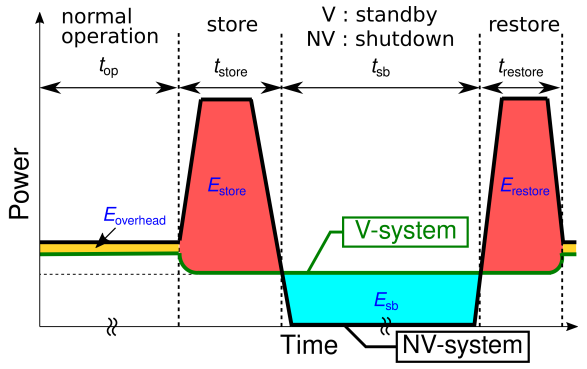

図 10　V-system と NV-system の消費エネルギーの関係

表 3　V-system と NV-system の消費電力

	動作時	待機時
V-system	106.65 μW	72.03 nW
NV-system	107.94 μW	0

す. 通常動作における V-system と NV-system の消費エネルギー差を $E_{overhead}$ (= $P_{overhead} \times t_{op}$) とする. NV-system は待機時に電源を完全に落とせるため, V-system が待機時に生じる電力を削減することができる. その消費電力を P_{sb} と定義する. 一方で NV-system は待機時に電源を落とすため, 再起動時に余分なエネルギーを消費する. そのため, Break Even Time (BET) 以上の待機時間が必要である. BET は式 (1) で与えられる. E_{store} と $E_{restore}$ はそれぞれデータの退避, 復帰時に生じるエネルギーである. $E_{store} = E_{cp}$ (= $P_{cp} \times t_{store}$) + $I_{store} \times V_{store} \times t_{store}$ (1 ビットあたり I_{store} = 10 nA, V_{store} = 5.0 V, t_{store} = 200 ms) で計算した. E_{cp} は退避時に必要な 5.0V の電圧生成に用いるチャージポンプ回路の消費エネルギーである. チャージポンプ回路については 4 章で説明を行う. $E_{restore} = I_{restore} \times V_{restore} \times t_{restore}$ で導出した.

HSPICE を用いてシミュレーションを行った. 電源電圧は 1.8V, ゲート長は 180nm, 温度は 27 °C, 動作周波数は 10MHz とした. 表 3 にシミュレーション結果を示す. BET は式 (2) の通りとなった. 待機/動作時間の比率と削減エネルギーの関係を図 11 に示す. 動作時間と待機時間の比率が 500 のとき, NV-system は V-system と比べ 24.3% のエネルギーの削減が可能である.

$$BET = \frac{E_{store} + E_{restore} + P_{overhead} \times t_{op}}{P_{sb}} \quad (1)$$

$$BET = 21.24\ \mathrm{s} + 17.91 \times t_{op} \quad (2)$$

3. NV-SCM と NV-FF の実測評価

3.1 NV-SCM 用 D ラッチのレイアウト設計

180nm CMOS プロセスを用いて 4bit NV-SCM 用 D ラッチのレイアウト設計を行った. 4bit NV-SCM 用 D ラッチのレイアウトの模式図を図 12 に示す. 4bit NV-SCM 用 D ラッチは NV-SCM 用 D ラッチ (1bit NV-SCM) を 4 つまとめて配置したものである. クロックは共通となっているため, クロック用のインバータはセル全体で 1 つのみである. DG_W, DG_R, CG, SG, SL はそれぞれセル内でショートしている. 4bit NV-SCM 用 D ラッチのレイアウトのサイズは 229.68μm^2 (6.6μm × 34.8μm) となり, ビットセルの不揮発化による面積オーバーヘッドは 74% となった.

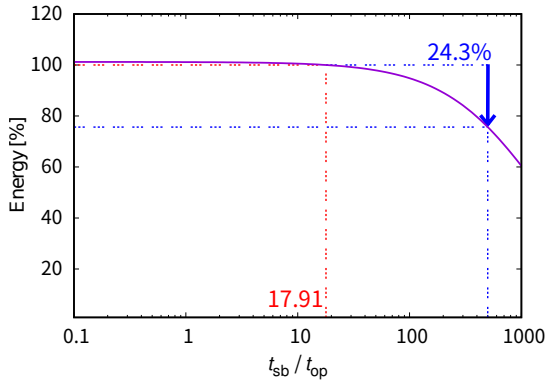

図 11　待機/動作時間の比率と削減エネルギーの関係

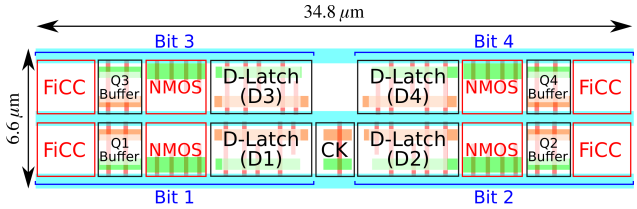

図 12　4bit NV-SCM 用 D ラッチのレイアウト

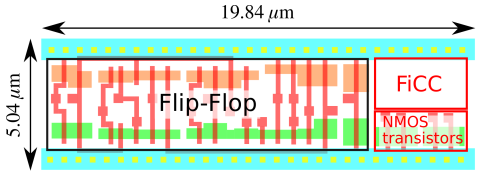

図 13　1bit NV-FF のレイアウト

3.2 NV-FF のレイアウト設計

180nm CMOS プロセスを用いて 1bit NV-FF のレイアウト設計を行った. 1bit NV-FF のレイアウトの模式図を図 13 に示す. レイアウトのサイズは 99.99μm^2 (5.04μm × 19.84μm) となり, フリップフロップの不揮発化による面積オーバーヘッドは 29% となった.

3.3 テストチップに搭載したマクロ

以下に示すマクロをテストチップに搭載した. 使用したプロセスは 180nm CMOS プロセスである.

- 16word-8bit NV-SCM
- 16word-8bit SCM
- 16bit 不揮発アップカウンタ

16word-8bit NV-SCM は 4bit NV-SCM 用 D ラッチをビットセルとして使用し, レイアウト設計を行った. レイアウトのサイズは 0.0314mm^2 (99.0μm × 317.4μm) となった. 16word-8bit SCM は NV-SCM と性能を比較するために搭載した. レイアウトサイズは 0.0232mm^2 (85.8μm × 270.0μm) となった. 16bit 不揮発カウンタは 1bit NV-FF をビットセルに使用し, 論理合成および自

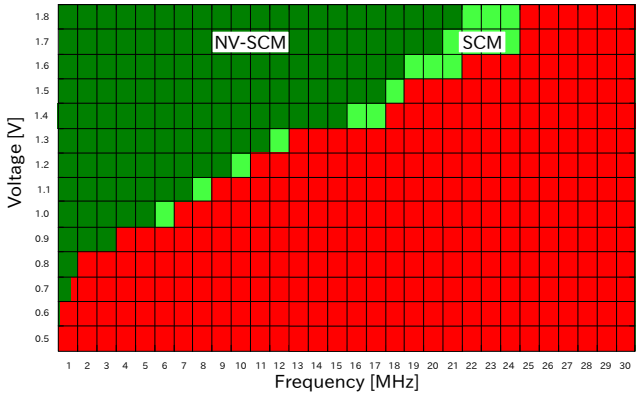

図 14　16word-8bit SCM と NV-SCM の Shmoo プロット

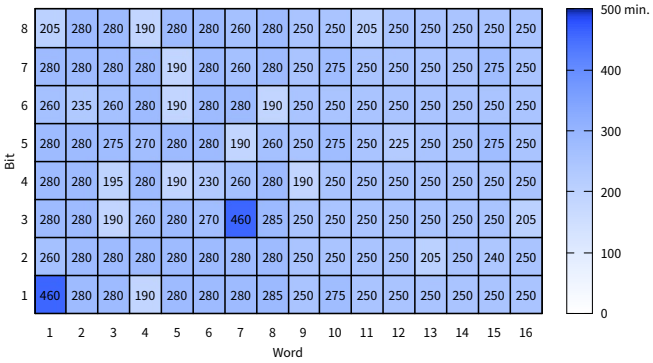

図 15　不揮発メモリのデータ保持時間 (16word-8bit NV-SCM)

動配置配線を用いてレイアウト設計を行った．レイアウトサイズは 0.011148mm^2 (103.68μm × 107.52μm) となった．

3.4　実 測 結 果

16word-8bit NV-SCM においてラッチ, 退避, 復帰, 消去動作が正常に行われていることを確認した．16word-8bit SCM と NV-SCM の Shmoo プロットを図 14 に示す．濃い緑色のエリアは SCM, NV-SCM ともに動作した範囲を表している．明るい緑色のエリアは SCM のみ動作した範囲を示す．赤色のエリアは SCM, NV-SCM とも動作不可を示す．電源電圧が 1.8V の場合 SCM は最大 24MHz, NV-SCM は最大 21MHz まで動作が可能であり, 不揮発化による動作速度のオーバーヘッドは 12.5% となった．書き込み時間 0.05 秒におけるデータ保持時間を図 15 に示す．復帰時に CG ピンへ印加する電圧が 1.8V の場合, 保持時間が短くなるため, 1.4V に変更した．保持時間の平均値は 258 分, 標準偏差は 36 分 (14%) となった．各ビットにおいて保持時間にばらつきが生じた原因として, 各 CG ピンをつなぐ配線の長さが異なることによる, 不揮発メモリを構成する NMOS のゲート酸化膜へのアンテナダメージ (Plasma-Processing-Induced Damage : P^{2}ID) のばらつきが考えられる [8].

16bit カウンタにおいてカウント, 退避, 復帰, 消去動作が正常に行われていることを確認した．電源電圧 1.8V では, カウント, 復帰動作において最大 29MHz まで動作が可能であった．データの退避 (書き込み) 時間と保持時間の関係を下位 8bit を用いて調べた結果を図 16 に示す．データ復帰時に CG ピンへ印加する電圧は 1.4V とした．データ保持時間は書き込み時間 0.25 秒では最大で 35 分程度となり, ビットごとにばらつきが生じた．

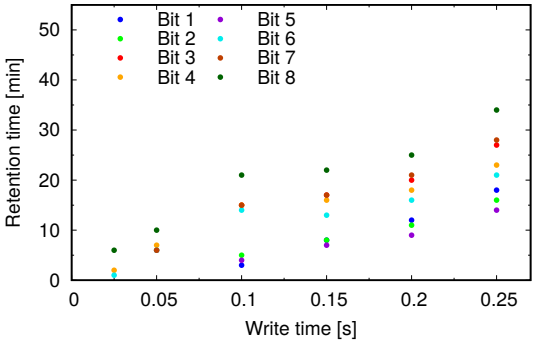

図 16　不揮発メモリのデータ保持時間 (16bit カウンタ)

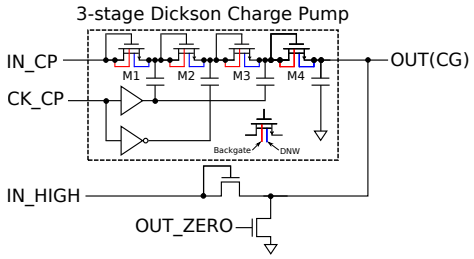

図 17　チャージポンプと CG への供給電圧切り替え回路

4.　NV-SCM と NV-FF の修正

本章では, 3 章での実測結果を踏まえ, 追加で試作を行った 2 つのテストチップに搭載したマクロと実測結果について述べる．

4.1　チャージポンプを搭載した NV-SCM と NV-FF の実測評価

4.1.1　CG への供給電圧切り替え回路

NV-SCM および NV-FF では CG ピンへ印加する電圧をラッチ/フリップフロップ動作および消去動作では 0V, 退避動作では 5.0V, 復帰動作では 1.4V と切り替える必要がある．CG ピンへの供給電圧の切り替え回路を図 17 に示す．CG に 0V を供給する際は, OUT_ZERO に 1.8V を印加する．CG に 5.0V を供給する際は, IN_CP に 1.8V を CK_CP に振幅が 1.8V のクロック信号をそれぞれ印加しチャージポンプにより, 5.0V まで昇圧する．CG に 1.4V を供給する際は, IN_HIGH に 1.8V を印加する．ダイオード接続された NMOS でのしきい値電圧分の電圧降下により CG には 1.4V が供給される．180nm CMOS プロセスを用いてレイアウト設計を行った．レイアウトのサイズは 858.99μm^2 (16.5μm × 52.06μm) となった．

4.1.2　テストチップに搭載したマクロ

以下に示すマクロをテストチップに搭載した．使用したプロセスは 180nm CMOS プロセスである．括弧内の数字は CG への供給電圧切り替え回路の接続数を示している．

- 16word-8bit NV-SCM + 供給電圧切り替え回路 (3)
- 16bit 不揮発アップカウンタ + 供給電圧切り替え回路 (2)

4.1.3　実 測 結 果

動作周波数 10MHz, 電源電圧 1.8V において, 16word-8bit NV-SCM のラッチ, 退避, 復帰, 消去動作を確認した．また, 同様の測定条件において 16bit カウンタのカウント, 退避, 復帰, 消去動作を確認した．

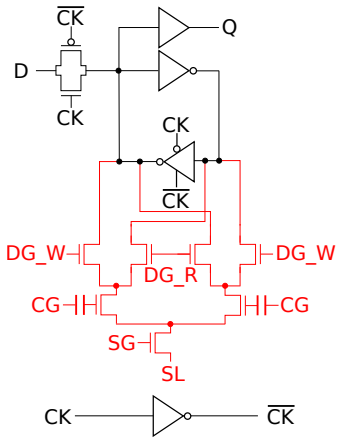

図 18　自動復帰型 NV-SCM 用 D ラッチの構成

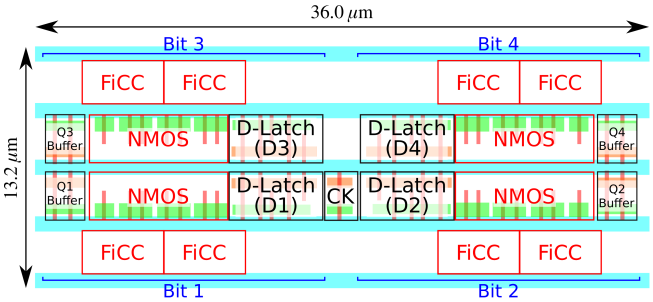

図 19　自動復帰型 4bit NV-SCM 用 D ラッチのレイアウト

4.2　自動復帰型 NV-SCM の実測評価

4.2.1　自動復帰型 NV-SCM 用 D ラッチ

3 章で実測を行った NV-SCM では復帰動作において, D ラッチへ電源投入後, ラッチに High を書き込み, DG_R, CG, SG=1.8V, CK, DG_W, SL=0V としてデータの復帰を行う. ラッチへの High の書き込み動作の所要時間はメモリのサイズが大きくなるにつれ増大する. そのため復帰動作において電源投入時のラッチの保持値に関係なく, 復帰が可能な回路構造を提案する. 図 18 に自動復帰型 NV-SCM 用 D ラッチの構成を示す. DG_R, DG_W, CG を並列にして, 不揮発メモリを 2 つ搭載している. 本回路では, 電源投入後, DG_R, CG, SG=1.8V, CK, DG_W, SL=0V とすることで復帰動作を行うことができる. そのため従来型で復帰動作時において電源投入後, DG_R, CG, SG=1.8V, CK, DG_W, SL=0V とする前に行っていたラッチに High を書き込む動作の削減が可能である. 変更点は復帰動作の方法のみなので, 他の動作 (ラッチ, 退避, 消去動作) 時の CK, DG_W, DG_R, CG, SG, SL ピンへの印加電圧には変更はない. 180nm CMOS プロセスを用いて, 自動復帰型 4bit NV-SCM 用 D ラッチのレイアウト設計を行った. 図 19 に自動復帰型 4bit NV-SCM 用 D ラッチのレイアウトの模式図を示す. レイアウトのサイズは 475.2μm^2 (13.2μm × 36.0μm) となり, ビットセルの不揮発化による面積オーバーヘッドは 274% となった.

4.2.2　テストチップに搭載したマクロ

以下に示すマクロをテストチップに搭載した. 使用したプロセスは 180nm CMOS プロセスである.

- 4bit NV-SCM (自動復帰型)
- 16word-8bit NV-SCM (自動復帰型)

4.2.3　実 測 結 果

不揮発メモリへの書き込み電圧が 5.0V の場合, 両側の不揮発メモリへと書き込みが行われたため, 2.0V に変更した. 変更により数十秒程度の書き込み時間が必要となった. 動作周波数 10MHz, 電源電圧 1.8V において, 4bit NV-SCM のラッチ, 退避, 復帰, 消去動作を確認した. また, 同様の測定条件において 16word-8bit NV-SCM のラッチ, 退避, 復帰, 消去動作を確認した.

5.　お わ り に

本稿では, IoT 向けプロセッサに適した FiCC を用いた不揮発ストレージセルの実測について述べた. 動作時間と待機時間の比率が 500 のとき, NV-system は V-system と比べ 24.3% の消費エネルギーの削減が可能であることをシミュレーションにより示した. NV-SCM と NV-FF のレイアウト設計を 180nm CMOS プロセスを用いて行った. ビットセルの不揮発化による面積オーバーヘッドは NV-SCM では 74%, NV-FF では 29% となった. NV-SCM と NV-FF の正常な動作を実測において確認した. 最後に, チャージポンプを搭載した NV-SCM と NV-FF ならびに自動復帰型 NV-SCM の実測について述べた.

謝辞　本研究におけるテストチップの試作は東京大学 d.lab-VDEC を通し, ローム株式会社, 日本シノプシス合同会社, 日本ケイデンスデザインシステム社, シーメンス EDA ジャパン株式会社の協力のもと行われたものである.

文　　献

[1] V. Raghunathan, A. Kansal, J. Hsu, J. Friedman, and M. Srivastava, “Design considerations for solar energy harvesting wireless embedded systems,” IPSN 2005. Fourth International Symposium on Information Processing in Sensor Networks, 2005.IEEE, pp.457–462 2005.

[2] J. Chen, L.T. Clark, and T.-H. Chen, “An ultra-low-power memory with a subthreshold power supply voltage,” IEEE Journal of Solid-State Circuits, vol.41, no.10, pp.2344–2353, 2006.

[3] P. Meinerzhagen, C. Roth, and A. Burg, “Towards generic low-power area-efficient standard cell based memory architectures,” 2010 53rd IEEE International Midwest Symposium on Circuits and Systems, IEEE, pp.129–132, 2010.

[4] S. Yamamoto and S. Sugahara, “Nonvolatile Static Random Access Memory (NV-SRAM) Using Magnetic Tunnel Junctions with Current-Induced Magnetization Switching Architecture,” Japanese Journal of Applied Physics, vol.48, no.4R, p.043001, 2009.

[5] J. Akaike, M. Kudo, and K. Usami, “Design and Evaluation of MTJ-based Standard Cell Memory,” IEICE Technical Report; IEICE Tech. Rep., vol.116, no.94, pp.103–108, 2016 (In Japanese).

[6] F. Su, Y. Liu, Y. Wang, and H. Yang, “A Ferroelectric Nonvolatile Processor with 46 μs System-Level Wake-up Time and 14 μs Sleep Time for Energy Harvesting Applications,” IEEE Transactions on Circuits and Systems I: Regular Papers, vol.64, no.3, pp.596–607, 2016.

[7] Tanaka, Ippei and Miyagawa, Naoyuki and Kimura, Tomoya and Imagawa, Takashi and Ochi, Hiroyuki, “A CMOS-compatible Nonvolatile Memory Element using Fishbone-in-cage Capacitor,” IPSJ Transactions on System and LSI Design Methodology, vol.16, pp.35–44, 2023.

[8] Weng, Wu-Te and Lee, Yao-Jen and Lin, Hong-Chih and Huang, Tiao-Yuan, “Effects of Plasma Damage on Metal–Insulator–Metal Capacitors and Transistors for Advanced Mixed-Signal/Radio-Frequency Metal–Oxide–Semiconductor Field-Effect Transistor Technology,” Japanese Journal of Applied Physics, vol.48, no.8R, p.086001, 2009.