

SONOS Flash セルを用いた不揮発 SRAM の設計と回路シミュレーション による評価

浦部 孝樹[†] 新居 浩二[†] 小林 和淑[†]

[†] 京都工芸繊維大学電子システム工学専攻

あらまし 本稿では SONOS Flash を用いた不揮発の SRAM メモリについてレイアウト設計を行い、その特性について回路シミュレーションを行う。結果、NV-SRAM の面積は SRAM と比べ 47% 増加するが、動作速度は 1% 以内の増加に抑えることが可能である。NV-SRAM は待機時に電源を完全に OFF にすることが可能なので、退避・復帰時に必要な電力を考慮しても、動作時間の 15% 以上の待機時間があれば電力を削減可能である。

キーワード SRAM, 回路シミュレーション, 不揮発メモリ, BET

Design of Nonvolatile SRAM Using SONOS Flash Cell and its Evaluation by Circuit Simulation

Takaki URABE[†], Koji NII[†], and Kazutoshi KOBAYASHI[†]

[†] Department of Electronics, Kyoto Institute of Technology

Abstract In this paper, we designed a layout of a nonvolatile SRAM memory using the SONOS Flash memory, and investigated its characteristics. As a result of circuit simulations, the area of NV-SRAM increases by 47% compared to SRAM, but the operating speed increases by less than 1%. Because NV-SRAM can be turned off during standby, so the power consumption can be reduced if the standby time is 15% or more of the operating time.

Key words SRAM, Circuit Symulation, Nonvolatile memory, Break Even Time

1. 序 論

IoT の普及と共にエッジコンピューティングの広がりがみられる。クラウド側での処理を減らし、端末側で多くのデータを処理することで、通信にかかるコストの低減、通信による遅延の減少、セキュリティの向上といった多くのメリットを得られる。そのため、エッジ端末に用いるための低電力かつ高性能な LSI の需要が高まっている。

そこで、SRAM と同様に高速読み書きと制限なしの書き込みが可能であり、不揮発性による待機時電力ゼロも実現できる NV-SRAM が提案されている [1]。本研究の研究対象である SONOS Flash 型 NV-SRAM はチャージトランプ型の Flash メモリであり、フローティングゲート型の Flash メモリでは実現できないスケールアップが可能である [2]。混載のメモリとして ReRAM (Resistive RAM) [3] や MTJ (Magnetic tunnel junction) 素子 [4] が用いられることがあるが、これらは 1 素子のデータの書き込み・消去に $\mu\text{A} \sim \text{mA}$ の消費電流が必要なため同時に退避できる

セル数を増やすことができない。一方で SONOS Flash 型 NV-SRAM はデバイス特性が安定しており、データの退避・復帰に必要な電流が数 pA 程度と小さいため、メモリセルアレイの一括消去が可能である。

本稿では、SONOS Flash 型 NV-SRAM の実装面積、消費電力、動作速度についてレイアウトデータから RC 抽出により得られたネットリストによる回路シミュレーションから評価を行う。第 2 節では、SONOS Flash NV-SRAM の動作原理、特徴について述べる。第 3 節では、シミュレーションの手法とその評価方法について述べる。第 4 節では、シミュレーションの結果と BET の導出を行う。第 5 節では、結論を述べる。

2. SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) Flash 型 NV-SRAM

2.1 SONOS Flash メモリ

SONOS Flash メモリセルの断面図を図 1 に示す。

この Flash メモリセルは 3 つのゲートを持つ構造となっ

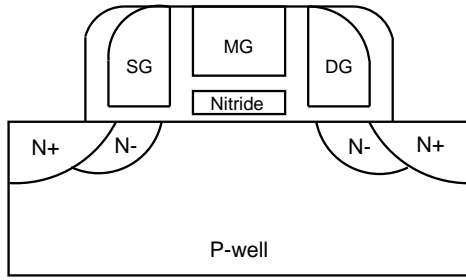


図1 65 nm SONOS Flash メモリの断面図

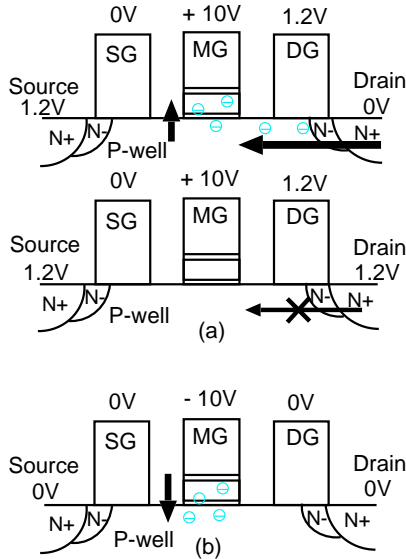


図2 SONOS Flash の動作原理 (a) 書き込み時 (b) 消去時

ている。MG の部分が Flash 構造であり、Nitride 層に電子を保持することでしきい値電圧を変化させ、データを保持する。

SONOS Flash メモリは 55nm スケールでの微細化が報告されている。150℃で1万回の書き込み・消去サイクルを繰り返す実験から、10年以上の使用に耐えられる高い耐久性と高温でも値を保持できる高い保持能力を有する。デバイス特性が安定しており、8kByte のメモリアレイで書き込み・消去を行ったところ $\pm 4\sigma$ のばらつきを考慮しても問題なく動作する [2]。消去に必要な電流が数 pA 程度と小さいため、1Mbit のメモリを同時に書き込み・消去することができる。各状態における SONOS Flash の動作原理を図2に示す。

書き込み時には DG=H (High), SG=L (Low) とし、MG に 10V 程度の電圧をかける。NB(NT)=L のとき DG, MG のゲートソース間に電位差が生じるので値を書き込める。NB(NT)=H のとき DG のゲートソース間に電位差が生じず、書き込めない。

消去時には DG, SG=L とし、MG に -10V 程度の電圧をかけることで電子を放出し、消去を行う。

2.2 SONOS Flash 型 NV-SRAM の動作原理

本研究で用いた NV-SRAM の回路図を図3に示す。そ

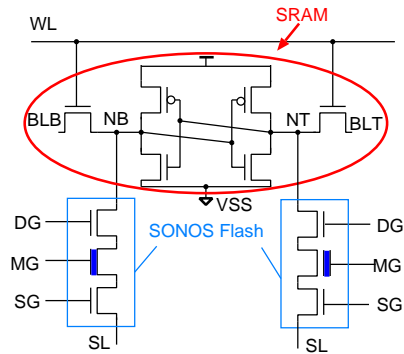


図3 NV-SRAM の回路図

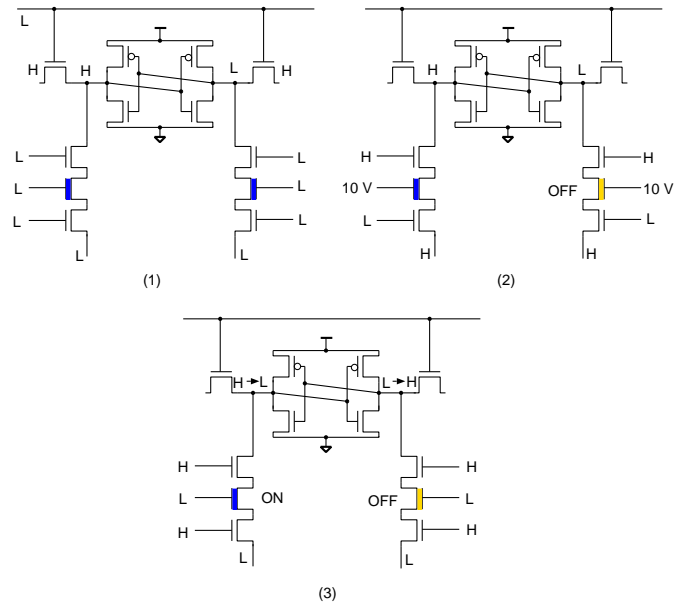


図4 NV-SRAM の動作原理 (1) 動作時 (2) 退避時 (3) 復帰時

の動作原理を図4に示す。SONOS Flash が青のときは ON 状態、黄色のときは OFF 状態を表す。

(1) SRAM 動作時には SONOS Flash のゲート電圧はすべて 0V とし、通常の SRAM と同様の動作を行う。

(2) 値を SONOS Flash に保持し、電源を OFF にし、スタンバイ状態に遷移する。このとき L 側の SONOS Flash に書き込みが行われ、OFF 状態になる。

(3) SRAM が再度 ON になったときに、どちらが H になり、どちらが L になるかは確定しない。SONOS Flash の記憶値を電源 ON 時に SRAM に書き戻す。ただし、SRAM の保持値は反転する。

NB=H, NT=L の場合を想定する。DG=H, SG=L とし、MG には 10V 程度の電圧をかける。SONOS Flash の性質により NT 側の記憶素子に書き込みが行われる。これにより値の退避を行う。復帰時には、DG=SG=H, SL=L とすることで NB 側は SL とショートし L となる。NT 側は OFF であり、SL とショートしない。NB が L となり反転した値を戻すことができる。各動作における記憶保持部の入力

表 1 各動作時の状態

	DG	MG	SG	SL
動作時	0 V	0 V	0 V	0 V
Flash 書込み	1.2 V	10 V	0 V	1.2 V
Flash 消去	0 V	-10 V	0 V	0 V
復帰時	1.2 V	0 V	1.2 V	0

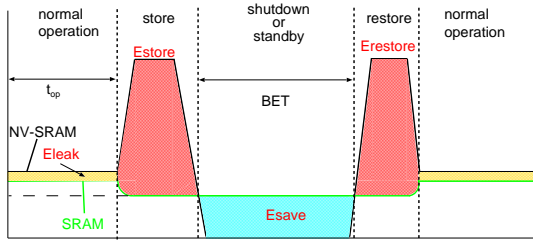


図 5 SRAM, NV-SRAM の消費エネルギーの関係

電圧を表 1 に示す。

値を退避・復帰させるごとにデータが反転するため、NR (Normal), RV (Reverse) という 2 つの状態をチップ内の別の不揮発メモリに記憶し、書き込み値と読み出し値の切り替えを行う。NV-SRAM の入出力に XOR ゲートと SONOS Flash を接続する。データの退避・復帰を行うごとに SONOS Flash の ON/OFF を切り替えることで、2 つの状態を区別する。NR 状態では、SONOS を L としてそのまま入出力を行う。RV 状態では SONOS を H として反転させて入出力を行う。

2.3 BET (Break Even Time)

BET とは SRAM が NV-SRAM よりも消費電力を減らすのに必要な電源 OFF 時間である [5]。図 5 に SRAM と NV-SRAM の消費電力の関係を示す。動作時は NV-SRAM の方が SRAM よりもやや消費電力が大きくなる。データの退避・復帰にも電力を消費する。しかし、NV-SRAM はスタンバイ時の電力が 0 であるため、この時間が長い程 NV-SRAM の方が SRAM よりも省電力になる。スタンバイ時間が BET と等しい時には $E_{leak}, E_{store}, E_{restore}$ の和が E_{save} と等しくなる。動作時間を t_{op} 、各動作時電力を P_{op} 、 P_{op-nv} 、SRAM のスタンバイ時電力を P_{st} 、退避・復帰に必要なエネルギーをそれぞれ $E_{store}, E_{restore}$ とおくと、BET (t_{BET}) は以下の式で求められる。

$$t_{BET} = E_{store} + E_{restore} + t_{op} \times (P_{op-nv} - P_{op}) / P_{st} \quad (1)$$

3. シミュレーション手法

図 6 を用いてシミュレーションを行う。ビット線に接続される SRAM セル数 m を 512 としてシミュレーションを実行する。各部のゲート幅を表 2 に示す。SRAM, NV-SRAM の 2 つのメモリを 180nm プロセスルールを用

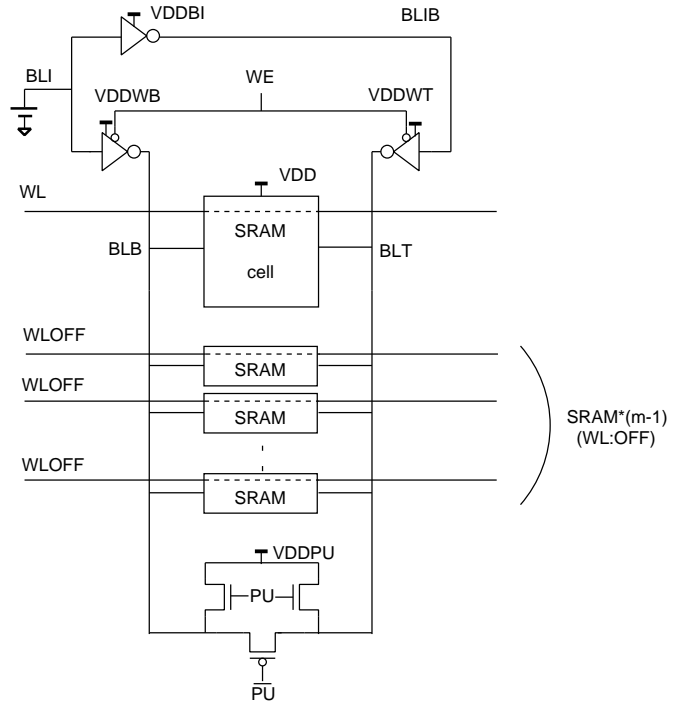


図 6 シミュレーション回路図

表 2 各 Tr のゲート幅

各 Tr	ゲート幅 [nm]
アクセス Tr	340
ブルアップ Tr	200
ブルダウン Tr	520
DG, MG, SG	420
周辺回路	1000

いてレイアウト設計を行った。ただし、Flash メモリは 3 つの NMOS を直列接続することで代用する。NMOS と SONOS Flash の I-V 特性を図 7, 8 に示す。図 9 は 28 nm スケールの SONOS の I-V 特性である。65 nm スケールの SONOS では、図 1 のようにソース・ドレインとチャンネルの境界に不純物注入を行うことでポテンシャル障壁を高くして漏れ電流を防いでいる。しかし、そこから微細化が進むとばらつきによる影響が大きくなるため、図 9 のように BOX 層を挿入し、シリコン層を薄くすることで OFF 特性を改善している。 T_{si} は BOX 層の上のシリコン層の厚みを表す。28 nm スケールで $T_{si} = 12nm$ の I-V 特性に注目すると、 $V_{sg} = 0V$ の時の電流が、NMOS の $V_{sg} = 0.45V$ の時の電流と近い値をとる。65 nm スケールでは 28 nm スケールよりもリーク電流が小さいと考えられるので、MG が ON 状態の時にはゲート電圧を 0.45 V としてシミュレーションを行う。

SPICE シミュレーションを用いて各動作を行い、各動作の動作速度・消費電力を求めた。各動作を 10 ns 間隔 (100 MHz) で行う。電源電圧は 1.2 V、温度は 27 °C である。書き込み速度は BLT と BLB の電圧が一致するまでの時

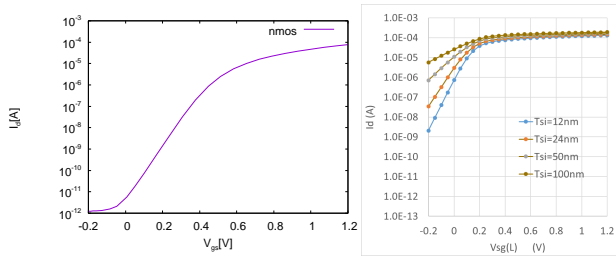


図7 NMOSのI-V特性

図8 SONOSのI-V特性[1]

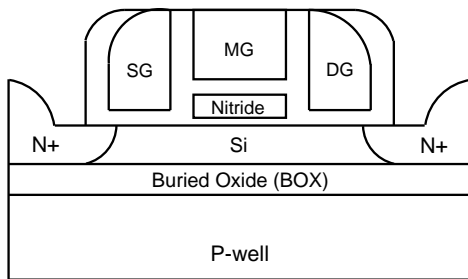


図9 28 nm SONOS Flashの断面図(SOTB)

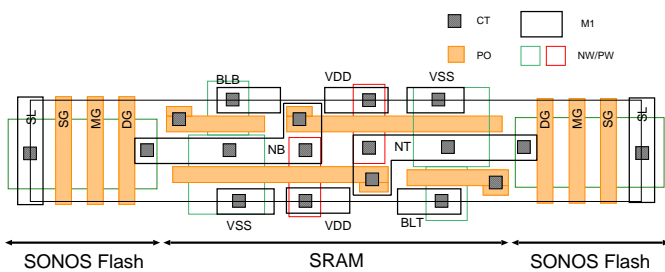


図10 NV-SRAMレイアウト

間、読み取り速度はBLの電圧が100 mV低下するまでの時間である。消費電力は各動作時での電源に流れる電流量から算出した。退避時の動作にはSONOS Flashに10 Vの電圧をかけるため、チップ内で昇圧を行うためのチャージポンプによる消費が支配的となる。そのため、シミュレーションではなくチャージポンプの消費電力から求める。SONOS Flashの製品情報から消去時の供給電圧は3V、動作時間2msであると考えられる[6]。セルあたりの消費電流を5 pAとおくと、書き込み・消去を1度ずつ行ったときの消費エネルギーは1 Mbitのメモリで62.91 nJと概算できる。

4. シミュレーション結果

NV-SRAMのレイアウトの概略図を図10に示す。この時のSRAMとNV-SRAMの面積について表3にまとめる。SRAMの両端にSONOS Flashを配置した構造になっており、NV-SRAMの面積はSRAMと比べ47%増加する。

動作速度のシミュレーション結果を表4に示す。通常の読み出し・書き込み動作での動作遅延は1%以下であり、SONOS Flashによる影響がほとんどないことがわかる。設計コーナー、温度、電源電圧を変化させた時のNV-SRAM

表3 SRAMとNV-SRAMのセル面積

パラメータ	SRAM	NV-SRAM
高さ [μm]	0.60	0.60
横 [μm]	2.60	3.82
面積 [μm ²]	1.56	2.29
面積比	1.00	1.47

表4 各動作時の動作時間

	SRAM	NV-SRAM
読み出し	0.399 ns	0.400 ns
書き込み	1.036 ns	1.041 ns

表5 設計コーナーと動作時間

	FF	FS	TT	SF	SS
読み出し	0.341 ns	0.360 ns	0.400 ns	0.439 ns	0.464 ns
書き込み	0.878 ns	0.978 ns	1.041 ns	1.070 ns	1.197 ns

表6 温度と動作時間

	-40 °C	27 °C	125 °C
読み出し	0.395 ns	0.400 ns	0.413 ns
書き込み	0.985 ns	1.041 ns	1.117 ns

表7 電源電圧と動作時間

	1.08 v	1.20 v	1.32 V
読み出し	0.503 ns	0.400 ns	0.333 ns
書き込み	1.209 ns	1.041 ns	0.926 ns

表8 各動作時の消費エネルギー

	SRAM	NV-SRAM
読み出し時	608.8 fJ	614.4 fJ
書き込み時	555.8 fJ	560.2 fJ
待機時	0.3135 fJ	0.3346 fJ

の動作速度を表5~7に示す。最も動作が遅くなるのはSS、高温、低電圧の時である。SS、125 °C、1.08 Vでの読み出し、書き込み速度は0.599 ns、1.489 nsであり、TT、27 °C、1.20 Vの時よりも約50%、約44%増加するが、worst条件下であっても10 nsよりも十分小さく100 MHzでの動作に支障はない。

各動作時の消費エネルギーを表8に示す。NV-SRAMの方が約1%動作時の消費電力が大きい。

ここからBETを導出する。ここでは、動作時は書き込みと読み取りが1:1で行われ、1 Mbitのメモリのうち512 bitのメモリのみが動作すると考える。512 bitのメモリの読み出し・書き込み・待機時の消費電力をそれぞれ P_{read} 、 P_{write} 、 P_{st} とおくと1 Mbitのメモリの動作時消費電力 P_{op} は以下の式で表せる。

$$P_{op} = (P_{read} + P_{write})/2 + P_{st} \times (2048 - 1) \quad (2)$$

このときの1 Mbitのメモリの動作時の消費電力差は

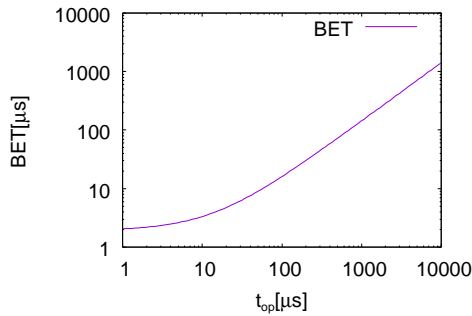


図 11 動作時間と BET の関係

4.655 mW, SRAM のスタンバイ時電力は 32.87 mW, 退避・復帰時の消費エネルギーは 62.91 nJ なので, BET は以下の式で表せる.

$$\begin{aligned}
 t_{\text{BET}} &= (62.91 \times 10^{-9} + t_{\text{op}} \times 4.655 \times 10^{-3}) / 32.87 \times 10^{-3} \\
 &= 1.914 \times 10^{-6} + 0.142 \times t_{\text{op}} \quad (3)
 \end{aligned}$$

動作時間と BET の関係を図 11 に示す. $t_{\text{op}} < 10 \mu\text{s}$ では BET は $2 \mu\text{s}$ 程度, $t_{\text{op}} > 100 \mu\text{s}$ では BET は動作時間の 15% 程度となる.

5. 結 論

本研究では, SONOS Flash 型 NV-SRAM の特性を回路シミュレーションにより求めた.

まず, SONOS Flash 型の NV-SRAM についてその動作原理を述べた. SONOS Flash 型 NV-SRAM は特徴として, 1 Mbit のメモリの一斉消去・書き込みが可能である.

作成したレイアウトから回路シミュレーションを行った. 本 NV-SRAM は通常の SRAM と比較して, 面積オーバーヘッドが 1.47 倍程であるが, 動作遅延は 1% 以下に押さえており, worst 条件下でも動作速度に問題がないことを確認した. 消費電力は動作時間が $100 \mu\text{s}$ を越える場合には BET は動作時間の 15% 以下になることが確認できた.

文 献

- [1] K. Nii, Embedded Flash Memory Technologies and Applications in Advanced Nodes, 2019
- [2] Y. Taniguchi and S. Yoshida and O. Fukuo and Y. Shinagawa and H. Kasai and L. You and W. Huan and D. Okada and K. Nagasawa and K. Okuyama, "A new core transistor equipped with NVM functionality without using any emerging memory materials", IEICE Technology Report, vol. 118, no. 10, ICD2018-7, pp.23-27, 2018
- [3] T. Chien and L. Chiou and Y. Tsou and S. Sheu and P. Wang and M. Tsai and C. Wu, "Write-energy-saving ReRAM-based non-volatile SRAM with redundant bit-write-aware controller for last-level caches", 2017 IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED), pp1-6, 2017
- [4] Y. Shuto and S. Yamamoto and S. Sugahara, "Nonvolatile power-gating architecture for SRAM using SOTB technology", 2016 IEEE Silicon Nanoelectronics Workshop (SNW), pp166-167, 2016
- [5] Y. Shuto and S. Yamamoto and S. Sugahara, "Comparative study of power-gating architectures for nonvolatile SRAM cells based on spintronics technology", 2014 IEEE Asia Pacific Conference on Circuits