

単発 DC ストレス測定による 負バイアス温度不安定性の AC 特性を再現可能なモデル

保坂 巧¹ 西澤 真一² 岸田 亮³ 松本 高士⁴ 小林 和淑⁵

¹埼玉大学大学院理工学研究科 ²福岡大学工学部 ³東京理科大学理工学部

⁴東京大学大規模集積システム設計教育研究センター ⁵京都工芸繊維大学電気電子工学系

E-mail: ¹t.hosaka.675@ms.saitama-u.ac.jp, ²nishizawa@fukuoka-u.ac.jp

あらまし 本論文ではコンパクトな負バイアス温度不安定性 (NBTI) モデルを提案する。提案モデルは反応拡散 (t^n) およびホールトラッピング ($\log(t)$) モデルに基づいている。単発長期の DC ストレス/リカバリ測定から得られたデータを利用し、DC ストレス/リカバリだけでなく AC ストレス/リカバリを表現可能なモデルパラメータを抽出する。モデルパラメータ抽出に優先順位をつけることで、デューティ比の異なる AC ストレス/リカバリ特性を表現可能であることを示す。

キーワード 負バイアス温度不安定性(NBTI), AC ストレス依存性, 反応拡散, ホールトラッピング

NBTI Model Replicating AC Stress / Recovery from a Single-shot Long-term DC Measurement

T. Hosaka¹ S. Nishizawa² R. Kishida³ T. Matsumoto⁴ and K. Kobayashi⁵

¹Saitama Univ. ²Fukuoka Univ. ³Tokyo Univ. of Science ⁴The Univ. of Tokyo ⁵Kyoto Institute of Tech.

E-mail: ¹t.hosaka.675@ms.saitama-u.ac.jp, ²nishizawa@fukuoka.ac.jp

Abstract In this paper, simple and compact Negative Bias Temperature Instability (NBTI) model is proposed. The model is based on the reaction-diffusion (t^n) and hole-trapping ($\log(t)$) theories. Data with a single shot of DC stress and recovery are utilized to extract model parameters. Our key idea is setting the priority in the model fitting process to be possible for replicating AC dependency of NBTI stress and recovery effect. The proposed model successfully replicates stress and recovery with various duty cycles.

Keywords negative bias temperature instability (NBTI), AC stress dependency, reaction diffusion, hole trapping

1. 序論

負バイアス温度不安定性(Negative Bias Temperature Instability : NBTI)は集積回路において重大な信頼性の問題の 1 つである。NBTI は PMOS における特性劣化現象であり、閾値電圧やサブスレッショルドスイング特性を劣化させる[1]-[6]。デジタル回路においてトランジスタ特性の劣化によって回路遅延が増大し誤動作や故障を引き起こす。トランジスタの正確な寿命を予測することで回路設計時において適切なマージンを取ることができ、回路面積や消費電力を抑えることができる。

NBTI 劣化は温度とゲート酸化膜内における垂直方向の電界によって加速される[7]-[9]。一方、電界を除去すると NBTI 劣化は即座に回復するが、すべては回復せず回復しない成分がある。回復現象もまた温度と正方向の電界で加速される[2, 9, 10]。NBTI の物理的な

メカニズムとして反応拡散(Reaction-Diffusion : R-D)モデルとホールトラッピング(Trap De-trap : T-D)モデルが考えられている[2,11-13]。R-D モデルでは NBTI の劣化・回復は界面トラップの生成によって引き起こされると考えられている。ゲート電極に負の電圧を加えるとゲート酸化膜界面に存在する Si-H から解離した水素がゲート電極に向かって拡散する。負バイアスが取り除かれると Si-H から解離した水素は界面に存在するダングリングボンド Si-と再結合する。しかしこれら水素は中性であるため、正バイアスをゲート電極に印加すると回復が加速することを説明できない[2, 9]。T-D モデルでは NBTI 劣化と回復はゲート酸化膜に存在する既存の欠陥にキャリアが捕獲・放出によって引き起こされると考えられている。各欠陥は時定数を持っており、それは対数正規分布に従うと考えられている。従って、閾値電圧変動は時間に対して対数正規分布に従うと考えられる。T-D モデルはトラップされ

たキャリアが正に帯電しているため、正バイアスで回復が加速することを説明できる。しかし、T-D モデルは様々な論文で観測されているサブスレッショルドスロープ特性の劣化と永続成分の説明ができない。この課題を解決するために、これら2つのメカニズムを合わせた NBTI モデルが文献[14]で提案されている。

NBTI には劣化と回復現象が存在するため、NBTI による特性劣化を正確に予測することは回路設計において重要である。トランジスタの寿命を正確に推定するには、モデルが NBTI の劣化と回復の AC ストレス依存性を表現できることが不可欠である。モデル開発の観点から、モデル関数とパラメータの抽出はシンプルでかつ高速でなければならない。なぜならば、半導体プロセスは日々進化し、その度にモデルを開発しなければならないからである。モデルパラメータとモデル関数の普遍性は、正確な NBTI 劣化推定にとって重要である。

本論文では、単発 DC ストレスと回復測定の結果から AC ストレス依存性を表現可能なシンプルで普遍的な NBTI 劣化/回復モデルを提案する。本モデルでは、劣化現象を R-D モデルと T-D モデルの組み合わせとしてモデル化し、回復現象は T-D モデルにのみ依存する事を想定する。本モデルは、単発 DC ストレスの実測結果に対してフィッティングする事でモデルパラメータを抽出する。抽出したモデルパラメータを用いて、DC ストレスだけでなくデューティサイクルの異なる様々な AC ストレスでの NBTI の劣化/回復現象を表現する事が可能である。

本論文では次のように構成されている。2 章では、NBTI モデルの関連論文について説明し、提案モデルと従来モデルとの違いを説明する。3 章では、提案するモデルとモデル化手法の概要について説明する。4 章では、実測結果とモデル検証結果について説明する。最後に 5 章で結論を述べる。

2. 関連研究

NBTI による劣化量を推定するために、多くの NBTI モデルが提案されている。

文献[15]では、R-D および T-D モデルの2つのモデルを使用して、AC ストレス依存性を推定している。一方で、モデルパラメータとモデル関数は、NBTI 劣化のデューティサイクル依存性を表すために変更する必要がある。また、デューティサイクルとクロック周期に依存するパラメータがある。モデル開発において、これらのパラメータを取得するには余分な時間のかかる測定を実行する必要がある。

文献[16]においても AC ストレス依存性を推定でき

る。しかし、モデルが複雑であるという欠点がある。ドレインソース間電流とゲート注入電流の両方を使用してモデルを構築している。モデルパラメータを取得するにはゲート注入電流をゲートに注入された正孔密度に変換する必要があり手間がかかる。

本論文では、単発 DC ストレス/リカバリ測定から NBTI 劣化/回復のデューティサイクル依存性を表現できる NBTI コンパクトモデルを提案する。フィッティングによるモデルパラメータの決定において、モデルパラメータの数が多い場合に実測結果をよく表す解の候補が多数存在する事が問題となる。提案手法では抽出するモデルパラメータに優先度をつける。劣化の蓄積を表すパラメータを最初に抽出し、その後残りのパラメータを抽出する。提案手法を用いる事で、異なる AC ストレス条件における実測結果を表現可能な NBTI モデルを構築する事が可能である。

3. 提案モデル

提案するモデルの目標は、DC/AC 測定結果を1つのパラメータセットで表現することである。さらに、モデル開発プロセスは単純であるべきである。図1にモデリングプロセスの概要を示す。単発ストレス/リカバリ DC 測定から AC ストレス依存性を表現できるモデルを構築する。本モデルでは、NBTI 劣化は R-D モデルと T-D モデルの組み合わせによってモデル化されると想定している。回復現象においては R-D モデルでは説明できないため T-D モデルの対数成分のみ回復可能であるとしている。

3.1. モデル関数

本モデルは NBTI モデルとしてよく知られている R-D モデルと T-D モデルの組み合わせによって NBTI 劣化が引き起こされると仮定する。R-D モデルでは閾値電圧の劣化は時間のべき乗関数(t^n)としてモデル化される。一方、T-D モデルでは時間の対数関数($\log(t)$)としてモデル化される。よってストレス時では NBTI による閾値電圧劣化は次のように表される

$$\Delta V_{th} = \alpha t^{1/6} + b \log(1 + ct). \quad (1)$$

ここで a , b , c はフィッティングパラメータ、 t はストレス時間である。時間の指数は $1/6$ であり、この値は R-D モデルよく知られている値である。リカバリ時では R-D モデルを回復現象に適用できないため対数成分のみ回復すると仮定する。よって NBTI の回復は次のように表される

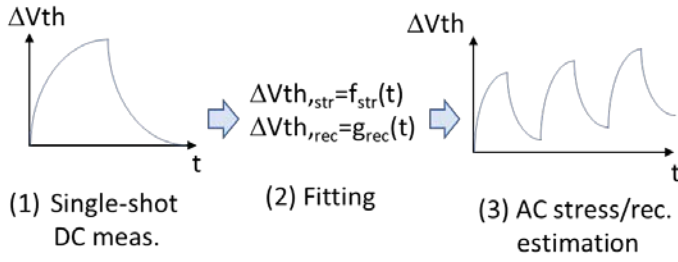


図 1 モデリングプロセスの概要.

$$\Delta V_{th_log} / \Delta V_{th_log_max} = \alpha (t_{rec} / t_{str})^\beta, \quad (2)$$

ここで α , β はフィッティングパラメータ, t_{rec} はリカバリ時間, t_{str} はストレス時間である. $\Delta V_{th_log_max}$ はリカバリ直前の対数成分における劣化量である. ΔV_{th_log} はリカバリ時間後の閾値電圧量であり, リカバリ直前の劣化の合計量で正規化される. リカバリの関数は指数関数とする. これはリカバリ時において回復可能成分以上の回復を防ぐためである. 最後に, 1 回のストレスとリカバリ後の閾値電圧変動の合計量は次のように表される

$$\Delta V_{th} = a t^{1/6} + b \log(1 + ct) + \alpha \Delta V_{th_log_max} (t_{rec} / t_{str})^\beta. \quad (3)$$

3.2. モデルフィッティングの流れ

本節では, NBTI の劣化と回復を表現可能である最も適切なパラメータを取得するためのモデルフィッティングフローを提案する. パラメータ取得には最小二乗法を使用する. NBTI の劣化回復を表す式(3)にはモデルパラメータが 5 つあり, 実測結果からこれらのパラメータを求める必要がある. 問題は, DC 測定での劣化/回復の実測結果を表現可能なモデルパラメータの候補が複数存在し, 一意に決定できない事である. 本論文では適切なパラメータセットを抽出するために, パラメータ抽出に優先度をもうける. NBTI による劣化以上に回復が生じないと仮定すると, 回復量の最大値を決めるパラメータを先に抽出し, 次に残りのパラメータの抽出を行う.

図 2 に, 提案 NBTI モデルにおけるパラメータ a の影響を示す. 本モデルでの a は NBTI 劣化における指数成分と対数成分の比率を表している. 回復において対数成分のみが回復すると仮定しているため, a は回復可能な閾値電圧の最大値を決定するパラメータである. 本手法では, 過回復が起きない最大の a をフィッティングによって求める. 次に, NBTI 劣化を表すパラメータ b , c についてフィッティングによって抽出する. 同様に回復を表すパラメータ α , β もフィッティングによって抽出する.

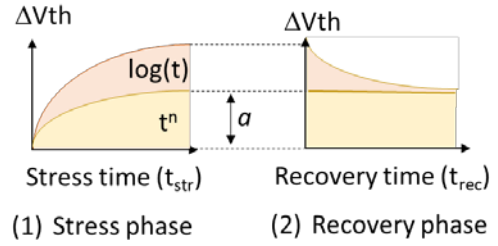


図 2 モデル式におけるパラメータ a の影響.

4. 実験結果

本章では NBTI 劣化/回復測定の実験方法について説明し, そして提案モデルを検証する. NBTI モデルは単発 DC 劣化/回復測定によって取得され, 異なるデューティサイクルの AC 劣化/回復測定結果を用いて検証される.

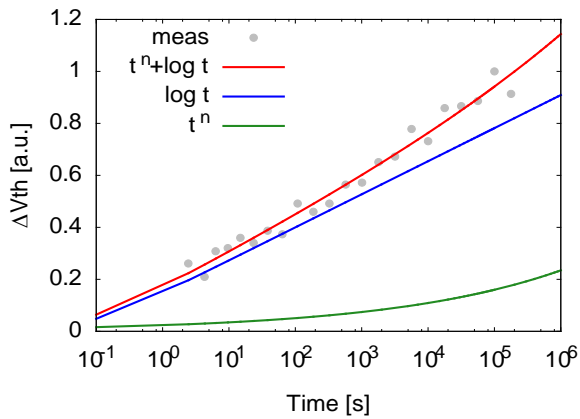
4.1. 実験方法

モデルの構築と検証のために 65 nm FDSOI プロセスに対する NBTI の影響を測定する. トランジスタの ON 電流は Measure Stress Measure (MSM)法で測定する. MSM 法はストレス時でのみストレス電圧を印加し, 電流測定時はストレスを取り除く. 電流測定時間は 1ms である.

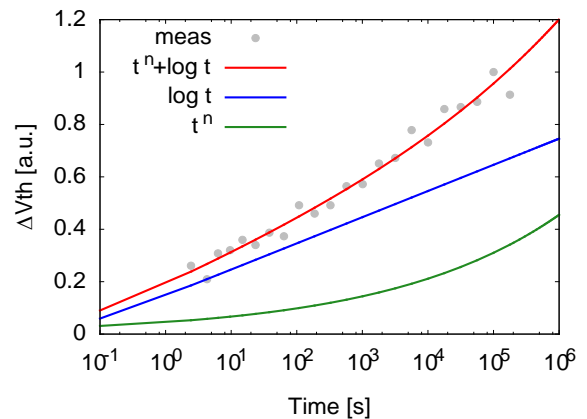
トランジスタの ON 電流の劣化を測定し, 回路シミュレーションを使用して閾値電圧変動量に変換する. 初めに劣化前のデバイスの電流を測定する. 次にストレス電圧と温度を印加し, 劣化させた後の電流値を測定する. 表 1 に測定条件をまとめる. 短チャネル効果を防ぐためゲート-ソース間電圧に -0.55 V, ドレインソース間電圧に -0.10 V を印加する. この実験で使用されるすべてのトランジスタ寸法は $W / L = 0.14 \mu\text{m} \times 20/60$ nm であり, オンウエハプロービングによって測定を行った. 個別にプローブし, 半導体アナライザ Agilent 4156C を使用して ON 電流を測定する.

4.2. DC ストレス/リカバリにおける測定と検証

NBTI の DC ストレス/リカバリにおけるトランジスタの ON 電流を測定し, 式(1)および式(2)で表される NBTI モデルを構築する. 図 3 に異なる 2 つのフィッティング法を使用し開発した 2 つのモデルの結果を示す. 図 3(a)は NBTI 劣化に対して単純にフィッティングを行った結果である. 一方, 図 3(b)は優先順位を考慮した結果である. 結果である. 図 3 の閾値電圧は閾値電圧の劣化量の最大値で規格化している. 表 2 に各フィッティング方法における残差平方和(RSS)を示す. 2 つのモデルの RSS の差は数 μV^2 程度と小さく, 2 つのパラ



(a) Fit w/o fitting priority.



(b) Fit w/ fitting priority.

図 3 2つのフィッティング方法による差異.

表1 測定条件.

	V _{GS} [V]	V _{DS} [V]	T [°C]
ストレス時	-2.0	0.0	105
リカバリ時	0.0	0.0	105
電流測定時	-0.55	-0.10	105

表2 残差平方和(RSS).

	RSS(constant stress)
w/o priority	3.18×10^{-5}
w/ priority	3.41×10^{-5}

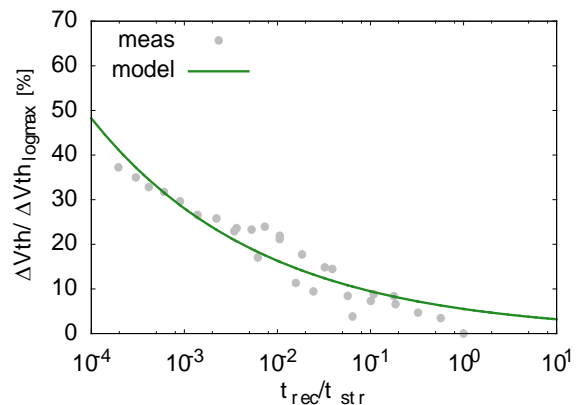


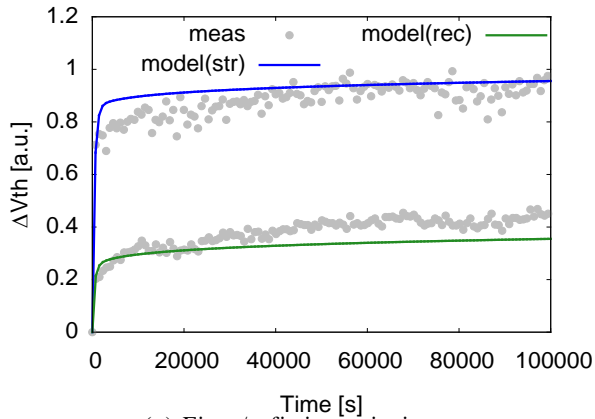
図 4 リカバリ時における実測結果とモデル式.

メータセットとともに測定結果を上手く表現している。ただし、指数と対数成分の比率は2つのモデル間で異なっている。図4にリカバリ時における提案モデルと測定データの結果を示す。回復現象はリカバリ時間を直前のストレス時間で規格化した値に従うことがわかる。

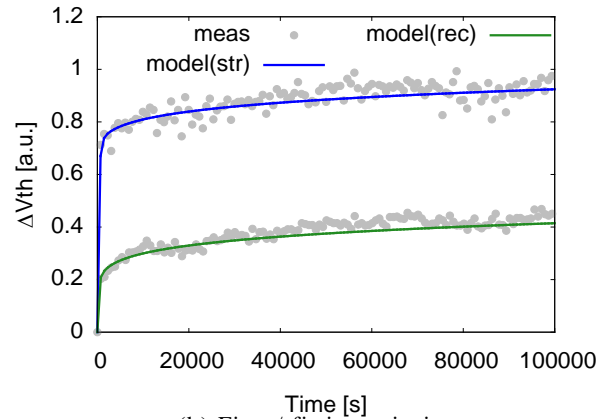
4.3. AC ストレス/リカバリにおける測定と検証

単発 DC ストレス/リカバリ測定から得られたモデルを AC ストレス/リカバリ反復測定によって検証する。図 5(a)に実測結果と優先順位を考慮しないでフィッティングを行い開発したモデルを示す。このときのデューティ比は 91% ($t_{str} / t_{rec} = 700 \text{ s} / 70 \text{ s}$) である。フィッティング時に優先順位を考慮しないモデルでは劣化/回復を繰り返していくにつれ劣化量が蓄積する傾向を捉えることができない。図 5(b)に実測結果とフィッティング時に優先順位を考慮したモデルを示す。測定データは図 5(a)と 5(b)で同じである。図 5(b)より提案モデルは劣化の蓄積傾向を表現できることがわかる。同様に異なる反復条件で提案モデルを検証する。図 6-8 に $t_{str} / t_{rec} = 7 \text{ s} / 7 \text{ s}$, $700 \text{ s} / 700 \text{ s}$, $1260 \text{ s} / 140 \text{ s}$ におけ

るストレス/リカバリ反復測定データと提案モデルを示している。各トランジスタにはプロセスばらつきが存在するため、閾値電圧の初期値を補正するために図 9 の様に DC バイアスを適用する。このときの DC バイアス量は初めの実測点の劣化量とモデルが一致するように決められる。図 7, 8 において DC バイアス与えているモデルと与えていない2つのモデル式の結果が示されている。表 3 にストレス/リカバリ時間の反復条件とデューティ比, およびこれらの二乗平均誤差(RMSE)をまとめる。DC バイアスオフセットを加えると RMSE は小さくなる。提案モデルとモデルパラメータ抽出手法によって、単発の DC 特性測定結果から、デューティ比の異なる AC 特性を表現可能である事がわかった。



(a) Fit w/o fitting priority.



(b) Fit w/ fitting priority.

図 5 2つのフィッティング方法における AC ストレスの結果 ($t_{str}/t_{rec} = 700 \text{ s}/70 \text{ s}$).

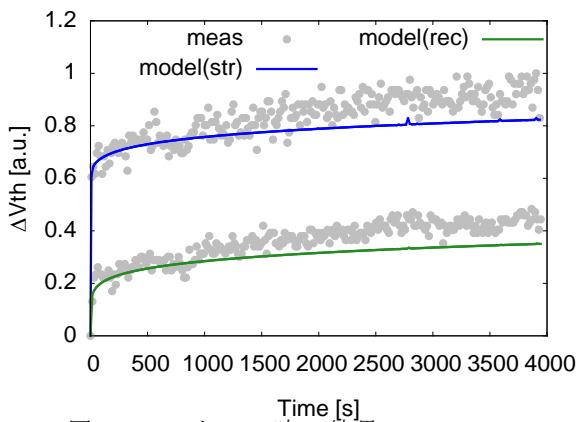


図 6 AC ストレス時の結果 ($t_{str}/t_{rec} = 7 \text{ s}/7 \text{ s}$).

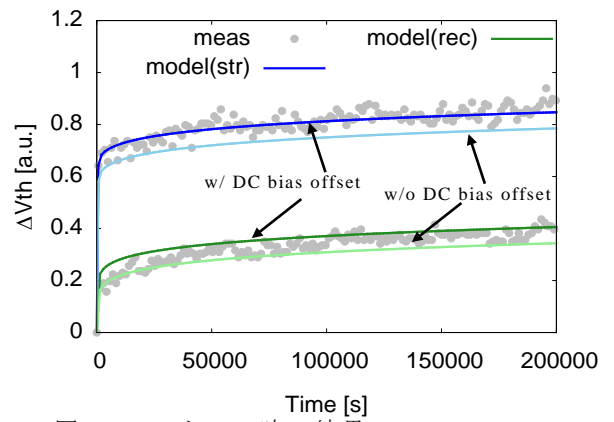


図 7 AC ストレス時の結果 ($t_{str}/t_{rec} = 700 \text{ s}/\text{s}$).

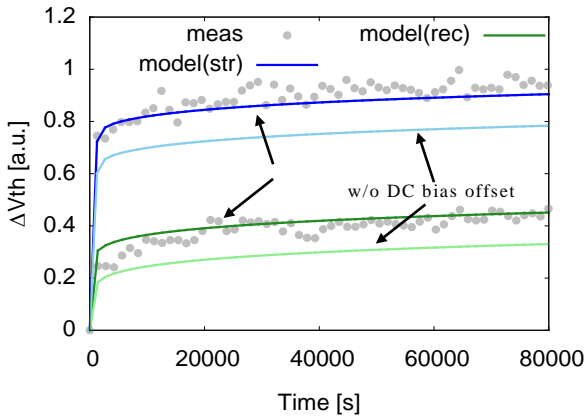


図 8 AC ストレス時の結果 ($t_{str}/t_{rec} = 1260 \text{ s}/140 \text{ s}$).

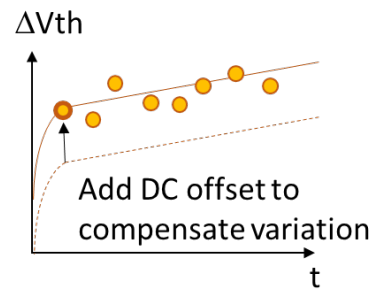


図 9 プロセスばらつき補正のための DC バイアス

5. 結論

本論文では単発 DC ストレス/リカバリ測定から AC ストレス依存性を表現できる NBTI 劣化モデルを提案した. NBTI 劣化を R-D モデルと T-D モデルの組み合わせとし, T-D モデルで劣化した閾値電圧のみが回復すると仮定した. パラメータの抽出に優先順位を付けると一連のパラメータが上手く抽出され, AC ストレス依存性が表現できた. 開発したモデルは DC ストレス/リカバリだけでなく, AC ストレス/リカバリも表現できる.

表3 Root Mean Squared Error (RMSE)

Stress/recovery time	Duty ratio [%]	RMSE [a.u.]
7 s/7 s	50	0.26
700 s/70 s	91	0.21
700 s/700 s (w/o DC bias)	50	0.54
700 s/700 s (w/ DC bias)	50	0.31
1260 s/140 s (w/o DC bias)	90	1.00
1260 s/140 s (w/ DC bias)	90	0.31

6. 謝辞

本研究は JSPS 科研費 JP18K11210 の助成を受け、ルネサスエレクトロニクスからの支援によるものである。シミュレーションツールは東京大学大規模集積システム教育研究センターを通じ、シノプシス株式会社から提供されたものである。

文 献

- [1] A. E. Islam, *et al.*, “Recent issues in negative-bias temperature instability: Initial degradation, field dependence of interface trap generation, hole trapping effects, and relaxation,” *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp.2143-2154, 2007.
- [2] T. Grasser *et al.*, “The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction – Diffusion to Switching Oxide Traps,” *IEEE Trans. Device Mater. Reliab.*, vol. 58, no. 11, pp. 3652–3666, 2011.
- [3] S. Mahapatra and M. A. Alam, “Defect generation in p-MOSFETs under negative-bias stress: An experimental perspective,” *IEEE Trans. Device Mater. Reliab.*, vol. 8, no. 1, pp.35-46, 2008.
- [4] S. Mahapatra *et al.*, “On the Generation and Recovery of Interface Traps in MOSFETs subjected to NBTI, FN and HCI stress,” *IEEE Trans. Electron Devices*, vol. 53, no. 7, pp. 1583–1592, 2006.
- [5] D. K. Schroder and J. A. Babcock, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing,” *J. Appl. Phys.*, vol. 94, no. 1, pp. 1–18, 2003.
- [6] E. G. Ioannidis, *et al.*, “Improved analysis and modeling of low-frequency noise in nanoscale MOSFETs,” *Solid. State. Electron.*, , vol. 76, pp.54-59, Oct., 2012.
- [7] D. Varghese, *et al.*, “On the dispersive versus arrhenius temperature activation of NBTI time evolution in plasma nitrided gate oxides: measurements, theory, and implications,” *Int. Electron Devices Meet.*, pp. 8–11, 2005.
- [8] G. Pobegen and T. Grasser, “On the Distribution of NBTI Time Constants on a Long, Temperature-Accelerated Time Scale,” *IEEE Trans. Electron Devices*, vol. 60, no. 7, pp. 2148–2155, 2013.
- [9] T. A. Karatsori, *et al.*, “Characterization and modeling of NBTI in Nanoscale UltraThin Body UltraThin Box FD-SOI MOSFETs,” *IEEE Trans. Electron Devices*, vol. 63, no. 12, pp. 4913–4918, 2016.
- [10] T. Aichinger, *et al.*, “On the temperature dependence of NBTI recovery,” *Microelectron. Reliab.*, vol. 48, no. 8–9, pp. 1178–1184, 2008.
- [11] B. Kaczer, *et al.*, “Atomistic approach to variability of bias-temperature instability in circuit simulations,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 915–919, 2011.
- [12] H. Kükner, *et al.*, “Comparison of reaction-diffusion and atomistic trap-based BTI models for logic gates,” *IEEE Trans. Device Mater. Reliab.*, vol.14, issue 1, pp182-193, 2014.
- [13] S. Mahapatra, *et al.*, “A comparative study of different physics-based NBTI models,” *IEEE Trans. Electron Devices*, vol. 60, issue 3, pp.901-916, 2013.
- [14] S. Mahapatra, *et al.*, “Isolation of NBTI stress generated interface trap and hole-trapping components in PNO p-MOSFETs,” *IEEE Trans. Electron Devices*, vol. 46, issue 2, pp.236-242, 2009.
- [15] Z. Shin, *et al.*, “A Study on NBTI-induced Delay Degradation Considering Stress Frequency Dependence,” *Int. Sym. on Quality Electronic Design*, pp. 251-256, 2018.
- [16] C. Ma, *et al.*, “Universal NBTI compact model for circuit aging simulation under any stress conditions,” *IEEE Trans. Device Mater. Reliab.*, vol. 14, no. 3, pp. 818–825, 2014.