

FPGA とマイコンを用いたリングオシレータの 超長期経年劣化の実測評価

中野 洋希[†] 岸田 亮^{††} 古田 潤[†] 小林 和淑[†]

[†] 京都工芸繊維大学 工学科学研究科 電子システム工学専攻

^{††} 東京理科大学 理工学部 電気電子情報工学科

あらまし 65 nm プロセスによるリングオシレータの経年劣化を FPGA とマイコンを用いて超長期間測定し、劣化モデルを求める。測定の結果、4 週間で周波数は 0.5% 減少した。測定結果から経年劣化のモデル式は t のべき乗関数でモデル化できる。

キーワード SOTB、リングオシレータ、発振周波数、BTI、経年劣化

Ultra-long-term Measurement of Aging Degradation on Ring Oscillators by using FPGA and Micro Controller

Hiroki NAKANO[†], Ryo KISHIDA^{††}, Jun FURUTA[†], and Kazutoshi KOBAYASHI[†]

[†] Department of Electronics, Graduate School of Science and Technology, Kyoto Institute of Technology

^{††} Department of Electrical Engineering, Faculty of Science and Technology, Tokyo University of Science

Abstract In order to evaluate up to a month an aging degradation model, a circuit level measurement with ring oscillators in a 65 nm process is performed for a very long time by using FPGA and an embedded micro controller. As a result of measurement, the oscillation frequency was decreased by 0.5% after 4 weeks. From the measurement results, it was confirmed that the aging degradation modeled by a power function of time (t^n).

Key words SOTB, Ring Oscillator, Oscillation Frequency, BTI, Aging Degradation

1. 序 論

近年のデジタル社会では電子機器のみならず家電などにも集積回路が使われている。集積回路を構成する半導体トランジスタが微細化されることにより回路性能が向上している。性能向上の例として、回路動作の高速化、素子ごとの消費電力の低下、単位面積に対する集積密度の上昇などが挙げられる [1]。しかし、微細化することにより素子数の増加による歩留まりの悪化や経年劣化の影響が大きくなっており、信頼性の低下が見られる。経年劣化現象の一種である BTI (Bias Temperature Instability) をさまざまな評価回路や対策回路を用いて実測評価し、BTI の原因や BTI を抑制できる回路を提案することが重要である。BTI とは MOSFET に電圧や温度などのストレスをかけることにより、時間経過で MOSFET が劣化し動作速度の低下などを引き起こす現象である [2]。BTI はゲート酸化膜の欠陥にキャリアが捕獲されることで引き起こされる。微細化により、ゲート酸化膜が薄くなっているが、電圧スケールリングが追いついておらず、酸化膜にかかる実効電界が大きくなることによって顕在化している [3]。

BTI を測定するため我々の研究グループでは LSI テスタにより BTI による劣化特性を 1000 秒から長くても数万秒測定し、劣化特性のモデル式を求め 10 年後の劣化率を予想している [4]。1000 秒間の劣化特性は対数近似とべき乗近似のどちらでも合わせることができるが、10 年後の劣化度は対数近似に対してべき乗近似が約 6 倍大きくなっている。どちらの劣化特性の近似が正しいかを検証するには、BTI を長期間測定できる環境が必要となる。LSI テスタでは消費電力が大きく UPS (無停電電源装置) で電力供給することが困難で停電に対応することができない等といった理由で長期間の測定を行えない。FPGA (Field Programmable Gate Array) とマイコン (マイクロコントローラ) を使用し測定系全体の小型化と低電力化を行う。消費電力を UPS により安定して供給できるまで低くすることで計画停電などに対応できる。温度による劣化の加速には、恒温槽を用い、計画停電時には発電機を用いて電力をバックアップする。

本稿の構成を述べる。2 節で BTI について詳しく述べる。3 節では BTI の影響を調べるための回路などの測定系について述べ、4 節で BTI の測定結果を示して結果を考察する。最後に 5 節で結論を述べる。

2. Bias Temperature Instability (BTI)

本節ではBTIの概要とNBTI (Negative BTI) とPBTI (Positive BTI) について述べ、BTIの発生原理と劣化特性について述べる。

2.1 BTIの概要

BTI (Bias Temperature Instability : バイアス温度不安定性) とはMOSFETに起きる経年劣化現象の1つで、温度やゲート酸化膜電界などのストレスがかかることで特性が劣化する現象である。特性の劣化はストレスがかかる限り続き、MOSFETにかかる電圧と温度が高いほど劣化する。BTIによりドレインソース間電流が減少し、しきい値電圧 (V_{th}) の絶対値の増加としてモデル化される。BTIにより電流電圧特性の変動、動作速度の低下、発振周波数の低下などが起こる [3]。

BTIにより特性は劣化するが、ストレスを取り除くと劣化した特性が回復する。ゲートソース間にバイアスがかかるとMOSFETの特性は劣化し、取り除くと回復するが、劣化の一部は回復せず半永久的に劣化が蓄積する。

2.2 NBTIとPBTI

BTIにはNBTI (Negative BTI) とPBTI (Positive BTI) の2種類が存在する。NBTIはPMOSにおいてゲートソース間に負バイアスがかかる (ゲート電圧がデジタル回路における0、ON状態になる) ことにより劣化が起きる現象で、65nmプロセス以降で顕在化している。PBTIはNMOSに正バイアスがかかることにより劣化する現象である。PBTIが顕在化したのは45nmプロセス以降であり、顕在化の原因として絶縁膜材料の違いが挙げられる。65nmプロセスまでは絶縁膜にシリコン酸化膜 (SiO_2) やシリコン酸窒化膜 (SiON) が用いられていたが、45nmプロセスではゲートリーク電流を抑えるためにゲート酸化膜にhigh-k素材であるハフニウム (Hf) などの誘電率の高い素材を使用し、ゲート酸化膜厚を厚くしている。しかし、ゲート酸化膜製造時に欠陥が発生しやすくなり、PBTIが顕在化した [5]。

2.3 BTIの発生原理

BTIの発生原理は完全には解明されていないが、現在はReaction-Diffusion Theory [6] とTrap-Detrap Model [7] の2つが有力視されている。どちらもゲート酸化膜の欠陥がキャリアを捕獲することが原因という点では同じである。

2.3.1 R-D (Reaction-Diffusion) Theory

R-D (Reaction-Diffusion) Theoryではゲートにストレスがかかることによりゲート酸化膜と基板の境界面にあるSi-H結合が分離されることで欠陥ができると考えられる。欠陥がキャリアを捕獲することによりドレイン電流が減少するため、特性の劣化が起きる。R-D TheoryによるBTIの発生原理を図1に示す。

基板の素材であるシリコンの結晶は、シリコン原子1つあたり4つの結合の手が他のシリコン原子と結合している。基板とゲート酸化膜の境界面ではシリコン原子はシリコン、酸素、水素などのいずれかの原子と結合する。酸化膜においてはほとんどが酸素原子と結合するが、一部酸素原子と結合しなかったも

のが水素原子と結合する。結合の強さは $\text{Si-H} < \text{Si-O}$ であり、ストレスがかかることにより Si-O 結合は分離することがないが、一部の Si-H 結合は反応する。水素原子は図1のように分離してゲート酸化膜内をゲート側に向かって拡散する。このとき拡散した水素原子の一部はゲートまで達して水素原子同士で反応し、水素分子 (H_2) となる。ストレスを取り除き、劣化の回復が起きる際、酸化膜に残っている水素原子はSiの余った結合の手に結合し、再び Si-H 結合となるが、ゲートで水素分子となった水素原子は戻らない。Siの余った結合の手は、半永久的に欠陥として残り続ける。この欠陥が、MOSFETのキャリアである電子や正孔を捕獲することでチャンネルを流れるキャリアの量が減り、ドレイン電流が減少し特性が劣化する。

2.3.2 T-D (Trap-Detrap) Model

T-D (Trap-Detrap) Modelは、製造時にできたゲート酸化膜の欠陥がキャリアを捕獲することにより、ドレイン電流を減少させるため特性の劣化が起きる。T-D ModelによるBTIの発生原理を図2に示す。

1つの欠陥がキャリアを捕獲している状態と放出している状態の時間の平均値をそれぞれ捕獲時間と放出時間と呼び、製造時にできる欠陥はそれぞれ異なる捕獲時間と放出時間を持つ。それぞれの欠陥が捕獲することによるしきい値電圧の劣化量も欠陥によって異なる。捕獲時間と放出時間は $10^{-9} \sim 10^9 \text{s}$ の範囲に分布している。 10^9s といった大きな捕獲時間を持った欠陥にキャリアが捕獲されると半永久的にしきい値電圧が劣化し、この劣化がストレスを取り除いても回復しない成分として残る。

2.4 BTIの劣化特性

2.3節において発生原理として考えられている2つの考えについて説明した。この2つの説ではBTIによるMOSFET劣化特性のモデル式が異なる [8]。しきい値電圧変動量が時間 t に対してR-D Theoryは t^n とべき乗関数で表されるのに対し、T-D modelでは $\log(t)$ と対数関数により表される。 n は時間指数と呼ばれる定数で先行研究で $1/6 \sim 1/4$ となることが示さ

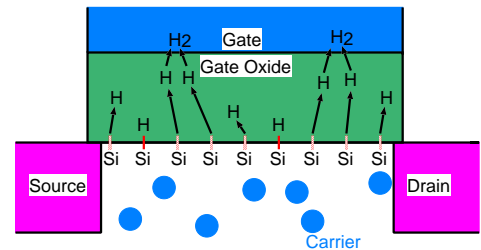


図1 R-D TheoryにおけるBTI発生原理

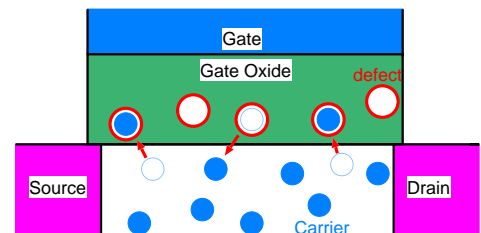


図2 T-D ModelにおけるBTI発生原理

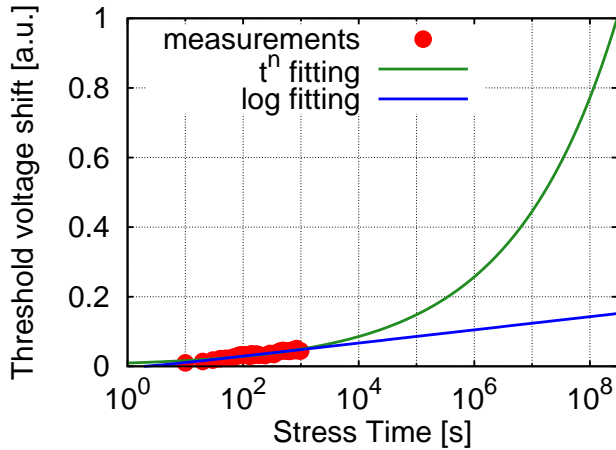


図3 モデル式の違いによる BTI の劣化率の違い

れている。

図3にモデル式の違いによる BTI の劣化率の違いを示す [4]。縦軸はしきい値電圧変動量、横軸は時間 (対数表記) である。赤い点は PMOS における NBTI によるしきい値電圧変動を電源電圧 2.0 V、温度 120 で測定した結果である。この結果を 2 つの近似で 10 年後まで外挿している。t が 10~10³ s の間は 2 つの近似は測定結果に合っているが、10 年後の近似値は対数近似に比べ、指数近似は約 6 倍劣化している。2 つの BTI の発生原理によるしきい値電圧変動量は大きく異なる。

3. 測定系

本節では BTI を測定するための回路と測定に使用した機器について述べる。

3.1 測定機器

今回使用した測定系の概略図を図4に示す。FPGA とマイコンはボード上の配線により接続されており、UPS によって停電時の電源を確保する。チップの電源電圧 (V_{DD}) は FPGA から PWM 信号により制御される定電圧電源回路によって制御する。FPGA とチップはケーブルにより接続され、FPGA によりチップの制御を行う。測定結果であるチップ内カウンタの値を FPGA に出力する。FPGA はマイコンに測定結果を出力し、マイコンは測定結果を PC へ出力するために値を保持する。

マイコンと PC は常時接続しているわけではなく、測定結果を取り出すときのみシリアルインタフェースを通じて接続する。定期的にマイコンから測定結果を取り出すことで電源が落ちるなどの不具合が無い限り半永久的に測定を行うことができる。チップを恒温槽内に置くことで、チップの温度を一定に保つ。恒温槽は UPS 等を使用しない。計画停電等で電力源を入れ替えるときには一度電源を落として電力源を入れ替えた後に再度電源をつける。電力源の入れ替え恒温槽内の温度低下は設定温度 80 では 1.2 程である。

3.2 測定回路

測定回路は図5のような電流スターブ型リングオシレータを用いる。PMOS 型では電源線 (V_{DD}) とリングオシレータ (RO) の電源線との間に PMOS スイッチ (PMOS-SW) を挿入

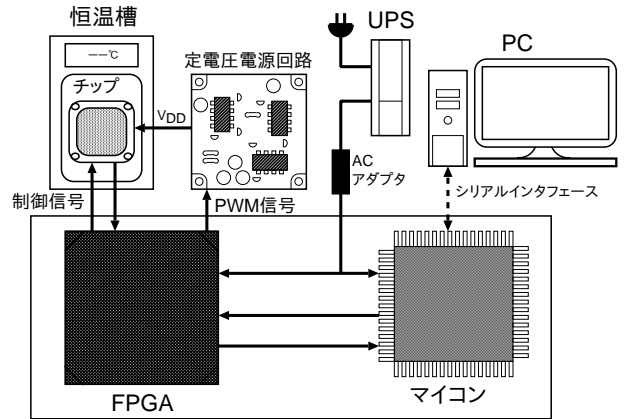
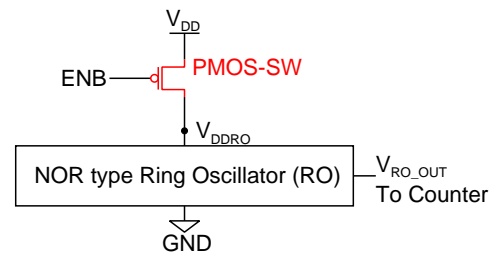
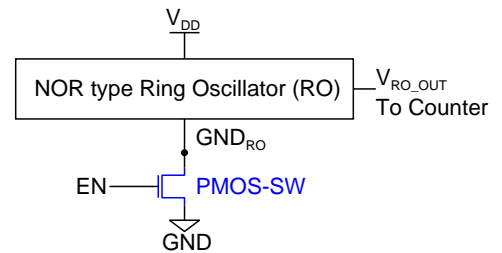


図4 使用した測定系の概略図



(a) PMOS 型電流スターブ型リングオシレータ



(b) NMOS 型電流スターブ型リングオシレータ

図5 電流スターブ型リングオシレータ

する。この PMOS-SW が劣化すると、 V_{DDRO} が下降して RO の発振周波数が減少する。NMOS 型ではグラウンド (GND) と RO の GND との間に NMOS スイッチ (NMOS-SW) を挿入する。この NMOS-SW が劣化すると、 GND_{RO} が上昇して RO の発振周波数が減少する。RO は NOR による 11 段リングオシレータを用いる。NOR の 2 つの入力の 1 つは発振制御端子として使用し、もう 1 つの入力は前段の出力端子につなぐ。NOR を用いることで RO の BTI を抑制し、NMOS-SW と PMOS-SW の劣化のみとなる [4]。

RO の出力をカウンタに接続することで発振回数を記録し、カウンタの値を読み取り RO の発振回数を測定する。

4. 測定結果

BTI の測定方法について述べ、3 節の測定機器による発振回数の測定結果を示す。RO の発振周波数をしきい値電圧変動量変換により BTI によるしきい値電圧変動に置き換える。

4.1 測定方法

図6に BTI による劣化の測定方法を示す。電流スターブ型

リングオシレータの SW-トランジスタ (PMOS-SW、NMOS-SW) をオンとし初回の発振回数の測定を行う。発振は NOR による RO の発振制御端子により制御し、測定した後に発振を止める。その後は指定した時間毎に RO を発振させ、発振回数を定期的に測定する。劣化は t^n もしくは $\log(t)$ に沿うことが予想されるため、測定の初期段階では測定間隔を指数的に伸ばして最終的に 24 時間毎に測定を行う。測定の初期段階では RO を測定間隔が 24 時間のときは一度の測定で 1 秒おきに 3 回 RO を発振させて記録することで、測定結果のずれが環境によるものかを観察する。SW-トランジスタは常にオン状態にあるため、BTI による劣化が回復することはない。チップから FPGA、FPGA からマイコンに測定結果を出力して発振回数をプロットすることにより BTI による劣化を時間の遷移とともに見ることができる。発振周波数はおよそ 1.5~2 GHz であり、16 bit カウンタにより発振回数を記録する。カウンタが桁あふれをおこさない範囲で多くの発振回数を記録するために RO の発振時間を 20 μs とする。BTI による劣化を加速させるため、標準 1.2 V の電源電圧を 2.0 V で測定し、恒温槽によりチップの温度を 125 に保つ。測定時間は 238 万秒 (4 週間) である。

4.2 測定結果

図 7 に測定結果を示す。横軸はストレス時間、縦軸は発振回数である。縦軸は PMOS 型と NMOS 型のどちらも幅を 300 回としている。発振回数は PMOS 型と NMOS 型でそれぞれ 560 個の RO の発振回数の平均である。発振回数は 238 万秒で PMOS 型は 0.52%、NMOS 型は 0.13% 減少している。エラーバーは標準誤差を示している。標準誤差はストレス時間が増えるほど増加しており、PMOS 型では 1 秒で 12.81 回、238 万秒で 13.47 回となる。NMOS 型では 1 秒で 16.76 回であるが、238 万秒の 3 つの測定がそれぞれ 17.16 回、17.16 回、61.85 回と 1 つだけ大きくなっている。3 つの測定の間隔は 1 秒間隔であるため、温度による影響とは考えにくく、電源電圧の影響であると考えられる。

4.3 測定結果のしきい値電圧変換

BTI による発振回数の変動をしきい値電圧 (V_{th}) に換算する。回路シミュレーションにより電流スターブ型リングオシレータの SW-トランジスタのしきい値電圧を変化させたときの発振回数の変化を求める。図 8 に電源電圧 2.0 V、温度 125 としたときのしきい値電圧変動を示す。横軸は V_{th} の変動率で、縦軸は V_{th} を変化させたときの発振周波数の変動割合である。シミュレーションによって得られたしきい値電圧と周波数の関係は線形であり、関係式は PMOS 型は式 (1)、NMOS 型

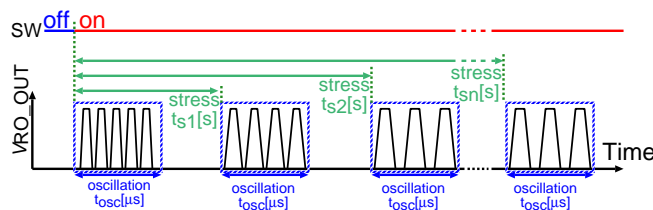


図 6 BTI による劣化の測定方法

は式 (2) である。

$$\Delta F_P = 0.1024V_{th} \quad (1)$$

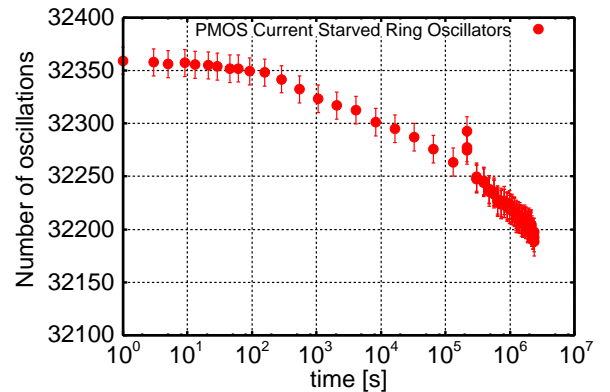
$$\Delta F_N = -0.0344V_{th} \quad (2)$$

ΔF_P 、 ΔF_N は PMOS 型と NMOS 型の周波数変動割合である。式 (1)、(2) を用いて測定結果の発振回数をしきい値電圧変動量に変換する。すべての RO の発振時間は 20 μs であるため、発振回数を 20 μs で割れば発振周波数が得られる。1 秒での測定結果を基準とし、 t 秒での劣化率を D_{t-rate} として式 (3) のように計算する。

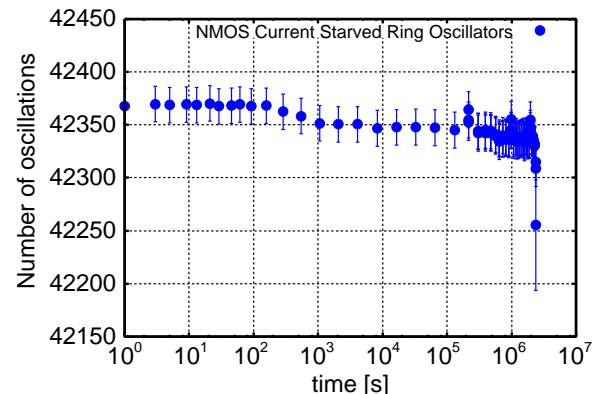
$$D_{t-rate} = \frac{F_1 - F_t}{F_1} \quad (3)$$

F_1 は 1 秒での発振周波数、 F_t はストレスをかけてから t 秒後の発振周波数である。 D_{t-rate} が大きいほど発振周波数は減少し、BTI による劣化が大きい。 D_{t-rate} は式 (1)、(2) の ΔF_P 、 ΔF_N に対応しており D_{t-rate} を ΔF_P と ΔF_N に代入することで、 t 秒後の BTI によるしきい値電圧変動割合を求めることができる。

図 9 にしきい値変動割合に変換した測定結果を示す。横軸はストレス時間、縦軸は $t = 1 \text{ s}$ と比べたしきい値電圧の変動割合である。PMOS 型と NMOS 型で縦軸を幅 12% に合わせる。



(a) PMOS 型電流スターブ型リングオシレータの測定結果



(b) NMOS 型電流スターブ型リングオシレータの測定結果

図 7 電源電圧 2.0 V (標準 1.2 V)、温度 125 での RO 発振回数

238 万秒で PMOS 型は 5.04%、NMOS 型は 4.06% しきい値電圧が上昇した。変換した結果を最小二乗法により近似する。近似には以下の 2 つの式を用いる。

$$f(t) = mt^n + l \quad (4)$$

$$g(t) = a \log(t) + b \quad (5)$$

t はストレスをかけた時間を表し、 $f(t)$ はべき乗関数に比例する近似式、 $g(t)$ は対数関数に比例する近似式である。開始点を 1 秒とししきい値電圧変動割合を 0% とするため $b = 0$ 、 $l = -m$

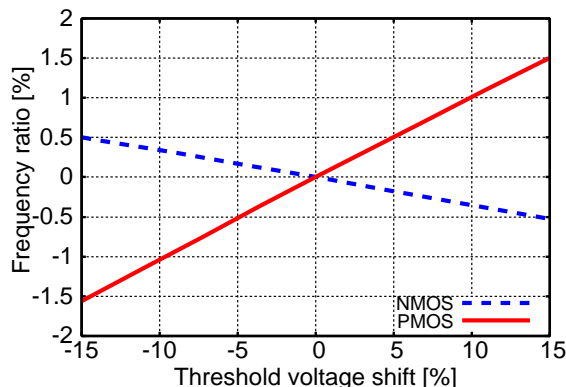
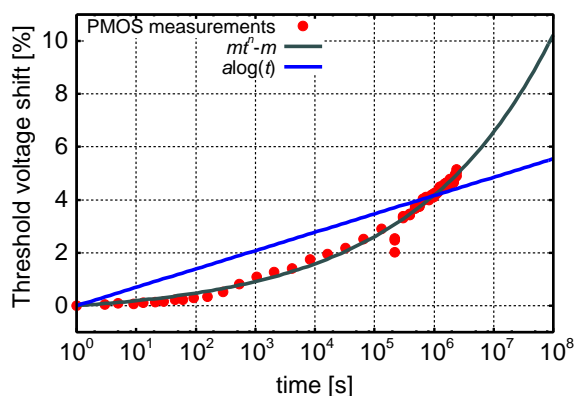
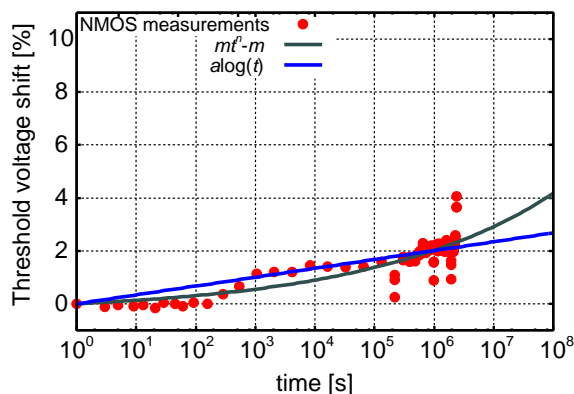


図 8 しきい値電圧変動のシミュレーション結果 (電源電圧 2.0 V、温度 125)



(a) PMOS 型電流スターブリングオシレータのしきい値電圧変動割合



(b) NMOS 型電流スターブリングオシレータのしきい値電圧変動割合

図 9 測定結果のしきい値電圧変換結果と近似

表 1 1~238 万秒におけるしきい値電圧変動割合のフィッティングパラメータ

Function	alog(t)		$mt^n - m$		
	a	RMSE [%]	m	n	RMSE [%]
PMOS	0.301	0.544	0.354	0.185	0.164
NMOS	0.145	0.458	0.336	0.141	0.416

表 2 一定秒数まででフィッティングしたそれぞれの平均平方二乗誤差の値

Function	PMOS		NMOS	
	alog(t)	$mt^n - m$	alog(t)	$mt^n - m$
time [s]	RMSE [%]	RMSE [%]	RMSE [%]	RMSE [%]
1~93	0.030	0.031	0.068	0.068
1~1,000	0.232	0.234	0.332	0.205
1~16,000	0.293	0.092	0.366	0.232
1~131,000	0.387	0.116	0.346	0.276
1~1,080,000	0.564	0.208	0.388	0.354
1~2,380,000	0.544	0.164	0.458	0.416

として a 、 m 、 n をフィッティングする。表 1 にそれぞれの近似式のフィッティングの結果と近似式と測定結果との平均平方二乗誤差 (RMSE : Root Mean Square Error) を示す。RMSE の値は 0 に近いほど精度が高い。PMOS 型のべき乗近似の RMSE は対数近似の RMSE に比べて 30% であり、べき乗近似が精度が非常に高い。NMOS 型ではべき乗近似の RMSE は対数近似の RMSE に比べて 90% であり、べき乗近似が精度が少し高い。

表 2 に 1 秒から 93 秒、1,000 秒、16,000 秒、131,000 秒、108 万秒まででそれぞれ対数近似とべき乗近似を行い RMSE を求めた値を示す。PMOS 型は 16,000 秒を境にべき乗近似の精度が非常に高くなっている。NMOS 型は 1,000 秒を境にべき乗近似の精度が高くなるが時間が経つにつれて PMOS 型ほどの精度の上昇はみられない。

5. 結 論

FPGA とマイコンを使用した測定系を用いて超長期間の測定を行った。測定の結果、電流スターブリングオシレータの発振回数は 238 万秒で PMOS 型は 0.53%、NMOS 型は 0.13% 減少した。測定結果の発振回数の変動をしきい値電圧の変動に変換し、対数関数とべき乗関数に近似した。しきい値電圧は 238 万秒で PMOS 型は 5.04%、NMOS 型では 4.06% 増加した。近似は平均平方二乗誤差によると PMOS 型はべき乗関数が対数近似に比べ 30% と非常に精度が高く、PMOS における NBTI の発生原因は R-D Theory によるものだと言える。NMOS 型はべき乗近似が対数近似に比べ 90% と少し精度が高く、NMOS における PBTI の発生原因はどちらかは定かでない。

謝辞 本研究は JSPS 科研費 15H02677 の助成を受けて実施したものである。本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

文 献

- [1] M. Bohr, “The evolution of scaling from the homogeneous era to the heterogeneous era,” 2011 International Electron Devices Meeting, pp.1.1.1–1.1.6, Dec. 2011.
- [2] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, “NBTI degradation: From transistor to SRAM arrays,” 2008 IEEE International Reliability Physics Symposium, pp.289–300, Apr. 2008.
- [3] D.K. Schroder and J.A. Babcock, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing,” *Journal of Applied Physics*, vol.94, no.1, pp.1–18, July 2003.
- [4] 岸田 亮, 古田 潤, 小林 和淑, “電流スタープ型発振器を用いた周波数変動のしきい値電圧変換手法,” 2017 Design Automation Symposium, pp.198–203, Apr. 2017.
- [5] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, “A comparative study of NBTI and PBTI (charge trapping) in SiO₂/HfO₂ stacks with FUSI, TiN, re gates,” *VLSI Tech. Symp.*, pp.23–25, June 2006.
- [6] C. Ma, M. Miyake, H. Mattausch, K. Matsuzawa, T. Iizuka, T. Hozhida, A. Kinoshita, T. Arakawa, J. He, and M. Miura-Mattausch, “Compact reaction-diffusion model for accurate NBTI prediction,” 2011 International Conference on Solid State Devices and Materials, pp.877–878, Sep. 2011.
- [7] H. Kukner, S. Khan, P. Weckx, P. Raghavan, S. Hamdioui, B. Kaczer, F. Catthoor, L.V. der Perre, R. Lauwereins, and G. Groeseneken, “Comparison of reaction-diffusion and atomistic trap-based bti models for logic gates,” *IEEE Transactions on Device and Materials Reliability*, vol.14, no.1, pp.182–193, Mar. 2014.
- [8] C. Ma, H.J. Mattausch, K. Matsuzawa, S. Yamaguchi, T. Hoshida, M. Imade, R. Koh, T. Arakawa, and M. Miura-Mattausch, “Universal NBTI compact model for circuit aging simulation under any stress conditions,” *IEEE Transactions on Device and Materials Reliability*, vol.14, no.3, pp.818–825, Sept. 2014.