

Matrix Exponential 法を用いたパワーMOSFET の 過渡解析の高速化

亀井 達也[†] 熊代 成孝 小林 和淑

京都工芸繊維大学 〒606-8585 京都市左京区松ヶ崎

E-mail: [†] tkamei@vlsi.es.kit.ac.jp

あらまし パワーデバイスの設計・開発において、シミュレーション時間の短縮が求められている。本研究では、デバイス過渡解析における正確な時間刻み幅制御指標を提案する。本指標は、Matrix Exponential 法によって求めたデバイス構造全体の主要応答時定数の指数項を含む。本手法を用いることで、シリコンパワーDMOSFET の主要応答部分の電流精度を保ちつつ、シミュレーション時間を従来の方法の 30%に減らした。Newton 法の初期値に形式解から得た近似値を用いることで、さらにシミュレーション時間を 21%低減することができた。

キーワード パワーデバイス, 過渡解析, 時間刻み制御, 局所打ち切り誤差, Matrix Exponential 法, Arnoldi 法

Accelerated Transient Analysis of Power MOSFETs by the Matrix Exponential Method

Tatsuya KAMEI[†] Shigetaka KUMASHIRO and Kazutoshi KOBAYASHI

Kyoto Institute of Technology Matsugasaki, Sakyo-ku, Kyoto, 606-8585 Japan

E-mail: [†] tkamei@vlsi.es.kit.ac.jp

Abstract In designing and developing power devices, reduction of simulation time is required. In this study, an accurate metric for the time step control in the device transient simulation is proposed. This metric contains an exponential term of the dominant time constant of the whole device structure obtained by the matrix exponential method. Total CPU-time of the transient simulation of a silicon power DMOSFET by using the proposed method decreases down to 30% of that by the conventional metric with assuring the current accuracy of the dominant transient response. By using the approximate value obtained by the formal solution as the initial value of the Newton method, it is possible to further reduce the total CPU-time by 21%.

Keywords Power device, Transient analysis, Time step control, Local truncation error, Matrix Exponential method, Arnoldi method

1. はじめに

半導体デバイスの設計・開発において、開発コストの低減と迅速な市場投入を実現するために、シミュレーション技術が重要である。デバイスシミュレーションはデバイスの電流特性だけでなく、内部の不純物分布やポテンシャル分布なども解析することができる。そのため、パワーMOSFET の設計において、デバイスシミュレーションが積極的に用いられている。

パワーMOSFET のデバイスシミュレーションにおいて、過渡解析の計算時間が問題になっている。大規模

な構造を表現するのに多くのメッシュ数が必要であることや、多くの時間刻みを費やすことが原因である。シミュレーション精度を保ちつつ、時間刻み幅を効率よく制御することが計算時間を短縮するために重要である。

2. 時間刻み幅の制御手法

従来の過渡解析の局所打ち切り誤差 (LTE:Local Truncation Error)の指標を示す。微分方程式

$$\frac{\partial x(t)}{\partial t} = f(x(t)) \quad (1)$$

を後退オイラー法により離散化し、次式を得る。

$$\frac{x_{BE}(t_0 + \Delta t) - x_{BE}(t_0)}{\Delta t} = f(x_{BE}(t_0 + \Delta t)) \quad (2)$$

正確な解を $t = t_0 + \Delta t$ でのテイラー展開で表し、式(2)との差から LTE を計算する。

$$\begin{aligned} LTE &\equiv |x_{BE}(t_0) - x(t_0)| \\ &= \left| -\frac{1}{2!} \ddot{x}(t_0) \cdot (\Delta t)^2 + O((\Delta t)^3) \right| \end{aligned} \quad (3)$$

2 次の項が主要な LTE の成分であるとして高次項を省略し式(4)に示す 2 次微係数型誤差指標が得られる。

$$LTE_{2ndorder} \equiv \left| \frac{1}{2!} \ddot{x}(t_0) \cdot (\Delta t)^2 \right| \quad (4)$$

この値が設定した LTE 値を超えないように時間刻み幅が制御される[2]。しかし、3 次以上の高次項の影響を無視しているため、精度は低い。局所打切り誤差が時間刻み幅の 2 乗に比例するため、キャリア濃度の時間に関する 2 次微係数が 0 でない限り時間刻み幅は有限の値に制限される。提案する指数関数型局所打切り誤差指標は、式(3)を指数関数としてまとめた式である。正確な解がデバイス構造全体の主要応答を再現する時定数 (τ_c) を用いて精度良く近似できると仮定すると

$$x(t) = x(t_0) + f(x(t_0)) \cdot \tau_c \cdot \left(1 - \exp\left(-\frac{t-t_0}{\tau_c}\right) \right) \quad (5)$$

と表すことができる。式(5)を式(3)に代入することで、次式の指数関数型局所打切り誤差指標が得られる[3][4]。

$$LTE_{exp} \equiv \left| \dot{x}(t_0) \cdot \tau_c \cdot \left[1 - \left(1 + \frac{\Delta t}{\tau_c} \right) \exp\left(-\frac{\Delta t}{\tau_c}\right) \right] \right| \quad (6)$$

指数関数型局所打切り誤差指標の主要部（キャリア濃度の時間に関する 1 次微係数と主要応答時定数の積を除いたもの）を縦軸に、 $\Delta t/\tau_c$ を横軸にとったものを図 1 に示す。指数関数型局所打切り誤差は、時間刻み幅が主要応答時定数より小さくなると、指数関数的に減少する。主要応答時定数に比べてかなり短い時定数をもつ応答の精度を無視し、大きな時間刻み幅をとることができる。

指数関数型局所打切り誤差の主要部分の値は、主要応答時定数が正である限り 1 を超えない。時間刻み幅が時定数より十分大きい場合は LTE の主要部分の値が 1 になり、LTE はキャリア濃度の時間に関する 1 次微係数の値と主要応答時定数の積で決まる。キャリア濃度の時間に関する 1 次微係数の値が LTE の許容値以下であれば、時間刻み幅を無限大にとることができる。

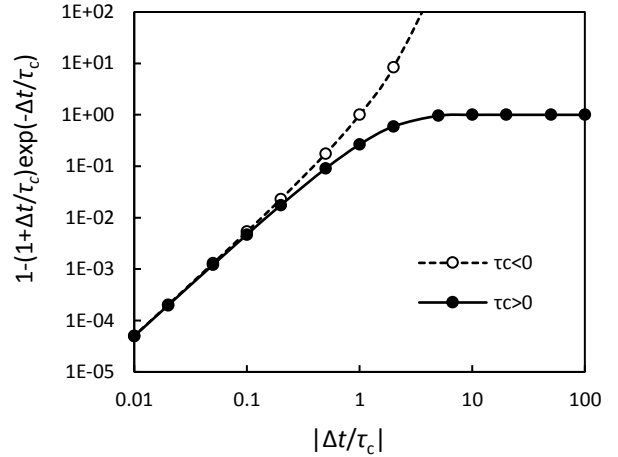


図 1. 指数関数型局所打切り誤差の主要部分の主要応答時定数で規格化した時間刻み幅依存性

3. 主要応答時定数

主要応答時定数を計算するために、図 2 に示すようにポアソン方程式と電流連続方程式の形式解を導出する。静電ポテンシャルと電子濃度、正孔濃度を状態変数にとり、ポアソン方程式と電流連続方程式を行列 C, F, F_c とベクトル x を用いて表す。本研究に用いたデバイスシミュレータは、ステップ入力のみを考慮しており、 B は入力場所を指定する行列、 u_0 はステップ入力の大さを表す。テイラー展開して線形化し、状態方程式を構成する。行列指数 ($\exp(-C^{-1}G(x_0)t)$) を用いると、状態方程式の形式解を求めることができる。

行列 $-C^{-1}G(x_0)t$ は状態変数を含むため、行列指数を実際に計算することは非常に困難であり、近似的な扱いが提案されている[1]。本研究では、 $C^{-1}G$ の固有値を求めることで行列指数をスカラー指数関数で近似する Matrix Exponential 法を用いた。デバイス構造全体の主要応答時定数は、 $C^{-1}G$ の最小固有値に相当する。 $C^{-1}G$ の最小固有値は、逆行列である $G^{-1}C$ の最大固有値に等しい。 $G^{-1}C$ の最大固有値を求めるために、Arnoldi 法[1]を用いた。Arnoldi 法のアルゴリズムを図 3 に示す。Arnoldi 法は、行列の固有値を大きいほうから順に、Hessenberg 行列の固有値として格納する方法である。本研究では $G^{-1}C$ に Arnoldi 法を適用し、得られた Hessenberg 行列の最大固有値を求め、その逆数をとることでデバイス構造全体の主要応答時定数を求めた。デバイス方程式は複素共役な固有値のペアを持つ可能性があるため、Hessenberg 行列のサイズは 2×2 以上として複数の固有値を計算し、最大の固有値を使用している。

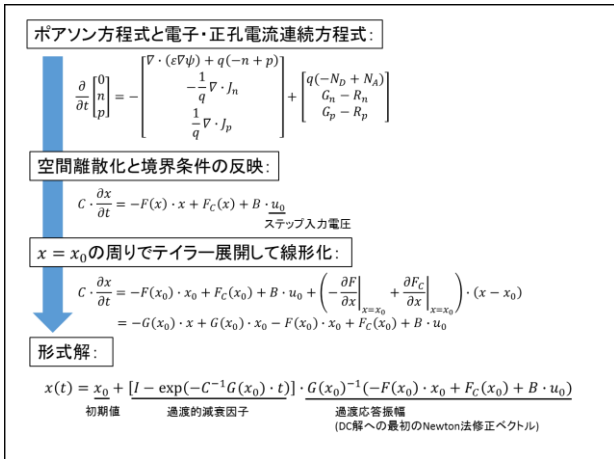


図 2. 線形化されたポアソン方程式と電流連続方程式の形式解の導出

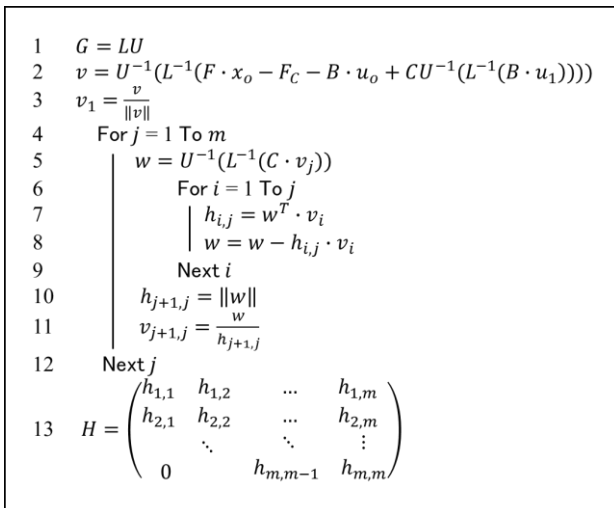


図 3: Arnoldi 法のアルゴリズム

4. 指数関数型局所打ち切り誤差指標を用いた 2次元パワーMOSFETの過渡解析

提案した指数関数型局所打ち切り誤差指標についての性能を評価するため、図4に示すパワーDMOSFET[5]にゲートステップ電圧を印加し、過渡解析を行った。LTEの許容値は1-50%のそれぞれで解析した。LTEの許容値は電子及び正孔の濃度に対する比の上限值であり、この値を小さく設定するほど高精度な計算をする。LTEが許容値を超えた場合は、時間刻み幅を小さくして再度計算が行われる。LTEの許容値を1%に設定したときの、主要応答時定数の絶対値と時間刻み幅の時間変化を図5に示す。白抜きのプロットは時定数が負であることを表す。10psより後は時間刻み幅が小さくなり、主要応答時定数が100ps程度に収束している。時定数より十分速い応答部分と時定数を超えた部分では、時間刻み幅を大きくとることができている。同時

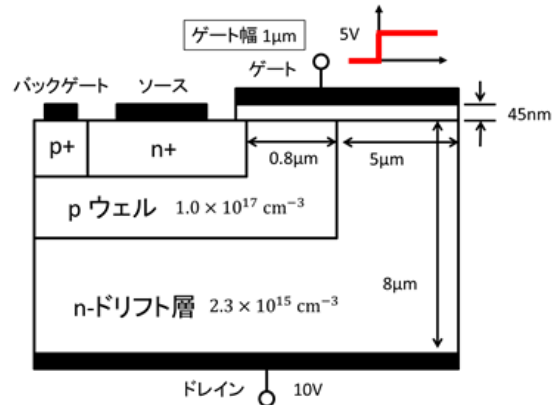


図 4. 解析した 2 次元パワーDMOSFET 構造

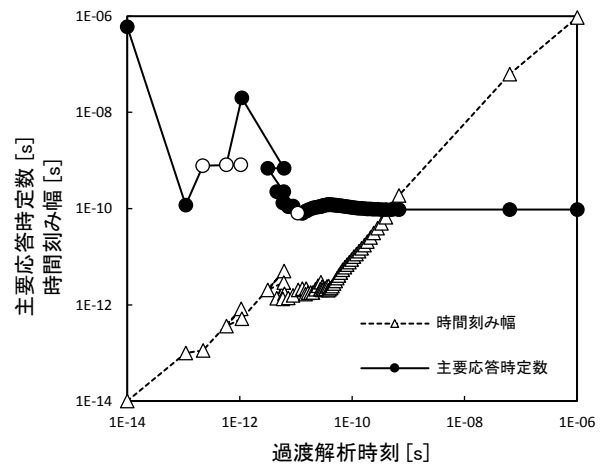


図 5. 時間刻み幅と主要応答時定数の時間変化

刻で複数の時間刻み幅が存在しているのは、LTEが許容値を超え、時間刻み幅の再設定が行われたためである。

縦軸を過渡解析時刻、横軸を時間刻み数として、過渡解析時刻の推移を示したものを図6に示す。指数関数型局所打ち切り誤差指標を用いた場合と2次微係数型誤差指標を用いた場合のどちらの方法においても、LTEが小さくなるにつれて時間刻み数は多くなる。LTEが小さい場合は高精度に解析するため、時間刻み幅が小さく設定されるからである。指数関数型局所打ち切り誤差指標を用いた場合(実線)は、2次微係数型誤差指標を用いた場合(破線)に比べて少ない時間刻み数で解析できる。2次微係数型誤差指標はテイラー展開の高次項を無視しており、テイラー展開項同士の打ち消しあいの効果が考慮されておらず、LTEを過大評価している。そのため、時間刻みを細かくとって計算する必要がある。しかし、指数関数型誤差指標は主要応答時定数で近似されるデバイスの主要応答部分に着目しているため、それより短い時間の応答はフィル

タリングされる。時間刻み数が時定数を超えると時間刻み幅を桁違いに大きくとって解析することができる。

LTE を 1-50% に設定した場合の指数関数型局所打切り誤差指標と 2 次微係数型誤差指標の計算時間の比較を図 7 に示す。指数関数型局所打切り誤差指標を用いた場合の各時間刻みあたりの計算時間は、2 次微係数型誤差指標を用いた場合に比べて約 40% 増加する。しかし、指数関数型局所打切り誤差指標を用いた場合の全計算時間は、2 次微係数型誤差指標を用いた場合の全計算時間の約 30% に低減する。指数関数型局所打切り誤差指標は時間刻み幅を大きくとることができ、時間刻み数が大幅に減少したためである。

過渡解析の精度を調べるために、指数関数型局所打切り誤差を用いて解析した場合のドレイン電流値を厳密解と比較した。厳密解は、2 次微係数型誤差指標を用いて LTE を 0.1% とし高精度に解析したものである。指数関数型局所打切り誤差指標と厳密解のドレイン電流値と相対誤差を図 8 に示す。5ps 以下で、ドレイン電流誤差が大きくなっているが、ステップゲート電圧を印加するという非現実的な状況を解析しているためである。このような短い応答時間の精度は重要ではない。解析時刻が主要応答時定数の 1/5 程度(20ps)に到達すると、ドレイン電流誤差は数% 以下になる。

LTE を 1-50% に設定した場合の指数関数型局所打切り誤差指標の誤差平均を図 9 に示す。高速な応答部分の精度は無視し、20ps 以降における指数関数型局所打切り誤差指標と厳密解のドレイン電流値の誤差平均を計算した。LTE が大きくなるにつれて誤差は大きくなるが、LTE が 10% 以下では数% の精度で解析ができる。

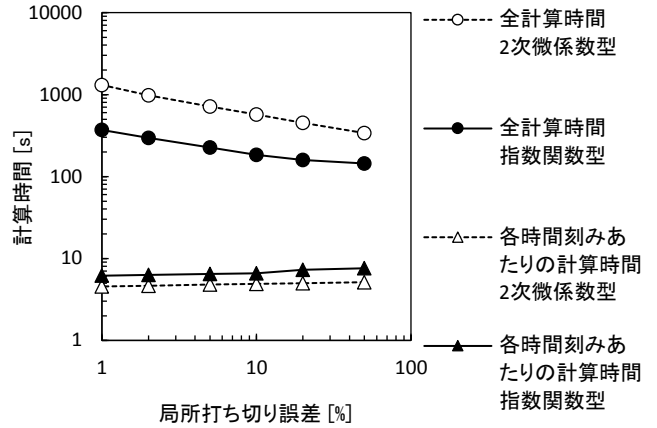


図 7. 局所打切り誤差 1-50% のときの指数関数型指標と 2 次微係数型指標での計算時間

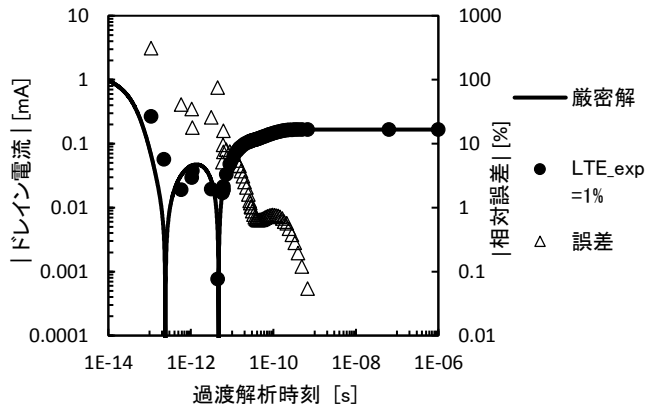


図 8. 指数関数型の局所打切り誤差指標と厳密解のドレイン電流比較

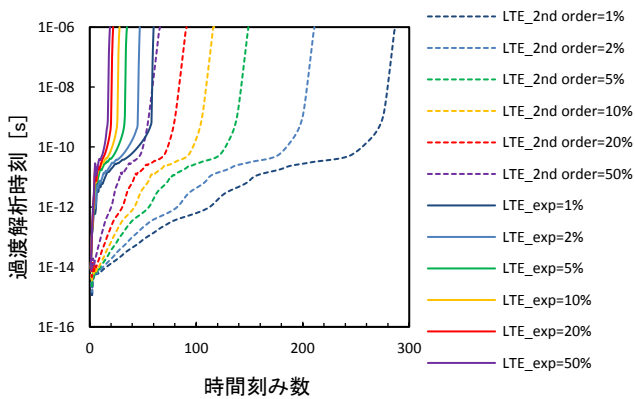


図 6. 時間刻み数と過渡解析の推移

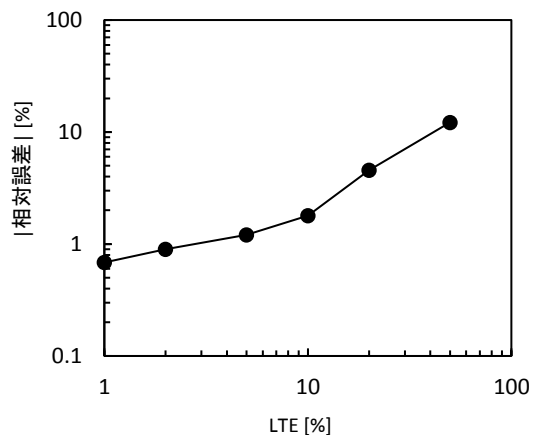


図 9. 局所打切り誤差 1-50% のときの時定数の 20ps 以降の指数関数型指標の相対誤差

5. 形式解を用いた初期値による Newton 反復回数削減

図 7 に示すように、指数関数型局所打切り誤差指標を用いた場合の各時間刻みあたりの計算時間は、2 次微係数型誤差指標を用いた場合に比べて約 40% 増加する。これは、指数関数型局所打切り誤差指標を用いた過渡解析では、時間刻み幅を大きくとるため初期値と求める解の差が大きくなり、各時間刻みあたりの Newton 反復回数が増加するためである。図 10 に LTE=1% のときの指数関数型指標と 2 次微係数型指標での各時間刻みの Newton 反復回数を示す。指数関数型局所打切り誤差指標を用いた過渡解析では 2 次微係数型誤差指標を用いた場合に比べて各時間刻みの Newton 反復回数が多くなる。

図 2 に示した形式解を用いて次の時刻での近似解を計算し、Newton 法の初期値とすることで、求める解により近い初期値を与える。過渡応答振幅部分は Arnoldi 法の初期ベクトルとして計算しており、行列指数部分は Matrix Exponential 法を用いてスカラー指数関数で近似されている。計算のオーバーヘッドは過渡減衰因子 $(1-\exp(-t/\tau_c))$ の計算のみである。

図 4 に示す DMOSFET を過渡解析し、各時間刻みの計算に要する Newton 反復回数を解析した。デバイスのメッシュ数を 400、LTE の許容値を 1% とした場合の電流と時定数の時間変化を図 11 に示す。図 11 は図 5 に示す時定数と図 8 に示す電流に対応しており、電流と時定数は絶対値を取っている。白抜きのプロットは時定数が負であることを表す。図 12(a) に各時間刻みの Newton 反復回数、(b) に初期値に近似解を用いるように修正した場合と修正前の Newton 反復回数の差を示す。0.01ps では近似解を用いた場合の Newton 反復回数が多くなっている。主要応答時定数では高速な応答を正確に近似できず、初期値と解の差が大きくなったことが原因である。1~150ps の範囲では Newton 反復回数が大幅に減少している。デバイスの主要応答を、形式解を用いて精度良く近似できており、適切な初期値が与えられたためである。150ps 以降ではキャリアの変化が極めて小さく、初期値にもほとんど変化がないため、Newton 反復回数も同じであった。

2 次微係数型誤差指標を用いた場合と指数関数型局所打切り誤差指標を用いた場合(初期値に近似解を用いない場合と用いた場合)の過渡解析における時間刻み数と Newton 反復回数を表 1 に示す。初期値に近似解を用いた場合は、2 次微係数型誤差指標を用いた場合に比べると各時間刻みあたりの Newton 反復回数は多い。しかし、初期値に近似解を用いることで、近似解を用いない場合の解析に比べて Newton 反復回数を 25% 削減することができ、計算時間は 21% 減少した。

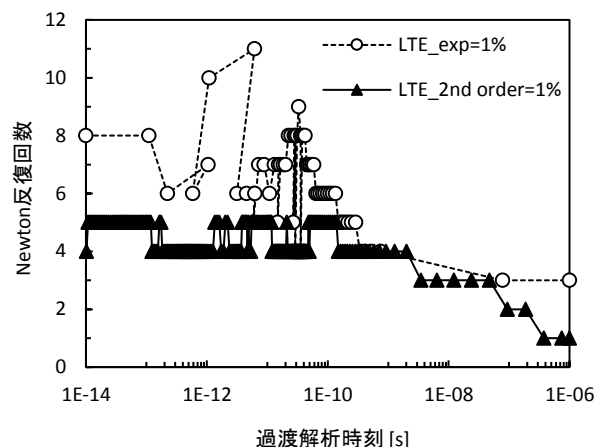


図 10. LTE=1% のときの指数関数型指標と 2 次微係数型指標での各時間刻みの Newton 反復回数

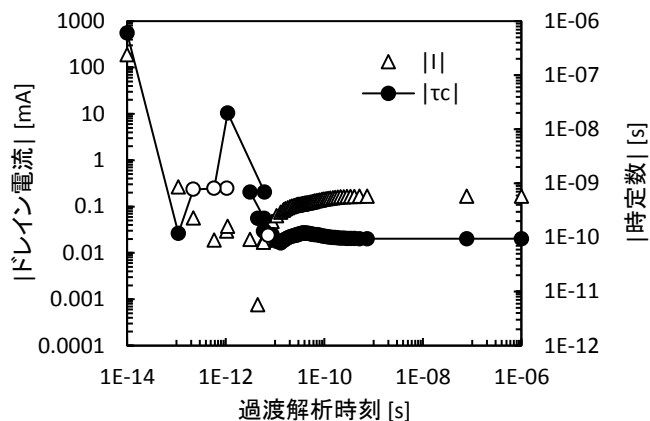
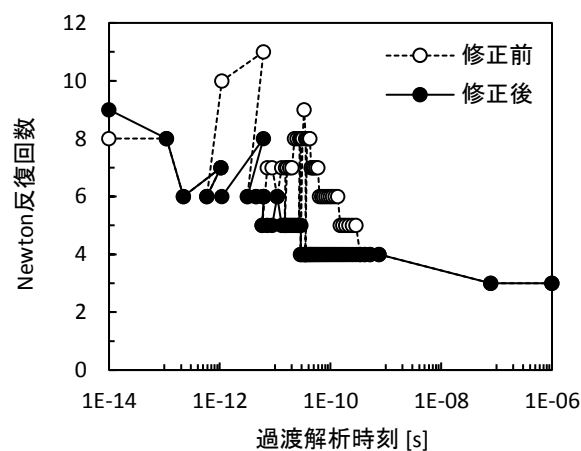
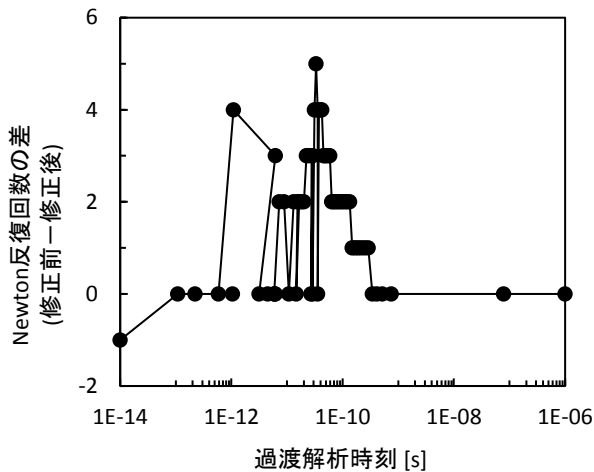


図 11. ドレイン電流の絶対値と時定数の絶対値の時間変化



(a)



(b)

図 12. 初期値に近似解を用いない場合(修正前)と用いた場合(修正後)の各時間刻みの計算に要する (a)Newton 反復回数 (b) Newton 反復回数の差

表 1. 2 次微係数型誤差指標を用いた場合と指数関数型局所打切り誤差指標を用いた場合の過渡解析における時間刻み数と Newton 反復回数

| | 2 次微係数 | 指数関数 (修正前) | 指数関数 (修正後) |
|-----------------------|--------|------------|------------|
| 時間刻み数 | 287 | 60 | 60 |
| Newton 反復回数の合計 | 1241 | 380 | 284 |
| 各時間刻みあたりの Newton 反復回数 | 4.32 | 6.33 | 4.73 |
| 計算時間 [s] | 297 | 97 | 76 |

6. 結論

Matrix Exponential 法を用いてデバイス構造全体の主要応答時定数を求めることで、デバイス過渡シミュレーションの時間刻み制御のための高精度な指数関数型局所打切り誤差指標を導出した。提案する指数関数型局所打切り誤差指標を 2 次元パワー DMOSFET の過渡デバイスシミュレーションに適用し、主要応答部分のドレイン電流精度を保ちつつ、計算時間を従来の 2 次微係数型局所打切り誤差指標を用いた場合の 30% に低減することができた。形式解から得られる次時刻での近似解を Newton 法の初期値とすることで、さらに計算時間を 25% 削減し、計算時間を 21% 短縮した。

謝 辞

本研究は文部科学省および科学技術振興機構によるスーパークラスタープログラムの支援、ならびに、日本学術振興会による科研費・基盤研究(C) (課題番号 17K05142) の助成を受けた。また、パワー DMOSFET のデバイス構造と動作に関して親切にご教示いただいた本学の上田大助特任教授に感謝する。

文 献

- [1] Hao Zhuangx, Shih-Hung Wengy, Jeng-Hau Linx, Chung-Kuan Chengx. "MATEX: A Distributed Framework for Transient Simulation of Power Distribution Networks", 51st ACM/EDAC/IEEE Design Automation Conference, pp.1-6, June 2014
- [2] 戸川隼人, "微分方程式の数値計算," 4 章及び 11 章, オーム社, 東京, 1981.
- [3] S. Kumashiro, T. Kamei, A. Hiroki, and K. Kobayashi, "An Accurate Metric to Control Time Step of Transient Device Simulation by Matrix Exponential Method," International Conference on Simulation of Semiconductor Processes and Devices, pp. 37-40, September 2017, Kamakura, Japan.
- [4] 熊代成孝, 亀井達也, 廣木彰, 小林和淑, "行列指数法によるデバイス過渡シミュレーションの正確な時間刻み指標," シリコン材料・デバイス (SDM) 研究会, vol.117, no. SDM2017-70, pp. 47-52, 2017/11, 東京.
- [5] D.Fuoss. et al. "Vertical DMOS power field-effect transistors optimized for high speed operation," IEDM, vol.28, pp.250-253, 13-15 December 1982