

[招待講演] 集積回路におけるソフトエラーの評価と対策

古田 潤†

† 京都工芸繊維大学 工学科学研究科

あらまし トランジスタの微細化に伴い、放射線起因の一過性エラーであるソフトエラーが LSI の信頼性において問題となっている。本稿では 65nm プロセスを用いて設計したテスト回路について説明し、中性子照射による加速試験を用いてソフトエラーの特性を測定した結果について報告する。次に特性評価結果を基にしたソフトエラーに耐性を持つフリップフロップの構造や、レイアウトの方法について提案する。提案するフリップフロップ構造のソフトエラー耐性を実測し、通常のフリップフロップよりも 100 倍以上耐性が高いことを確認した。

キーワード ソフトエラー フリップフロップ 多ビットエラー

Evaluation of Radiation-induced Soft Errors on LSI

Jun FURUTA†

† Kyoto Institute of Technology

Abstract According to the process scaling, radiation-induced errors become significant issue for LSI reliability. In this paper, we measured neutron-induced soft errors using test circuits fabricated in 65 nm bulk CMOS process. We propose radiation-hardened flip-flop and design methodology based on the neutron accelerated test results. Measurement results show that soft error resilience of the proposed flip-flop is more than 100x higher than that of a standard flip-flop.

Key words Soft Error, Flip-flop, Multiple Cell Upset

1. 序 論

半導体製造技術の進歩により、LSI の動作速度が向上し、動的消費電力の削減が進む一方で、LSI の信頼性の問題が拡大している。信頼性を低下させる一因として、放射線による一時故障 (ソフトエラー) がある。ソフトエラーは放射線の電離作用によって生じた電荷によって生じる一時的なエラーである。LSI の再起動やリセット信号などにより正常動作が可能となるため、永続的な故障であるハードエラーと区別するためにソフトエラーと呼ばれる。一般的な家電製品や携帯電話などでは問題とはならないものの、自動車のブレーキ制御や医療機器などの人命に直結する製品や、サーバやスーパーコンピュータなどの多数の LSI を同時に使用する場合、放射線の多い環境で使用される人工衛星や航空機器などではソフトエラーの対策が必須となっている。

最も一般的な放射線の対策は多重化である。回路レベルの多重化では記憶素子を 3 重化し、その出力を多数決回路に接続することで実現される。放射線によって記憶素子の保持値が 1 つ反転しても、他の 2 つが正しい値を保つため、多数決回路の出力は正しい値を保持する。そのため、3 重化回路は極めて高いソフトエラー耐性を持つ。しかし 3 重化回路は性能面での問題

が大きく、面積や消費電力は 3 倍以上となってしまう。そのため、性能低下を抑えたソフトエラー耐性回路の研究が盛んに行われている。

近年では多重化回路の性能面での問題だけでなく、微細化による多重化回路のソフトエラー耐性の急激な低下が問題となっている。複数の記憶素子の保持値が 1 つの放射線によって反転する複数ビットエラーが原因である。微細化によるトランジスタ間距離の減少により、放射線の影響範囲は相対的に拡大しているため、複数ビットエラーの発生する割合は増加している [1]。40nm プロセスでは 3 重化フリップフロップのソフトエラー耐性が通常のフリップフロップのわずか 2 倍程度になった実測結果も報告されている [2]。ソフトエラー耐性を高く保つためには複数ビットエラーの対策が必要であり、複数ビットエラーの特性評価が重要となっている。

本稿ではプロセス微細化によって増加したソフトエラーの発生率を加速試験を用いて実測した結果を報告する。加速試験により複数ビットエラーも測定を行い、その特性を評価する。ソフトエラーの実測結果を基に、ソフトエラー耐性回路の構造やレイアウト手法を提案する。本稿の構成を以下に示す。第 2 章でソフトエラーについて詳細に説明する。第 3 章では加速試験を用いてソフトエラーの発生率や特性を評価するための方法

と、その評価結果について述べる。第 4. 章ではソフトエラー耐性の高い回路構造やレイアウト手法について説明し、設計したソフトエラー耐性フリップフロップのソフトエラー発生率の実測結果を示す。第 5. で結論を述べる。

2. シングルイベント効果とソフトエラー

ソフトエラーは地上に降り注ぐ中性子や LSI のパッケージに含まれる放射性不純物から放出されるアルファ線などが原因で生じる。アルファ線などの荷電粒子が LSI を通過すると、その電離作用により電子正孔対が生じる (図 1)。生じた電子正孔対はファネリングやドリフト、拡散などによってトランジスタの拡散領域に収集され、出力を一時的に反転する。この現象はシングルイベント効果 (Single Event Effect, SEE) と呼ばれる。一時的に反転したトランジスタの出力が記憶素子に取り込まれ、最終的に LSI の出力反転や誤動作となる場合をソフトエラーと呼ぶ。

シングルイベント効果は複数の種類に分類され、ソフトエラーとなるものは 2 種類ある。1 つは放射線が論理回路を通過することで一過性のパルスが発生させる Single Event Transient (SET) である。SET は一時的な反転であるため、フリップフロップなどの記憶素子に取り込まれないとエラーとならない。SET によるソフトエラー発生率はクロック周波数に比例して増加する。もう 1 つは放射線が記憶素子を通過し、記憶素子の保持値を反転する Single Event Upset (SEU) である。SEU は保持値を直接反転するため、SET よりもソフトエラー発生率が高く、ソフトエラーの対策は主に SEU に対して行われている。SEU の発生率は 1Mbit の SRAM で約 100 年で 1 回であり、地上での SEU 発生率は FIT (Failure In Time) と呼ばれる単位で表される。1FIT は 10 億時間に 1 回エラーが起こることを示す。

複数ビットエラーは SEU の一種であり、Multiple Cell Upset (MCU) や Multi-bit Error (MBE) などと呼ばれる。多重化回路内部の複数のトランジスタで電荷収集が生じた場合は Multiple Node Charge Collection と呼ばれる場合がある。複数ビットエラーの発生原理は複数あり、それらを図 2 に示す。電荷共有 (charge sharing) は放射線によって生じた電子正孔対を複数のトランジスタで収集される現象である。微細化によって電子正孔対が生じる範囲が相対的に増加しているため、電荷共有の影響は拡大している。寄生バイポーラ効果 (parasitic bipolar effect) は放射線によって生じ、基板に残留した少数キャリアによって、MOSFET に寄生するバイポーラトランジスタが ON となる現象である。バルクプロセスでは基板を共有しているため、複数のトランジスタが寄生バイポーラトランジスタによって同時に反転しうる。寄生バイポーラ効果を含めて電荷共有と呼ばれることもある。連続衝突は放射線が複数のトランジスタ近傍を通過することで生じる。

3. 加速試験を用いたシングルイベント効果の評価

本章では白色中性子ビームを用いてシングルイベント効果を

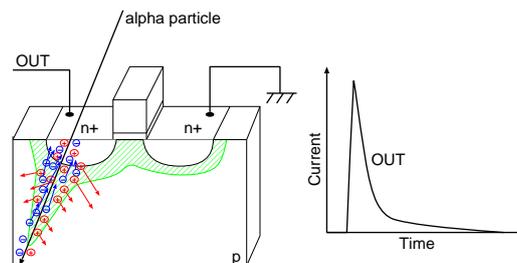


図 1 シングルイベント効果の発生原理。

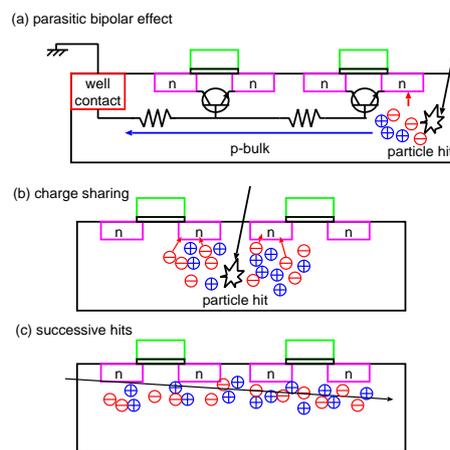


図 2 放射線による多ビットエラーの発生原理。

評価するための回路構造について説明する。その後、65nm プロセスを用いて設計したテスト回路による評価結果について報告する。

3.1 多ビットエラーの距離依存性測定回路

フリップフロップにおける SEU の測定には一般的にシフトレジスタ構造が利用される。各 FF の保持値の初期化、読み出しは FF の段数分のクロック信号を入力することで可能である。放射線照射時にはクロック信号を 0 または 1 で停止していれば FF は保持値を保ち続けるため、放射線照射後に値を読み出し、初期値と比較すれば SEU の発生数と発生位置を容易に取得できる。またシフトレジスタを用いた場合では SET によるエラーが含まれないため、SEU のみの発生率を測定できる。

図 3 に設計したシフトレジスタを示す。全てのシフトレジスタで回路構造が等しい FF を用いており、偶数行目の FF の配置を変更したシフトレジスタ (a) - (c) を作成した [3]。FF をずらして配置することで、上下の FF 間距離を変更し、MCU の FF 間距離に対する依存性の測定を行うことを目的とした測定回路である。FF は 2 つのラッチで構成されるため、設計したシフトレジスタ (a) - (c) のマスターラッチ間距離とスレイブラッチ間距離それぞれを図 4 に示す。設計した 3 種類のシフトレジスタにより $0.5\mu\text{m}$ から $4.6\mu\text{m}$ までの範囲の距離依存性を測定できる。

シフトレジスタ (d) で配置の変更を行わず、電源配線直下に基板電位を固定するウェルコンタクトを密に配置している。一方で他のシフトレジスタでは $50\mu\text{m}$ ごとにウェルコンタクトを配置している。シフトレジスタ (d) では放射線衝突による基板

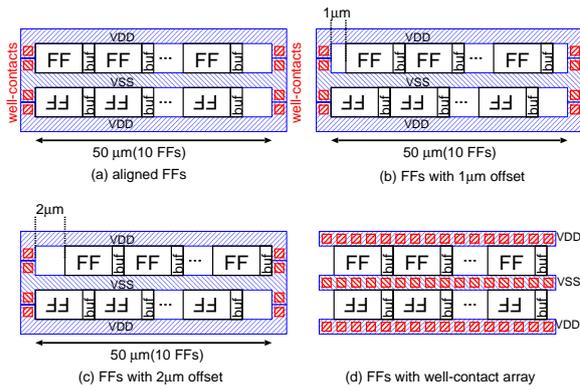


図 3 設計した 4 種類のシフトレジスタの配置方法と構造。バッファはクロック信号の供給とホールド違反を防ぐために挿入した。

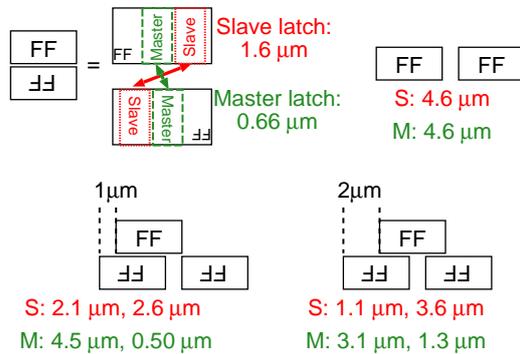


図 4 設計したシフトレジスタのラッチ間距離の種類。

電位の変動を抑えられるため、複数ビットエラーの一因である寄生バイポーラ効果を抑制できる。(a) と (d) の測定結果を比較することで、寄生バイポーラが複数ビットエラーの原因であることを確認するために設計した。

3.2 SET パルス幅測定回路

SET の場合、放射線によって反転した値が記憶素子に取り込まれることでエラーとなる。そのため、SET の場合では SET の発生率だけでなく生じた SET のパルス幅も重要となる。SET パルス幅の測定には測定対象の論理ゲートで構成されたチェーン構造と、パルス幅を測定する時間測定回路 (Time to Digital Converter, TDC) で構成される。測定対象の論理ゲートで生じた SET パルスはチェーンを通過して TDC に入力され、パルス幅が保存される。

設計した SET パルス幅測定回路を図 5 に示す [4]。測定対象はインバータとし、50 段のチェーンを 16 並列とした図 6 の回路を設計した。16 並列のチェーンは 16 入力 OR を用いて 1 出力にまとめ、TDC に入力する構造とした。並列にすることで、生じた SET が TDC に到達するまでの段数を小さくしている。この理由として、チェーンを通過する間にパルス幅が線形に変動してしまうためである。そのため、測定した SET のパルス幅が放射線によって生じた電荷量ではなく、放射線が通過した位置に依存するようになり、正確な SET パルス幅の分布を取得できなくなる。

TDC の構造にはリングオシレータを利用した回路を用いた。この構造では SET パルスによって入力反転している間のみ

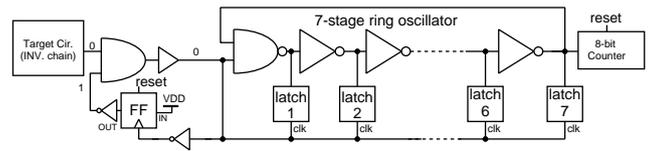


図 5 リングオシレータを利用した SET パルス幅測定回路。値の読み出しに利用するスキャン FF は省略している。

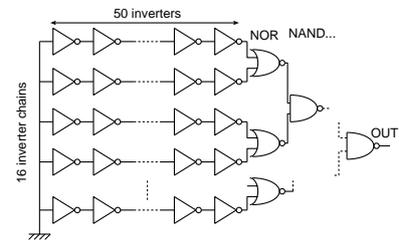


図 6 測定対象のインバータチェーンの構造。

表 1 FF の保持データを “0” に初期化し、クロック信号を “1” に固定した場合の SEU 発生数と MCU 発生数。

シフトレジスタ	最小ラッチ間距離 [μm]	SEU 発生数	MCU 発生数	MCU / SEU [%]
(a)	0.66	617	110	17.8
(b)	0.5	631	148	23.4
(c)	1.3	654	91	13.9
(d)	0.66	498	1	0.2

リングオシレータが発振する。そのため、発振した回数をカウンタを用いて測定することで SET のパルス幅を測定する。また、各リングオシレータのインバータの出力にラッチを接続し、SET による反転が終了した直後のインバータの出力を保存するようにしている。これにより、リングオシレータの発振数よりも細かい値を測定することができる。

3.3 中性子加速試験による実測評価

3.3.1 加速試験の測定環境

実測評価を行うため、65nm bulk CMOS プロセスを用いてテスト回路を試作し、白色中性子線を用いた加速試験を大阪大学の核物理研究センターにて実施した。加速係数は約 3.7×10^8 であり、加速試験の 1 秒は実環境の約 12 年に相当する。測定時にはより多くのエラーを観測するために、28 チップを同時に測定した。試作チップの制御には LSI テスタを用いている。LSI テスタでシングルイベント効果が生じないように、中性子ビームの射出口から 2m 以上離して LSI テスタを配置して測定した。

3.3.2 測定結果

SEU と MCU の発生数を測定した結果を表 1 に示す。MCU はフリップフロップでも生じており、MCU / SEU は最大で 23.4% となった。65nm プロセスでは三重化フリップフロップなどの多重化回路のエラー耐性が MCU によって減少していると推測され、最悪の場合では非冗長化フリップフロップの 4 倍程度しかソフトエラー耐性が上昇しない。一方で基板電位を固定するウェルコンタクトを密に配置したシフトレジスタ (d) では MCU の発生数はわずか 1 であり、MCU / SEU は 0.2% と

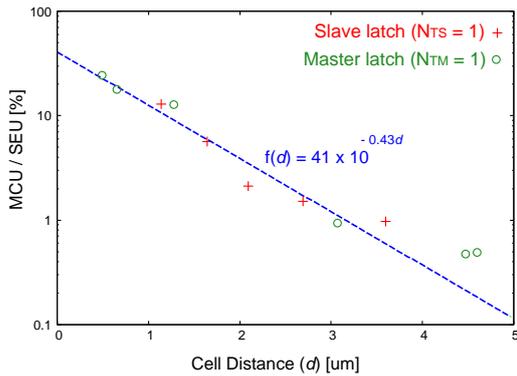


図 7 MCU/SEU のラッチ間距離依存性。

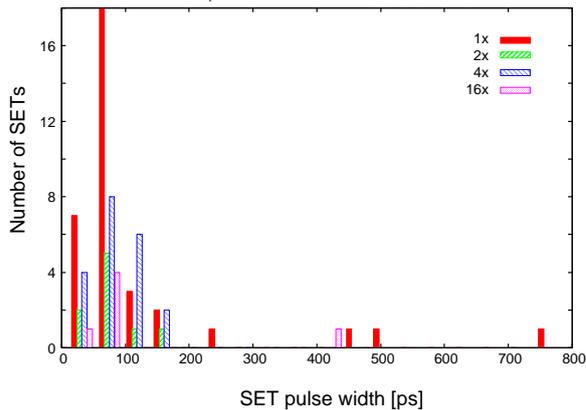


図 8 インバータの駆動力に対する SET パルス幅分布の変化。

極めて小さい。基板電位を固定するウェルコンタクトを挿入することで 99% の MCU が除去されており、測定した 65nm プロセスでは MCU の 99% が寄生バイポーラが原因で生じている。

MCU/SEU の距離依存性の測定結果を図 7 に示す。MCU は距離に対して指数関数的に減少し、 $3\mu\text{m}$ 以上距離を離せば MCU の発生割合は $1/100$ 以下にすることができる。文献 [5] では、耐放射線フリップフロップのエラー耐性は回路の構造ではなく多重化したノード間の距離に依存すると報告されており、今回の測定結果はこの報告と一致している。

SET のパルス幅分布を測定した結果を図 8 に示す。50ps 以下の SET を除けば SET パルス幅はパルス幅が小さいほど発生数が多く、大部分のパルスが 200ps 以下となった。今回の測定では生じた SET 自体の個数が少ないものの、16x インバータでも SET が生じており、その発生率は 1x インバータの約 $1/6$ である。クロックツリーなどでも SET によるエラーが生じると推測される。しかし SEU と比較すると、インバータ 1 段の SET の発生率は $1/20$ 以下である。SET がフリップフロップに取り込まれる確率も考慮すれば更に減少するため、通常の FF では SET によるエラーは無視できるほど小さい。SET によるエラーはソフトエラー耐性 FF などの SEU にエラー耐性が高いもので問題になる。

4. ソフトエラー耐性二重化フリップフロップ

本章ではまず既存のソフトエラー耐性 FF の構造を示し、それを改良した提案 FF 構造を示す。65nm プロセスを用いて設

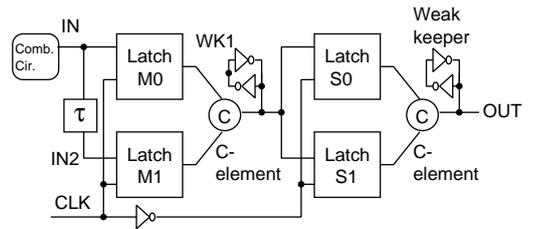


図 9 二重化フリップフロップ (BISER) [6]。

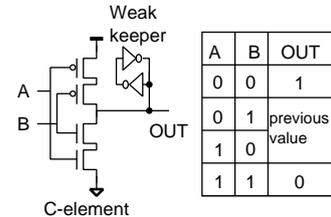


図 10 C 素子の構造と真理値表 [6]。

計した提案 FF の中性子起因ソフトエラー率を示し、従来回路よりもソフトエラー耐性が高いことを示す。

4.1 既存回路と提案回路

BISER (Built In Soft Error Resilience) を図 9 に示す [6]。C 素子 (C-element) と保持力の弱い記憶素子 (weak keeper) の構造を図 10 に示す。C 素子の 2 つの入力信号が等しい場合は、保持力の弱い記憶素子の保持データは C 素子の出力によって書き換えられる。一方で C 素子の 2 つの入力信号が異なる場合は高抵抗状態になるため、保持力の弱い記憶素子によって直前の値が保持される。SEU によって 1 つのラッチの保持データが反転しても正しい値を保つ。SET に関しても三重化フリップフロップと同様に遅延素子などにより除去している。三重化フリップフロップと比較して BISER は面積が小さく、消費電力も小さい。一方で BISER には内部で生じる SET に対して脆弱である。BISER では C 素子の出力が直接 2 つのスレイブラッチの入力に接続されている。マスターラッチとスレイブラッチの間に存在する C 素子で SET が生じた場合は、2 つのスレイブラッチの入力が同時に反転してエラーとなりやすい。よって BISER では高い動作周波数ではソフトエラー耐性が低下する。

C 素子で生じた SET によるエラーを抑える方法として、図 11 に示す BCDMR (Bistable Cross-coupled Dual Modular Redundancy Flip-Flop) を提案する [7]。BCDMR では C 素子を二重化して出力を別々のスレイブラッチの入力に接続することで、C 素子で SET が生じて最大で 1 つのスレイブラッチしか反転しないようにしている。単に二重化するだけでは保持力の弱い記憶素子も二重化する必要があるが、BCDMR では片方の C 素子の入力にマスターラッチの反転出力を用いることで保持力の弱い記憶素子を 2 つの C 素子で共有している。そのため 2 つの C 素子の出力は保持力の弱い記憶素子を介して接続されているが、片方の C 素子で生じた SET パルスは保持力の弱い記憶素子のインバータを通過するため、正しい値を出力している駆動力の強い C 素子の出力を反転することがない。

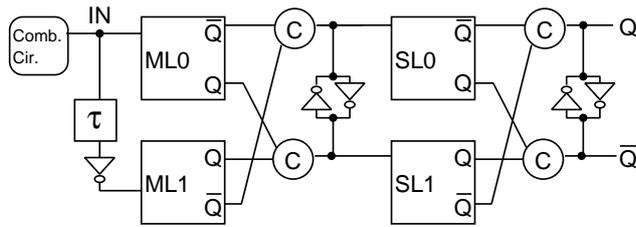


図 11 BISER を改良した二重化フリップフロップ。

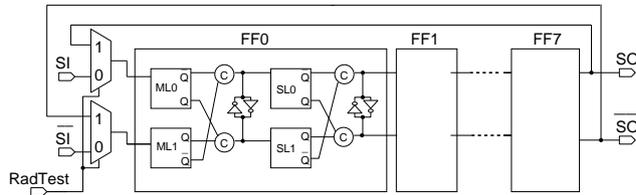


図 12 多重化フリップフロップのソフトエラー耐性評価回路。セレクトの SET は除去するために 2 重化している。

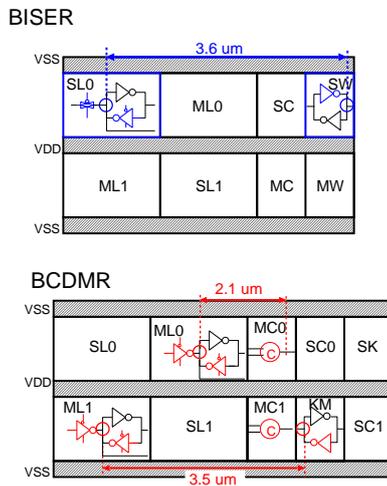


図 13 MCU 耐性を考慮して設計した BISER と BCDMR. MC, SC は C 素子を表し, MW, SW は保持力の弱い記憶素子を表す。(©2011 IEEE)

4.2 中性子加速試験によるソフトエラー耐性評価

4.2.1 測定回路

BCDMRFF と BISER のソフトエラーの違いは高動作周波数でのみ生じる。そのため、クロック信号を適用した状態での測定が可能となるように図 12 の測定回路を利用した。図 12 では通常のシフトレジスタにマルチプレクサを挿入している。粒子線照射時にはこのマルチプレクサの制御信号を“1”に切り替え、ループ構造にすることで、保持値が保たれるようにした。照射後にはループ構造を切り替え、シフトレジスタとして値を読み出し、ソフトエラー率を取得する。

テストチップは前章と同じく 65nm パルクプロセスを用いて設計し、中性子線による加速試験も大阪大学にて行った。チップはツインウェル構造とトリプルウェル構造の 2 種類試作している。前章で示したように多重化した記憶素子を隣接して配置すると MCU によりエラーとなるため、図 13 に示すように配置を工夫して各記憶素子を離して配置した。

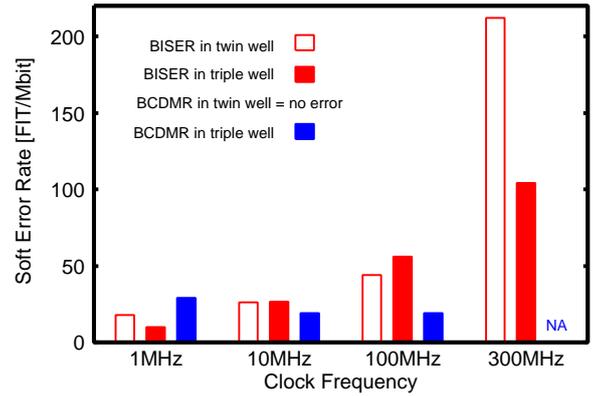


図 14 MCU 耐性を考慮した BISER と BCDMR のソフトエラー率。ツインウェルの BCDMR ではエラー発生せず (9 FIT/Mbit 未満)。

4.2.2 測定結果

BISER と BCDMR のソフトエラー発生数とソフトエラー率を図 14 に示す。BISER と BCDMR ともにエラー耐性が向上している。特にクロック周波数が小さい 1MHz などではエラー率が 20 FIT/Mbit となっており、通常の FF の 17 倍のエラー耐性となっている。ソフトエラー耐性が非常に高いため、100MHz 以下ではエラーが数個しか生じなかった。BISER ではクロック周波数が増加するごとにエラー率が増加し、300MHz でのエラー率は通常の FF の半分程度になっている。一方で提案回路の BCDMR はソフトエラーの発生率は周波数に依存せず、ほぼ一定の値となっている。この結果はソフトエラー耐性の予測と一致しており、C 素子で生じた SET によって既存回路の BISER はエラー耐性が低下することが実測により確認できた。

5. 結 論

本稿では LSI で生じるソフトエラーについてその測定結果と低減手法について述べた。従来の二重化フリップフロップを改良し、高動作周波数帯でもソフトエラー率が増加しない二重化フリップフロップについて紹介した。また微細化に伴って増加している放射線起因の多ビットエラーが記憶素子間の距離に依存することを実測で示し、多ビットエラーを防止するレイアウト手法を提案した。今後の微細プロセスでは構造だけでなく、配置方法などのレイアウトも考慮した設計が求められる。

謝 辞

本研究に用いた TEG 設計は東京大学大規模集積システム設計教育センターを通して行われ、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

文 献

- [1] G. Gasiot, D. Giot, and P. Roche, "Multiple cell upsets as the key contribution to the total SER of 65 nm CMOS SRAMs and its dependence on well engineering," *IEEE Transactions on Nuclear Science*, vol. 54, no. 6, pp. 2468–2473, 2007.

- [2] S. Jagannathan, T.D. Loveless, Z. Diggins, B.L. Bhuva, S-J Wen, R. Wong, and L.W. Massengill, "Neutron- and alpha-particle induced soft-error rates for flip flops at a 40 nm technology node," in *IEEE International Reliability Physics Symposium*, 2011, pp. SE.5.1–SE.5.5.
- [3] J. Furuta, C. Hamanaka, K. Kobayashi, and H. Onodera, "A 65nm flip-flop array to measure soft error resiliency against high-energy neutron and alpha particles," in *16th Asia and South Pacific Design Automation Conference (ASP-DAC)*, 2011, pp. 83–84.
- [4] J. Furuta, R. Yamamoto, K. Kobayashi, and H. Onodera, "Evaluation of parasitic bipolar effects on neutron-induced SET rates for logic gates," in *IEEE International Reliability Physics Symposium (IRPS)*, Apr. 2012, pp. SE.5.1–SE.5.5.
- [5] N. Gaspard, S. Jagannathan, Z. Diggins, M. McCurdy, T.D. Loveless, B.L. Bhuva, L.W. Massengill, W.T. Holman, T.S. Oates, Y.-P. Fang, S.-J. Wen, R. Wong, K. Lilja, and M. Bounasser, "Estimation of hardened flip-flop neutron soft error rates using SRAM multiple-cell upset data in bulk CMOS," in *IEEE International Reliability Physics Symposium*, 2013, pp. SE.6.1–SE.6.5.
- [6] S Mitra, Ming Zhang, S. Waqas, N. Seifert, B. Gill, and Kee Sup Kim, "Combinational logic soft error correction," in *IEEE International Test Conference*, 2006, pp. 1–9.
- [7] R. Yamamoto, C. Hamanaka, J. Furuta, K. Kobayashi, and Hidetoshi Onodera, "An area-efficient 65 nm radiation-hard dual-modular flip-flop to avoid multiple cell upsets," *IEEE Transactions on Nuclear Science*, vol. 58, no. 6, pp. 3053–3059, Dec. 2011.