

## 65 nm プロセスにおけるアンテナダメージによる経年劣化の測定と評価

岸田 亮<sup>†</sup> 大島 梓<sup>†</sup> 小林 和淑<sup>†</sup>

<sup>†</sup> 京都工芸繊維大学 工学科学研究科 電子システム工学専攻

あらまし 近年の集積回路の微細化により、アンテナダメージによる信頼性の低下が懸念されている。本稿では、アンテナダメージによる経年劣化 (BTI, Bias Temperature Instability) への影響を評価する。評価回路には発振経路 1ヶ所のアンテナ構造を変えたリングオシレータを用いる。アンテナ比 5k 以下であるアンテナダメージの小さい構造では、NBTI (Negative BTI) への影響はダメージを受ける構造と緩和する構造とで同じであった。アンテナ比 50k のアンテナダメージの大きい構造では NBTI が増加した。アンテナ比 50k でも PBTI (Positive BTI) は発生せず、ポリシリコンゲートでは PBTI が発生しないことを確認した。バルクと SOTB (Silicon On Thin BOX) で BTI の傾向が同じであることから、SOTB でもアンテナダメージを緩和できる。ダメージを緩和するにはアンテナをドレインにつなげることが有効である。

キーワード アンテナダメージ, BTI (Bias Temperature Instability), SOTB (Silicon On Thin BOX), リングオシレータ, 発振周波数, 信頼性

## Measurements and Evaluations of Aging Degradation Caused by Plasma Induced Damage in 65 nm Process

Ryo KISHIDA<sup>†</sup>, Azusa OSHIMA<sup>†</sup>, and Kazutoshi KOBAYASHI<sup>†</sup>

<sup>†</sup> Department of Electronics, Graduate School of Science and Technology, Kyoto Institute of Technology

**Abstract** Degradations of reliability caused by plasma induced damage (PID) have become a significant concern with miniaturizing a device size. In this paper, we evaluate aging degradation (BTI, Bias Temperature Instability) caused by PID. We fabricate ring oscillators with an antenna structure on a single stage. NBTI (Negative BTI) is almost equivalent between a structure caused by PID and that relieving PID in small PID structures which are less than AR (Antenna Ratio) of 5k. NBTI increases in large PID structures which is AR of 50k. PBTI (Positive BTI) does not occur even in AR of 50k. PBTI does not appear in poly silicon gate. SOTB (Silicon On Thin BOX) can relieve PID because BTI degradation is equivalent between bulk and SOTB. Connecting an antenna to a drain is good approach to relieve PID.

**Key words** PID (Plasma Induced Damage), BTI (Bias Temperature Instability), SOTB (Silicon On Thin BOX), ring oscillator, frequency, reliability

### 1. 序 論

近年の集積回路の微細化により、アンテナダメージによる素子特性の劣化が報告されている [1], [2]。MOSFET を製造する際、金属配線に蓄積した電荷が MOSFET のゲート部分を通じてゲート酸化膜に流れ、ゲート酸化膜がダメージを受ける。このダメージをアンテナダメージと呼ぶ。アンテナダメージによってしきい値電圧の増加やゲートリーク電流の増加などの特性劣化が起こり、最悪の場合ゲート酸化膜が破壊されて動作しなくなる [3]。アンテナダメージによって歩留まりが悪化したり信頼性が低下したりするため、アンテナダメージの影

響を調べることは重要である。アンテナダメージは製造時の問題であるが、動作時に避けられない問題もある。BTI (Bias Temperature Instability) に代表される経年劣化がその 1 つである [4]。電圧を印加し続けると、時間経過に伴ってしきい値電圧が増加する。BTI は素子を使用する上で、避けて通れない問題である。アンテナダメージと BTI には相関があると考えられ、本稿ではこの相関がどの程度あるのかを報告する。11 段リングオシレータにおいて発振経路の 1ヶ所のみアンテナを接続した回路を試作する。試作した回路の発振周波数を測定することで、アンテナダメージと BTI の影響を評価する。

本稿の構成を述べる。2 節で信頼性低下の原因となるアンテ

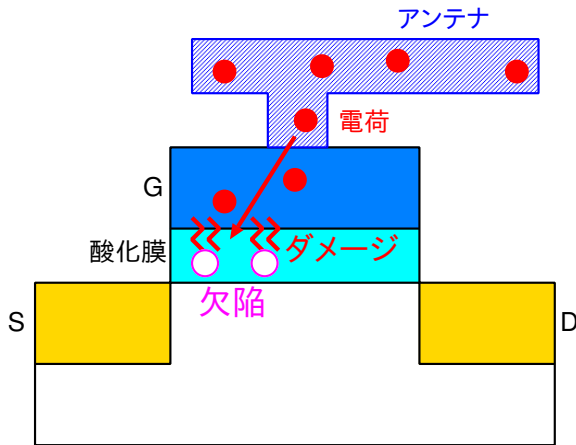


図1 アンテナによるゲート酸化膜へのダメージ

ナダメージおよびBTIについて詳しく述べる。3節ではアンテナダメージの影響を調べるために製造した回路構造を述べる。4節で測定結果を示し、最後に5節で結論を述べる。

## 2. アンテナダメージの影響

ここではアンテナダメージの概要と、それによって発生する影響を述べる。

### 2.1 アンテナダメージ

アンテナとは、製造工程で電荷がたまってきた金属配線のことである[5]。MOSFETを製造する際、エッチングやスパッタリングでプラズマ加工を行うため、プラズマによる電荷が金属配線に蓄積する[6]。近年の銅配線では金属配線を加工する工程以外でも、電荷が蓄積する。配線層上層の絶縁膜を加工する工程や、絶縁膜の摩擦による帯電などが挙げられる。近年の微細化によって絶縁膜が薄膜化しているため、帯電による影響が大きくなると考えられる。

図1のようにアンテナがMOSFETのゲート(G)に接続されると、ゲートから酸化膜に電荷が流れこみ、酸化膜がダメージを受ける。このダメージをアンテナダメージと呼ぶ。最悪の場合、ゲート酸化膜が壊れてMOSFETとして動作しなくなる。壊れなかったとしても、アンテナダメージによって酸化膜に欠陥が作られ、しきい値電圧増加やリーク電流増加などの素子特性悪化の原因となる。アンテナダメージは製造工程上で発生するため、避けられない問題である。

### 2.2 アンテナダメージの緩和

アンテナを先にゲートへ接続するとアンテナダメージが発生するが、アンテナとなる配線より上層の配線を用いてアンテナをドレインへ接続することでアンテナダメージを緩和できる。図2にアンテナダメージの緩和方法を示す。アンテナに電荷がたまってきたとしても、アンテナはゲートにつながっていないため、ドレインを通じて基板へ電荷が流れる。アンテナより上層の配線はアンテナより後で作られる。上層の配線を作るときに、アンテナでたまっていた電荷ははかないため、電荷はゲート酸化膜に流れず、アンテナダメージは緩和される。

しかし、SOI (Silicon On Insulator) ではドレインによりア

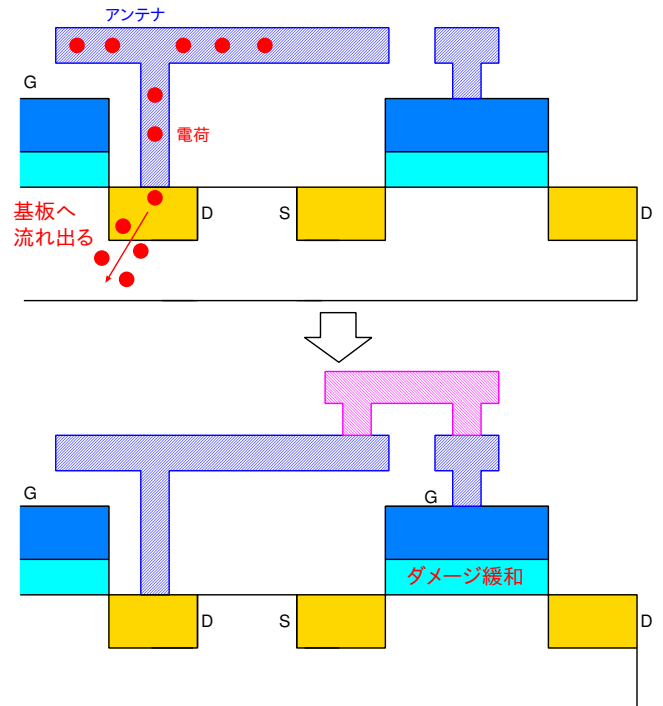


図2 バルクでのドレイン接続によるアンテナダメージの緩和

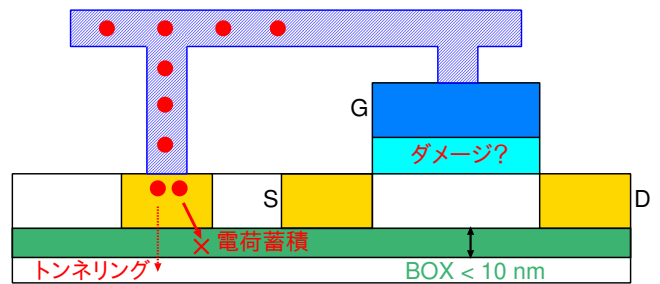


図3 SOTBにおけるアンテナのドレイン接続による電荷蓄積およびトンネリング

ンテナダメージを緩和できない。ドレインと基板の間に絶縁層 (BOX 層) があり、電荷が基板へ流れ出ないためである。アンテナの電荷がドレインにたまり、ゲートへ流れ込んで酸化膜がダメージを受ける。今回試作に用いたSOTB (Silicon On Thin BOX) はFDSOI (Fully-Depleted SOI) と呼ばれる完全空乏型のSOIである[7]。SOTBにはBOX層が10 nm以下という特徴がある。SOTBはSOIの1種なので、ドレインによって緩和できない可能性があるが、薄いBOX層を電荷が通過することも考えられる。図3はSOTBにおいてアンテナをドレインにつなげたときを表している。電荷がフラッシュメモリと同様の原理でBOX層を通過すれば基板へ電荷が流れ出るため、SOTBもドレインによってアンテナダメージを緩和できる[8]。

### 2.3 BTI (Bias Temperature Instability)

BTIは経年劣化の主要因の1つである[4]。MOSFETに電圧や温度によるストレスを加えると、時間経過に伴ってしきい値電圧が増加する。このしきい値電圧増加がビットエラーなどの悪影響をもたらす。微細化に伴ってBTIが顕在化してきているため、BTIの影響を考える必要が出てきている[9]。BTIに

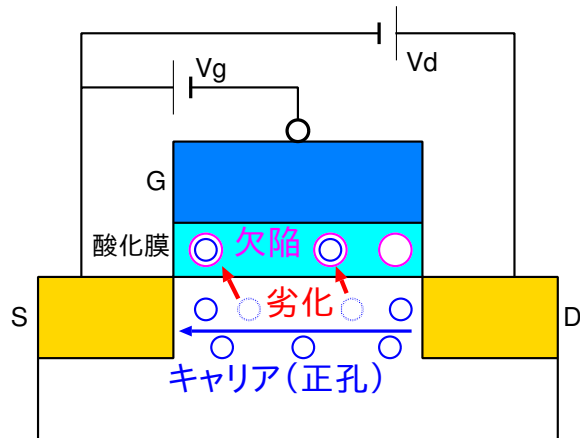


図4 トラップ・デトラップモデルによるしきい値電圧変動を表したMOSFET 断面の模式図

は劣化現象だけではなく回復現象が存在する．ストレスを取り除くと、劣化していたしきい値電圧が元にもどる．しかし、劣化したしきい値電圧が完全に回復するわけではない．原因としてトラップ・デトラップモデルが考えられている [10]．図4にトラップ・デトラップモデルによるしきい値電圧変動を表したMOSFET 断面の模式図を示す．ゲート酸化膜の欠陥がチャネルを流れるキャリアを捕獲することでしきい値電圧が劣化（増加）する．欠陥には捕獲および放出するまでの時定数 ( $\tau$ ) が存在する．時定数は  $10^9 \sim 10^{-9}$  s に幅広く分布するとされている．放出するまでの時定数が長いと、一度捕獲されたキャリアは元に戻らず、ストレスを取り除いても回復しない．本稿では回復現象は測定せず、劣化のみを測定する．

BTIにはNBTI (Negative BTI) とPBTI (Positive BTI) の2種類がある．NBTIはPMOSでゲート・ソース間電圧が存在するとき ( $V_{gs} < 0$  V) に発生する．65 nm以下のゲート長で顕在化している．PBTIはNBTIの逆で、NMOSで  $V_{gs} > 0$  V となるときに発生する．PBTIは45 nm以下のプロセスで顕在化する．これは45 nm以下のプロセスから high-k と呼ばれる高誘電率のゲート酸化膜を用いるためである [11]．今回試作したプロセスは65 nmであり、high-kを用いていないためPBTIは発生しない．

#### 2.4 アンテナダメージとBTIの相関

アンテナダメージが増加するとBTIが増加すると考えられる．どちらもゲート酸化膜の欠陥に関わりがあるためである．アンテナダメージによってゲート酸化膜に欠陥が作られる．アンテナダメージが大きいほど、より多くの欠陥が作られる．この酸化膜の欠陥がキャリアを捕獲・放出することによってBTIが発生する．欠陥が多いほど、しきい値電圧がより変動することにつながるため、アンテナダメージとBTIには相関があるといえる．

### 3. 測定回路

アンテナダメージの影響を調べるために、11段リングオシレータにおいて発振経路の1ヶ所のみアンテナを接続した回路で発振周波数を測定する．アンテナダメージによってしき

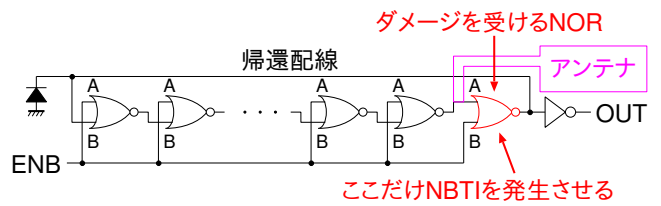


図5 NORで構成したNBTIのみ発生するリングオシレータ評価回路

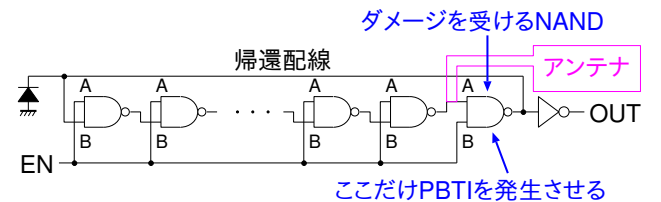


図6 NANDで構成したPBTIのみ発生するリングオシレータ評価回路

い値が増加し、発振周波数が低下することを確認する．65 nm CMOS プロセスを用いて、バルクとSOTBの2構造を試作する．両構造ともにレイアウトは同じである．試作した回路構造の違いについて以下で述べる．

#### 3.1 NBTI型とPBTI型リングオシレータ

アンテナダメージとBTIの相関を見るために、アンテナダメージを受ける部分のみにBTIを発生させる．NBTIのみを発生させる回路を図5、PBTIのみを発生させる回路を図6に示す．図5のNBTI型はNORのみでリングオシレータを構成している．NORのみを用いることで発振停止時に各段の出力が0となり、NBTIのみが発生する．しかし、これだけではアンテナダメージを受けるNOR以外もNBTIが発生する．対策として図7のNORでリングオシレータを構成し、アンテナ次段のNORのみに図8を用いる．電源に近い方のPMOSを  $PMOS_A$  とし、電源から遠い方を  $PMOS_B$  とする．図7では端子Aを発振制御端子ENBにつなぐ．このNORではENBを0にして発振を停止させると、 $PMOS_B$  は  $V_{gs} = 0$  V であるためNBTIは発生しない．図8では端子Bを発振制御端子ENBにつなぐ．ENBを0にすると  $PMOS_A$  は  $V_{gs} < 0$  V となり、NBTIが発生する．PBTI型では双対関係を利用しNANDを用いることで、アンテナダメージを受ける部分のみにPBTIを発生させる．

#### 3.2 アンテナ接続構造

図9のようなアンテナの接続構造を作る．接続構造の名前はアンテナ(A)がMOSFETのどの部分に接続しているかを表している．ゲート(G)に接続していればAG、ドレインとゲート両方に接続していればDG、ドレイン(D)に接続していればADとする．

M1～M3は全て金属配線であり、数字の小さい方が先に作られる．(a)AGはプロセス工程のM2を加工している途中でゲートがダメージを受け続ける．M2のアンテナでたまる電荷が全てゲートに流れるからである．(b)DGはゲートにダメージは受けるものの、ドレインによりアンテナダメージが緩和されるた

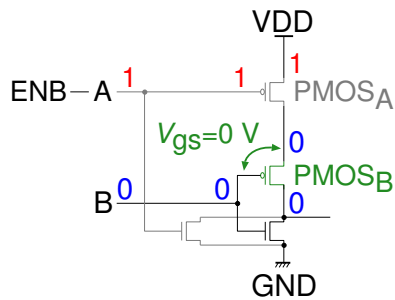


図 7 発振停止時に NBTI が発生しない NOR

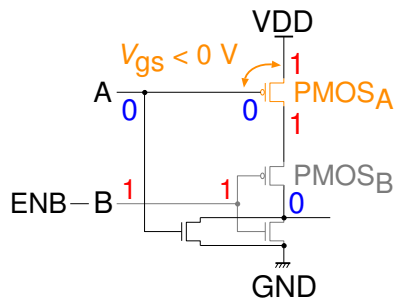


図 8 発振停止時に NBTI が発生する NOR

め AG ほど大きなダメージはない。(c)AD は最もダメージを受けにくい構造である。M2 を加工している途中ではドレインを通じて基板に電荷が流れ出て行き、ゲートはダメージを受けないからである。

SOTB における (b)DG と (c)AD では、(a)AG と同じ程度のダメージを受ける可能性がある。SOTB はドレインと基板の間に絶縁層がある構造で、電荷が基板に流れ出ない。そのためドレインによる緩和ができず、ダメージを受ける可能性がある。

帰還配線によってもアンテナダメージを受ける可能性があるため、初段ゲートの直前にダイオードを入れる。帰還配線でたまる電荷はダイオードを通じて基板へ流れ出る。

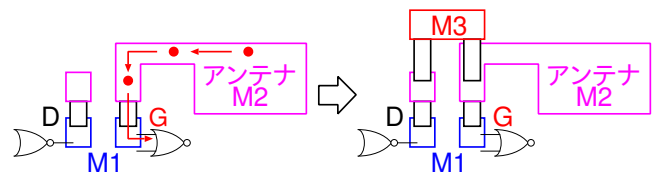
### 3.3 アンテナ比 (AR)

アンテナ比は (アンテナ面積 / ゲート面積) で表され、アンテナダメージの大きさを表す。アンテナ面積は側壁面積を用いる場合もあるが、ここでは試作プロセスの設計ルールに従い、アンテナ面積とゲート面積に底面積を用いる。アンテナ面積が大きいほど、アンテナにたまる電荷が多くなるため、アンテナダメージが大きくなる。アンテナ比は 500, 5k, 50k の 3 種類とする。500 はアンテナルールの限界値である。アンテナルールとは MOSFET を製造するときに守らなければならないアンテナ比に基づいた規則である。

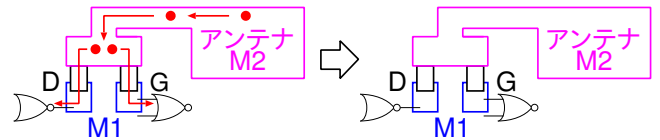
製造したチップ写真を図 10 に示す。通常動作電圧は 1.2 V で、I/O 電圧は 3.3 V である。チップの中央にアンテナダメージを評価する回路を配置している。

## 4. 経年劣化測定結果

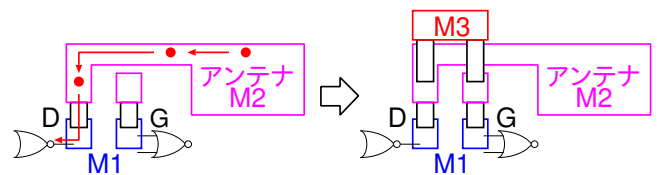
3 節で説明した各構造において作成した回路で経年劣化を測定した結果を示す。同じ構造のリングオシレータはアンテナ比 500, 5k, 50k がそれぞれ 96 個, 98 個, 70 個あり、各平均値を計算する。



(a) AG 接続構造：電荷がゲートへ流れてダメージ大



(b) DG 接続構造：電荷がゲートとドレインの両方に流れてダメージ緩和



(c) AD 接続構造：電荷がドレインへ流れ出てダメージ最小

図 9 アンテナ接続構造

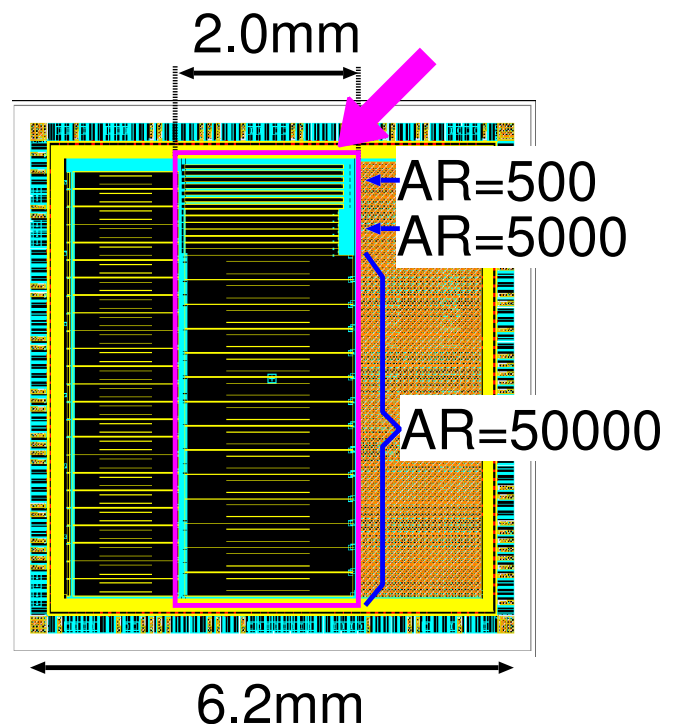


図 10 製造したチップ写真

### 4.1 測定方法

BTI を加速するために電源電圧を 1.5 V、温度は恒温装置を用いて 80 °C として発振周波数を測定する。リングオシレータの EN 端子を 0 (ENB 端子を 1) に固定することで BTI によるストレスを与え続ける。各測定点において EN 端子を 1 にすることで発振させて発振周波数を測定する。EN 端子を 1 にする時間は 32 μs のみであるため、BTI による静止時のストレスが

支配的となる．初期周波数からどれだけ劣化したかを見るために，式 (1) で計算される発振周波数比率 (Degradation Rate) を用いる． $F_0$  は測定時間  $t = 0$  s での初期発振周波数， $F(t)$  は各時刻  $t$  での発振周波数である．

$$\text{Degradation Rate} = \frac{F_0 - F(t)}{F_0} \quad (1)$$

#### 4.2 結果

バルク構造における NBTI 型アンテナ比 50k と 5k での経年劣化測定結果をそれぞれ図 11, 12 に示す．横軸はストレス時間，縦軸は発振周波数劣化率である．グラフの点が各測定点での発振周波数比率であり，上にあるほどより劣化していることを表す．時間経過に従って劣化率が増加しているため，NBTI による経年劣化は発生している．しかし，各時間において測定点が重なっているため，接続構造によって経年劣化は変わらない．アンテナ比 5k 以下ではアンテナダメージによって経年劣化は増大しない．図 13 に先ほどと同じ構造でアンテナ比 50k での測定結果を示す．ダメージを受ける AG 構造は他の緩和構造と比べて 1.5 倍以上の劣化率である．アンテナダメージが大きくなると経年劣化は増加する．ADG 構造と AD 構造は同じ劣化率である．アンテナがドレイン接続されていれば，アンテナダメージを緩和できる．

図 14 にアンテナ比 50k の PBTI 型での測定結果を示す．ストレスを加え続けても，劣化率は増加していない．各時間毎に劣化率がばらついてはいるが，これは電源電圧揺らぎ等による測定誤差の影響が大きく出ていると考えられる．65 nm プロセスでは PBTI は発生しないという予想通りの結果が得られた．

図 15 に SOTB における NBTI 型アンテナ比 50k での測定結果を示す．この結果は図 13 におけるバルクでの結果とほぼ同じである．SOTB におけるアンテナダメージの影響はバルクと同じであり，ドレイン接続によりバルクと同様に緩和できる．SOTB は BOX 層があっても BOX 層が 10 nm 以下と薄いため，トンネリングによって電荷が基板へ通過すると考えられる．これは 10 nm 以下の酸化膜をもつフラッシュメモリでのトンネリングと同じ原理である．フラッシュメモリでは 10 nm の酸化膜に 12 V 程度の高電界を印加することで，電荷がトンネリングによって酸化膜を通過することを利用している．配線加工時もアンテナにたまった電荷によって電界が加えられる．フラッシュメモリと同程度の電界が BOX 層に加えられることで，電荷が BOX 層を通過して基板へ流れ出る．

#### 5. 結論

アンテナダメージと経年劣化の影響を検証するために，65 nm のバルクおよび SOTB プロセスで 11 段リングオシレータを試作して発振周波数を測定した．発振経路の 1ヶ所にアンテナを接続し，アンテナ構造を変えて経年劣化がアンテナダメージによって違いが出るかを調べた．アンテナ比 5k 以下ではアンテナダメージによって経年劣化は増加しない．しかし，アンテナ比 50k ではダメージを受ける構造と緩和する構造で，劣化率が 1.5 倍以上異なる．アンテナダメージが大きくなると経年劣化は増加する．NOR の代わりに NAND のみで構成したリングオ

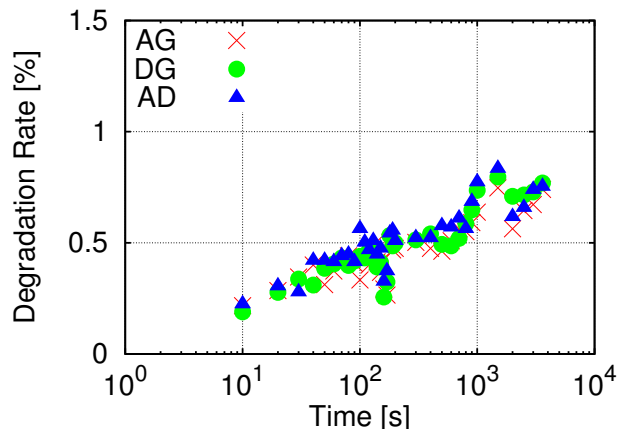


図 11 アンテナ比 500 における経年劣化測定結果

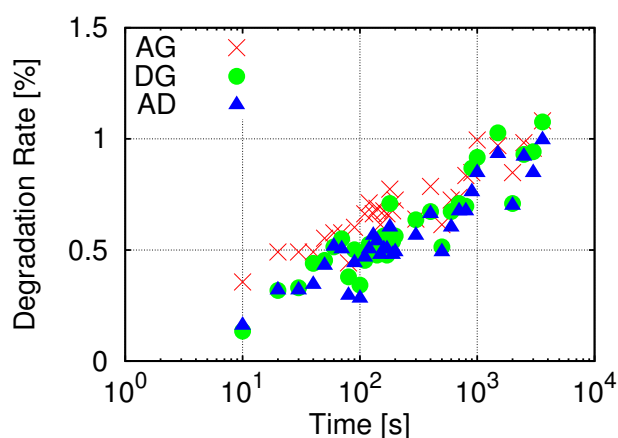


図 12 アンテナ比 5k における経年劣化測定結果

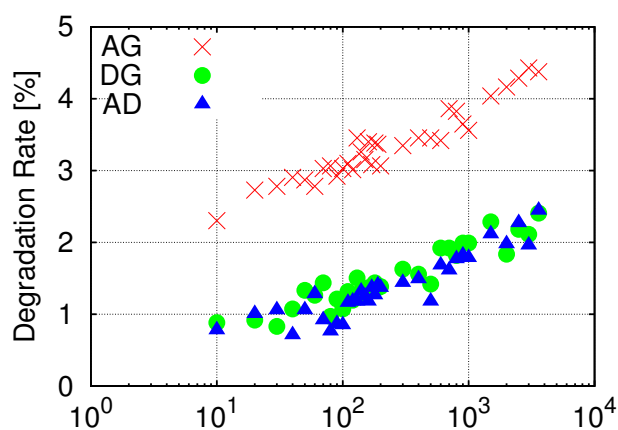


図 13 アンテナ比 50k における経年劣化測定結果

シレータを用いて測定することで，PBTI はアンテナダメージが大きくなって増加しないことを確認した．65 nm の  $\text{SiO}_2$  ゲート酸化膜では PBTI の影響はない．バルクでの測定結果は SOTB と同じであったため，SOTB は BOX 層があってもアンテナダメージを緩和することができる．製造時にアンテナにたまる電荷は，薄い 10 nm の BOX 層をトンネリングによって通過する．これは 10 nm 以下のゲート酸化膜をもつフラッシュメモリで利用するトンネリングと同じである．

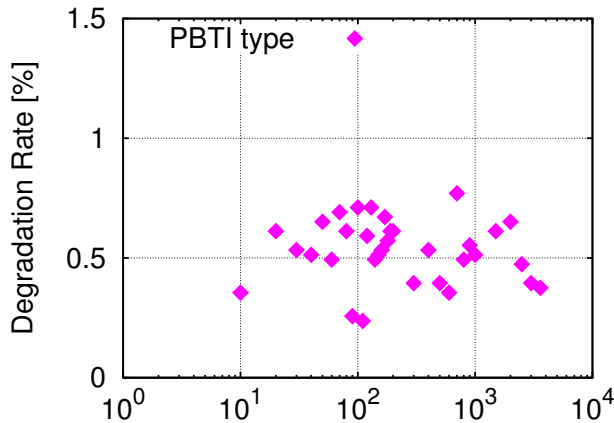


図 14 PBTI 型でのアンテナ比 50k における経年劣化測定結果

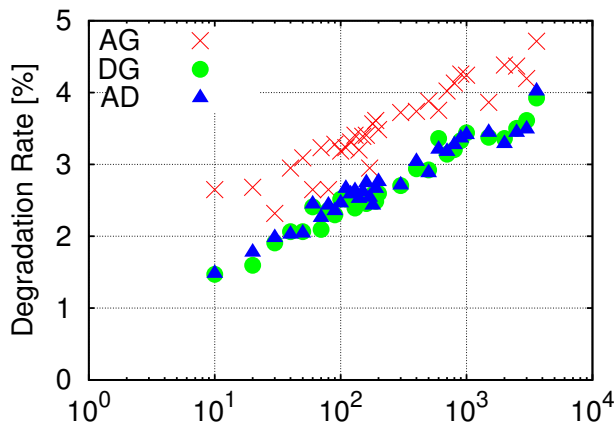


図 15 SOTB でのアンテナ比 50k における経年劣化測定結果

謝辞 本研究は METI, NEDO 委託先である LEAP の「低炭素社会を実現する超低電圧デバイスプロジェクト」において共同実施された。本研究に用いた TEG 設計は東京大学大規模集積システム設計教育センターを通して行われ、シノプシス株式会社、日本ケイデンス株式会社とメンターグラフィクス株式会社の協力で行われたものである。

#### 文 献

- [1] R. Kishida, A. Oshima, M. Yabuuchi, and K. Kobayashi, "Initial and long-term frequency degradation on ring oscillators from plasma induced damage in 65 nm bulk and silicon on thin box processes," SSDM, pp.52-53, 2014.
- [2] W.H. Choi, S. Satapathy, J. Keane, and C.H. Kim, "A test circuit based on a ring oscillator array for statistical characterization of plasma-induced damage," CICC, p.14-3, 2014.
- [3] F.L. Chow and A. Chin, "Failure analysis on plasma charging induced damage due to effect of circuit layout & device structure marginality," IPFA, pp.1-5, 2012.
- [4] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, "NBTI degradation: From transistor to SRAM arrays," IRPS, pp.289-300, 2008.
- [5] A.C.Mocuta, T.B.Hook, A.I.Chou, T.Wagner, A.K.Stamper, M.Khare, and J.P.Gambino, "Plasma charging damage in SOI technology," American Vacuum Society, pp.104-107, 2001.
- [6] S. Samukawa, "Plasma-induced damage and its control in plasma etching processes," ICICDT, pp.1-4, May 2007.

- [7] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, and H. Matsuoka, "Silicon on thin BOX: A new paradigm of the CMOS-FET for low-power high-performance application featuring wide-range back-bias control," IEDM, pp.631-634, 2004.
- [8] T. Hori, "Gate dielectrics and mos ulsis: Principles, technologies, and applications," Springer series in electronics and photonics, 1997.
- [9] H. Reisinger, "NBTI: Recent findings and controversial topics," IRPS, 2011. Monday Tutorial Presentations.
- [10] B. Kaczer, S. Mahato, V. de Almeida Camargo, M. Toledano-Luque, P. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, "Atomistic approach to variability of bias-temperature instability in circuit simulations," IRPS, pp.XT.3.1-XT.3.5, 2011.
- [11] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, "A comparative study of NBTI and PBTI (charge trapping) in SiO<sub>2</sub>/HfO<sub>2</sub> stacks with FUSI, TiN, re gates," VLSI Tech. Symp., pp.23-25, 2006.