

# 65nm SOTB プロセスで試作したリングオシレータを用いた アンテナダメージによる初期発振周波数劣化の測定と評価

大島 梓 岸田 亮 籾内美智太郎 小林 和淑

京都工芸繊維大学 電子システム工学専攻 〒606-8585 京都府京都市左京区松ヶ崎

E-mail: †{aoshima, rkishida, myabuuchi, kazutoshi.kobayashi}@vlsi.es.kit.ac.jp

あらまし 近年の集積回路の微細化に伴い、BTI やアンテナダメージの影響が深刻化している。本研究では、65nm バルク・SOTB (Silicon On Thin BOX) プロセスにおいて、発振経路の一端所にアンテナを接続したリングオシレータ回路の初期発振周波数を測定した。そのシミュレーション値と測定値の差を変動量としてしきい値電圧の変動量に換算して、アンテナダメージの影響を評価した。その結果、SOTB プロセスにおいて、アンテナをドレインに先かゲートと同時に接続するドレイン接続構造はダメージ緩和に有効であるが、アンテナの周囲長が大きいとダメージを緩和できない。ドレイン接続構造はアンテナ比に伴ってしきい値電圧が増える。

キーワード アンテナダメージ, FD-SOI, BTI, リングオシレータ, 発振周波数, しきい値電圧, 信頼性

## Initial Frequency Degradation on Ring Oscillators in 65-nm SOTB Process Caused by Plasma-Induced Damage

Azusa OSHIMA, Ryo KISHIDA, Michitarou YABUUCHI, and Kazutoshi KOBAYASHI

Department of Electronics, Kyoto Institute of Technology, Matsugasaki, Sakyo-ku, Kyoto-shi, Kyoto,  
606-8585 Japan

E-mail: †{aoshima, rkishida, myabuuchi, kazutoshi.kobayashi}@vlsi.es.kit.ac.jp

**Abstract** Reliability issues, such as plasma-induced damage (PID) and Bias Temperature Instability (BTI), become dominant on integrated circuits. We measure initial frequencies on ring oscillators with an antenna in one stage in 65-nm bulk and SOTB (Silicon On Thin BOX) processes. Initial frequency variations are converted to threshold voltage shifts. Impacts on initial frequencies and threshold voltages by PID are evaluated. We show that PID can be relieved using the drain-connection-structures in which an antenna is connected to drain first or at the same time as a gate, but the amount of relaxation of PID becomes small when an antenna has a big perimeter. We also reveal that threshold voltage increases with antenna ratio in the drain-connection-structures.

**Key words** plasma-induced damage, FD-SOI, BTI, ring oscillator, frequency, threshold voltage, reliability

### 1. ま え が き

近年、集積回路の微細化が進みパソコンなどの電子機器が高集積化が進んでいる一方、消費電力が増大している。この問題に対処すべく、LEAP によって SOTB (Silicon On Thin BOX) プロセスが開発された。図 1 に示すように SOTB は従来のバルクプロセスの基板に BOX (Buried OXide) 層と呼ばれる絶縁膜を挿入した構造をもつ [1]。チャンネル部分が完全に空乏化している FD-SOI (Fully depleted - Silicon On Insulator) 構造であり、不純物濃度が低く、不純物によるばらつきを抑制できる [2]。ソース/ドレインと基板間の接合容量や基板への漏れ電流が小さくなるため、バルク構造に比べて低い電圧で動作する

という利点がある。ソフトエラーと呼ばれる粒子線が当たることによる一時故障への耐性がバルクに比べ強いとされており、今後普及していくことが見込まれる有望なプロセスである [3]。しかし、BOX 層によりトランジスタ層が基板と切り離されているため SOTB はバルクよりもアンテナダメージとよばれる信頼性問題に対して脆弱ではないかという指摘がある [4]。本論文ではバルクとの比較により SOTB におけるアンテナダメージの影響について調べる。

アンテナダメージとは製造時に出来る欠陥により MOSFET の特性が劣化する現象であり、発振周波数の低下や BTI (Bias Temperature Instability)、しきい値電圧の増加などを引き起こし、最悪の場合動作不良に陥るため、それに対する対策が必要

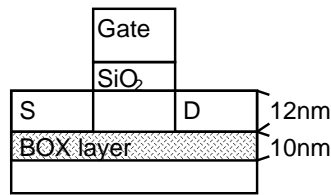


図 1 SOTB 構造

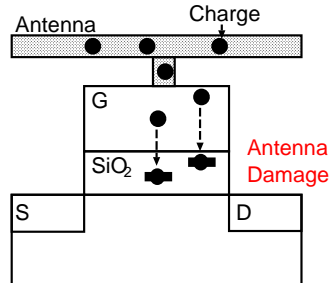


図 2 アンテナダメージによる劣化の原理

である。しかし、現在までアンテナダメージがどのような構造で起こりやすいのかといった疑問が完全に明らかにされていない。アンテナダメージへの対策の前段階として、本論文ではアンテナ比、アンテナ接続構造、アンテナ形状、引き起こす BTI などの構造の違いによりアンテナダメージが MOSFET にどのような影響を及ぼすかを評価し、ダメージの軽減方法を探る。評価には、リングオシレータの初期発振周波数測定としきい値電圧変動シミュレーションを用いる。

本論文の構成は次の通りである。2 節でアンテナダメージについて解説し、3 節で測定回路について述べる。4 節で測定とシミュレーションの結果と考察を示す。5 節で結論とする。

## 2. アンテナによる影響

### 2.1 アンテナダメージ

アンテナダメージは MOSFET の特性を劣化させる要因のひとつである。アンテナダメージを引き起こすアンテナとはプラズマエッチングにより電荷が溜まった金属配線のことである。図 2 のようにアンテナを MOSFET のゲート部分に接続すると、ゲート酸化膜に電荷が流出してダメージを受けて欠陥が発生する。これがアンテナダメージである。これにより発生した欠陥がチャネルを流れるキャリアを捕捉することによって MOSFET の特性が劣化する。

近年の集積回路の微細化に伴い、アルミ配線から銅配線に移行した。アルミ配線ではプラズマエッチングを用いていたが、銅配線ではエッチングではなくデュアルダマシンプロセスを用いている。ここでは、配線層の上層の絶縁膜を削る際の摩擦により下層の配線層に電荷が溜まり、アンテナダメージを引き起こす。

アンテナダメージの影響は、発振周波数低下、しきい値電圧増加、特性ばらつき、そして次節で述べる BTI などがあり、深刻化するとゲート酸化膜が破壊されて動作不良を起こす。このようなアンテナダメージの影響は、式 (1) で表されるアンテナ比 (Antenna Ratio, AR) によって決まる。アンテナ比は各ゲート

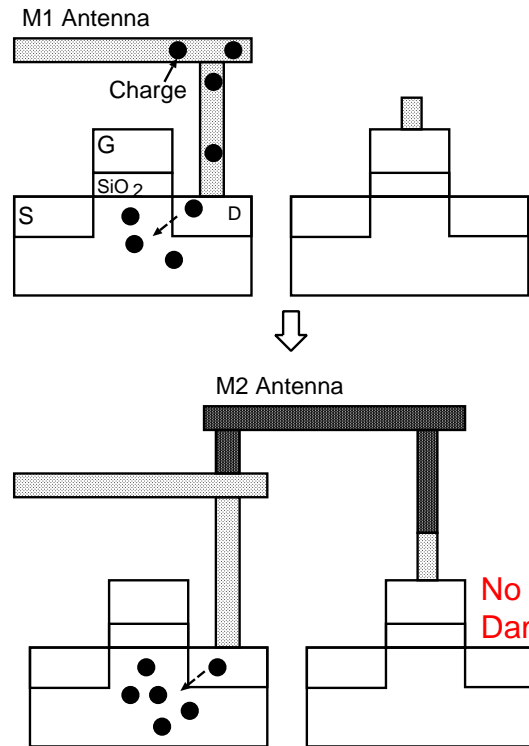


図 3 バルクにおけるドレイン接続によるアンテナダメージの緩和

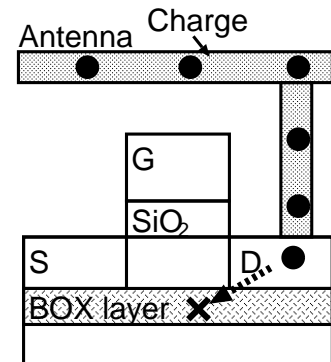


図 4 SOTB におけるドレイン接続の様子

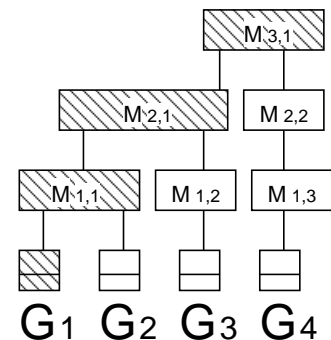


図 5 アンテナ比の計算

に対して決まっており、図 5 のようにそのゲートが繋がっている最上層の金属配線までのアンテナ面積に比例している。

$$\text{アンテナ比 (AR)} = \frac{\text{アンテナ面積}}{\text{ゲート面積}} \quad (1)$$

現在行われているアンテナダメージに対する対策として、次

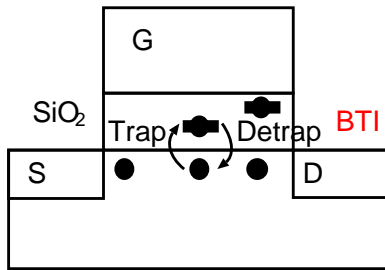


図 6 BTI の発生原理 (トラップデトラップモデル)

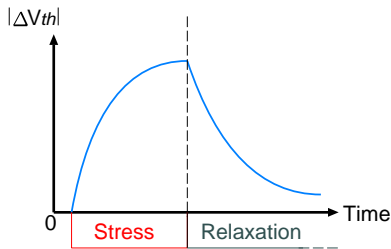


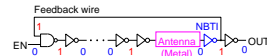
図 7 BTI によるしきい値電圧の劣化と回復

のようなものが挙げられる。各社でレイアウト設計時に独自のアンテナルールを設け、アンテナ比の限界値を設定しエラーを回避するように配線を行う。これにより、巨大なアンテナ比をもつ配線を排除し、アンテナダメージの影響を抑える。今回試作した LEAP ではアンテナ比の限界値は 500 である。

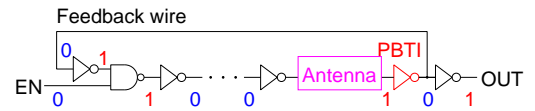
アンテナダメージの低減をはかるためには、図 3 のようにドレインに接続した後にゲートに接続する。図中の M1, M2 は第 1 層目, 第 2 層目金属配線であり, M1 の方が M2 よりも先に作られる。そのため, M1 をドレインにのみ接続しておけば, 製造中に電荷が基板に流出し, その後 M2 をゲートに繋いだとしても電荷が流出することはなく, アンテナダメージが防げる。しかし, これはバルクの場合であり SOTB プロセスでは図 4 のように BOX 層が基板への電荷の流出を妨げるため, M2 に繋いだ後ゲートに電荷が流出しダメージを防げない可能性がある。このことが SOTB のアンテナダメージへの脆弱性に繋がる。

## 2.2 BTI

アンテナダメージによって引き起こされる劣化現象のひとつとして BTI がある。BTI はゲート酸化膜にある欠陥が温度や電圧などのストレスを受けると、酸化膜直下を流れるキャリアが捕捉されて、チャネル電流が減少することによって起きる経年劣化現象である (図 6)。影響としてしきい値電圧の増加などが挙げられる [5]。PMOS で負バイアスがかかったときに起きるものを NBTI, NMOS で正バイアスがかかったときに起きるものを PBTI と呼ぶ。従来は NBTI のみを取り上げられてきたが 65nm プロセス以降では high-k メタルゲートを用いていることから, PBTI も顕著になってきている [6], [7]。BTI の特徴としてストレスが取り除かれると劣化が回復する現象が挙げられる。図 7 のように、ストレスがかかっている間はしきい値電圧は増加するが、取り除かれると元に戻ろうとする [8]。しかし、完全に戻るわけではなく部分的に回復しない成分が残る。これが蓄積していくことで MOSFET の経年劣化をもたらす。

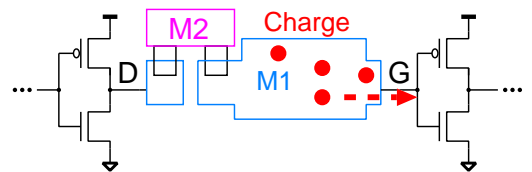


(a) NBTI 発生回路

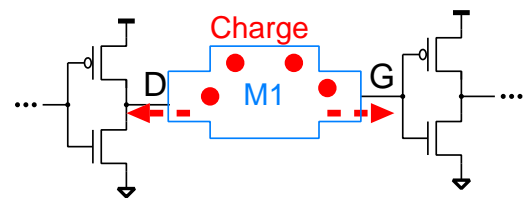


(b) PBTI 発生回路

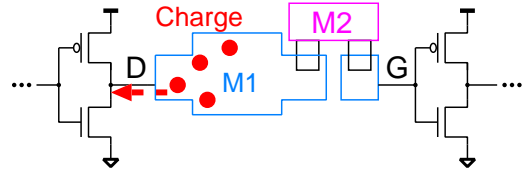
図 8 11 段リングオシレータ



(a) AG (ダメージ大)

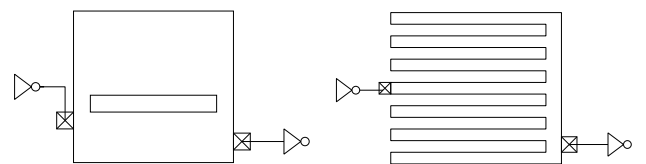


(b) ADG (ダメージ中)



(c) AD (ダメージ小)

図 9 アンテナ接続構造



(a) 長方形

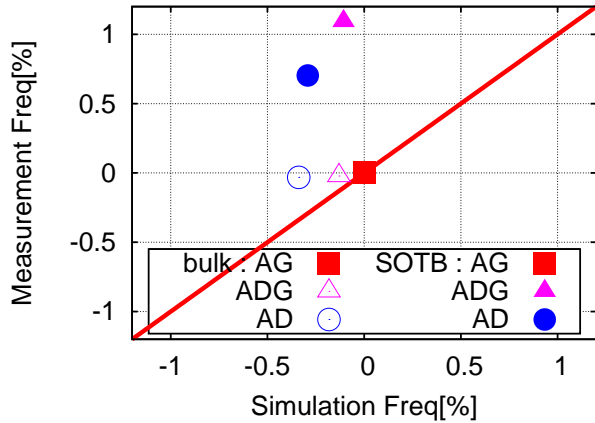
(b) 楕形

図 10 アンテナ形状

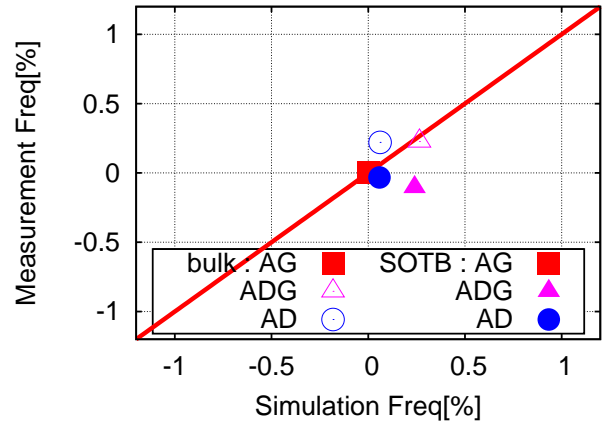
## 3. 測定回路

測定回路構造は図 8 に示す 11 段リングオシレータのアンテナ比やアンテナ接続構造の異なる 15 種類の回路である。リングオシレータ回路の経路の一箇所に巨大なアンテナ比をもつ配線を挿入している。この配線の直後のインバータにアンテナダメージにより劣化が発生する。測定回路構造の違いは、アンテナ比、アンテナ接続構造、アンテナ形状、BTI の種類がある。

アンテナ接続構造を図 9 に示す。図 9 中で大きい方の M1 の配線が図 8 中のアンテナである。これらの構造は、アンテナのゲートとドレインへの接続方法を変えている。ゲートに先に繋

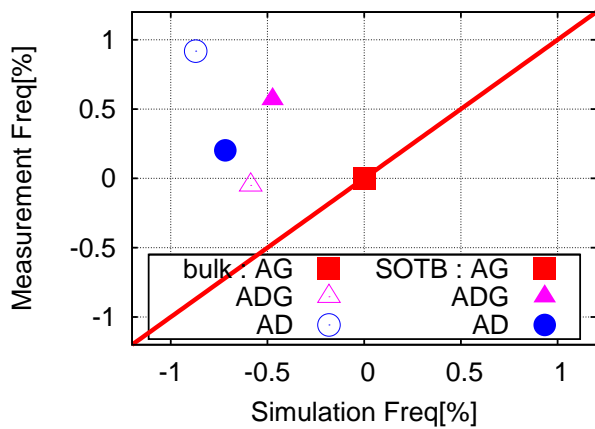


(a) 長方形 500 NBTI



(b) 楕形 500 NBTI

図 12 楕形構造における発振周波数変動率



(b) 長方形 AR6250 NBTI

図 11 NBTI 発生回路における発振周波数変動率

く AG 構造が最もダメージが大きく、ゲートとドレインに同時に繋ぐ ADG 構造は電荷がゲートだけでなくドレインにも流れるためダメージが AG 構造よりも軽減される。ドレインに先に繋ぐ AD 構造では、ほとんどの電荷がドレインに流れ出るため、最もダメージが小さいと予測される。しかし、SOTB においては 2.1 節で説明したように AD や ADG 構造による緩和が出来ないと予測される。

アンテナ比は 500 と 6250 を用いる。500 は試作した LEAP のアンテナルールの限界値である。また、ADG 構造はルール上ダメージが AG 構造の 0.08 倍に緩和されるため、 $500/0.08=6250$  とした。

アンテナ形状は、図 10 に示す長方形と楕形の 2 種類である。楕形は長方形の約 5 倍の周囲長をもつ。周囲長が長いほどダメージが大きいとの先行研究があるので、それを調べる [9]。

BTI の種類は NBTI と PBTI である。測定回路において劣化時にアンテナ直後のインバータの入力をそれぞれ 1, 0 とすることで、PBTI, NBTI のみを起こす。図 8(a) は NBTI 発生回路であり、図 8(b) は PBTI 発生回路である。本論文ではアンテナダメージの NMOS, PMOS への影響を調べる。本プロセスでは high-k ゲート酸化膜は用いていないため、NBTI の方が支配的と予測される。

#### 4. 測定結果

65nm バルク・SOTB プロセスで試作されたチップを用いて測定を行う。各々 98 個の同じリングオシレータを測定した。発振時に発振回数を記録し、停止時にストレスとして電圧をかけて劣化させる。発振回数を発振周波数に変換して評価する。初期発振周波数の結果を図 11~13 に示す。これは、シミュレーション結果を横軸に、測定結果を縦軸にとったものである。測定値の発振周波数がシミュレーション値よりも劣化 (低下) していれば点は  $y=x$  の直線から  $y$  軸方向下向きに遷移する。一致していれば点は  $y=x$  の直線上に乗る。

##### 4.1 発振周波数変動率

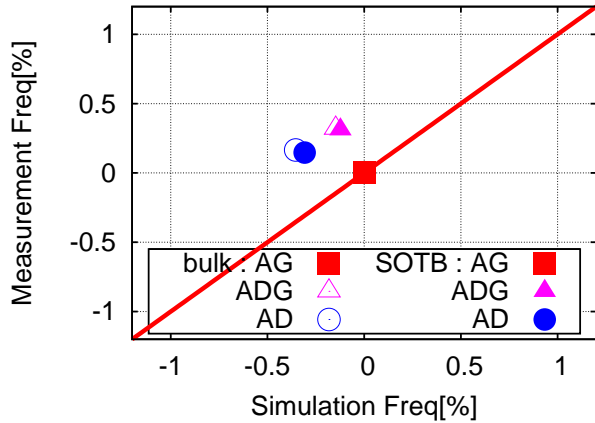
長方形 NBTI 構造 図 11 の長方形 AR[500, 6250]NBTI 構造の結果をみると、バルクプロセスでは AG, ADG, AD の順に劣化していて予測通りであったが、SOTB 構造では ADG 構造が最も劣化していない。このことから、発振周波数の劣化は SOTB プロセスでは ADG 構造による緩和が有効であることが分かる。

楕形 図 12 の楕形 AR500NBTI 構造において、バルクでは AD, ADG, AG の順に劣化しているが、SOTB では AG よりもドレインに接続した構造 ADG, DG が劣化している。このことから、ドレインによる緩和が出来ない上に、反対にダメージが増加してしまうことが分かる。楕形の方が長方形よりもアンテナダメージが大きいことは確認されなかったが、長方形に比べてドレインによるダメージの緩和ができないことが分かる。

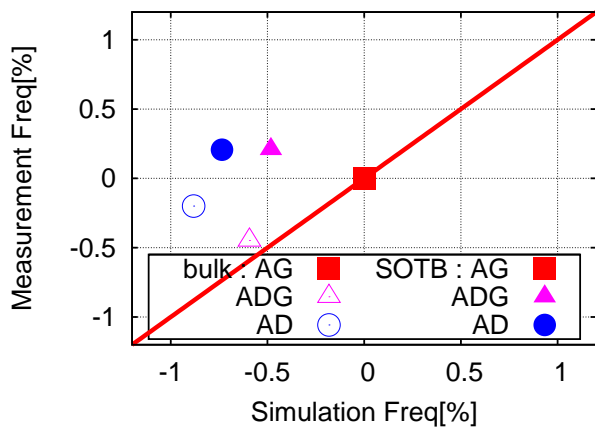
PBTI 構造 図 13 の長方形 PBTI 回路においてバルクと SOTB で PBTI については傾向が一致していた。PBTI はアンテナ比が 6250 であると AG, ADG, AD という順で劣化していて予想通りであるが、アンテナ比が 500 の場合 ADG が最も劣化量が少ない。このことから、PBTI 発生回路においては ADG 構造による緩和が有効である。

##### 4.2 アンテナ比 - しきい値電圧変動量

図 11 の SOTB プロセス長方形 NBTI 構造において、測定値のシミュレーション値からの発振周波数の変動量をしきい値



(a) 長方形 500 PBTI



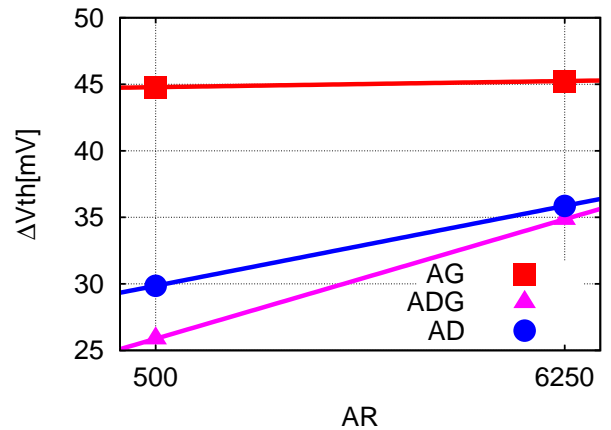
(b) 長方形 AR6250 PBTI

図 13 PBTI 発生回路における発振周波数変動率

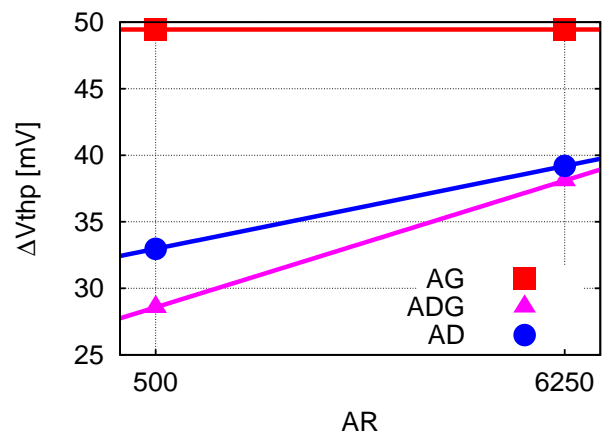
電圧の変動量に換算した結果を図 14 に示す。これは、アンテナ比を横軸にしきい値電圧変動量を縦軸にとっており、アンテナダメージによるしきい値電圧変動量が分かる。長方形 NBTI, PBTI 発生回路においてアンテナ直後のインバータの NMOS, PMOS のしきい値電圧  $\Delta V_{thn}$ ,  $\Delta V_{thp}$  のみをそれぞれ変動させた。図 14 をみると、NBTI 発生回路では AG 構造でしきい値電圧に対する変動量が一定であるが、AD, ADG 構造ではアンテナ比が上がるにつれてしきい値電圧の変動が大きくなっている。このことから、アンテナをゲートに先かゲートと同時に接続した構造では、アンテナ比に応じてしきい値電圧変動量が大きくなるのが分かる。また、AG, ADG, AD のどの構造でも  $\Delta V_{thp} > \Delta V_{thn}$  であるので、NBTI 構造では PMOS のしきい値電圧変動量が大きいことが分かった。

## 5. 結 論

本研究ではアンテナをもつリングオシレータ回路の発振周波数測定としきい値電圧変動シミュレーションによりアンテナダメージの影響を評価した。その結果、バルク・SOTB プロセス両者において、先にドレインに接続する構造はアンテナダメージを緩和するために有望な接続方法であることが示された。その中でもバルクでは AD 構造が、SOTB では ADG 構造が特に



(a) 長方形 NBTI  $\Delta V_{thn}$



(b) 長方形 NBTI  $\Delta V_{thp}$

図 14 SOTB におけるアンテナ比としきい値電圧変動量の関係

ダメージ緩和に有効である。ただし、SOTB ではアンテナの周囲長が大きくなるとドレイン接続構造では逆にダメージを受けやすくなるため、AG 構造が最も有効である。アンテナを先かゲートと同時にドレインに接続する構造ではアンテナ比に応じてしきい値電圧変動量が増加するが、先にゲートに接続する構造ではアンテナ比によらずしきい値電圧変動量は一定である。

## 謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社とメンターグラフィクス株式会社の協力で行われたものである。本研究は METI, NEDO 委託先である LEAP (Low-power Electronics Association & Project) の「低炭素社会を実現する超低電圧デバイス技術プロジェクト」において共同実施された。

## 文 献

- [1] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, and H. Matsuoka, "Silicon on thin BOX: a new paradigm of the CMOS-FET for low-power high-performance application featuring wide-range back-bias control", *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, (2004), pp. 631–634.
- [2] K. Hayama, K. Takakura, H. Ohyama, J.M. Rafi, A. Mercha, E. Simoen, and C. Claeys, "Analysis of 2-MeV

- Electron-Irradiation Induced Degradation in FD-SOI MOS-FETs Fabricated on ELTRAN and UNIBOND Wafers”, *Nuclear Science, IEEE Transactions on*, Vol. 53, No. 4, pp. 1939–1944, (2006).
- [3] K. Zhang, Y. Manzawa, and K. Kobayashi, “Impact of Body Bias on Soft Error Tolerance of Bulk and Silicon on Thin BOX Structure in 65-nm Process”, *Proc. Int. Reliability Phys. Symp.*, (2014), pp. SE2.1–SE2.4.
- [4] 岸田亮, 藪内美智太郎, 大島梓, 小林和淑, “バルクとSOTBにおけるアンテナダメージによるリングオシレータの発振周波数ばらつきの評価”, 電子情報通信学会技術報告 (VLSI 設計技術), No. VLD2013-84, (2013), pp. 159–164.
- [5] M. Yabuuchi and K. Kobayashi, “Circuit characteristic analysis considering NBTI and PBTI-induced delay degradation”, *Future of Electron Devices, Kansai (IMFEDK), 2012 IEEE International Meeting for*, (2012), pp. 1–2.
- [6] M. Yabuuchi and K. Kobayashi, “NBTI-Induced Delay Degradation Analysis of FPGA Routing Structures”, *IPSS Transactions on System LSI Design Methodology*, Vol. 5, pp. 143–149, (2012).
- [7] S. Zafar, Y. H. Kim, V. Narayanan, C. Cabral Jr., V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, “A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO<sub>2</sub>/HfO<sub>2</sub> Stacks with FUSI, TiN, Re Gates”, *VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on*, pp. 23 – 25, (2006).
- [8] C. Yilmaz, L. Heiss, C. Werner, and D. Schmitt-Landsiedel, “Modeling of NBTI-recovery effects in analog CMOS circuits”, *Reliability Physics Symposium (IRPS), 2013 IEEE International*, (2013), pp. 2A.4.1–2A.4.4.
- [9] C. D. Young, G. Bersuker, F. Zhu, K. Matthews, R. Choi, S. C. Song, H. K. Park, J. C. Lee, and B. H. Lee, “Comparison of plasma-induced damage in SiO<sub>2</sub>/TiN AND HfO<sub>2</sub>/TiN data stacks”, *IRPS*, pp. 67 – 70, (2007).