

# 65 nm プロセスにおける低消費電力冗長化 FF (BCDMR-ACFF) の 設計と評価

増田 政基<sup>†</sup> 久保田勘人<sup>†</sup> 山本 亮輔<sup>†</sup> 古田 潤<sup>††</sup>  
小林 和淑<sup>†,††,†††</sup> 小野寺秀俊<sup>†,††</sup>

<sup>†</sup> 京都工芸繊維大学

<sup>††</sup> 京都大学

<sup>†††</sup> JST, CREST

あらまし 集積回路の微細化に伴い、ソフトエラーが問題となっている。対策として冗長化を行なうが、面積・消費電力が増大する。面積を削減するのは困難であるが、消費電力は低電力化手法を用いることにより削減することができる。本研究は高いソフトエラー耐性を持ちつつ低消費電力な冗長化フリップフロップの設計・評価を行なった。実験結果より従来の冗長化フリップフロップと同等のエラー耐性を持ち、最大 61.5 % の電力を削減できた。

キーワード ソフトエラー, 低消費電力, 冗長化 FF,  $\alpha$  線, 中性子線

## A 65 nm Low-Power Adaptive-Coupling Redundant Flip-Flop

Masaki MASUDA<sup>†</sup>, Kanto KUBOTA<sup>†</sup>, Ryosuke YAMAMOTO<sup>†</sup>, Jun FURUTA<sup>††</sup>,  
Kazutoshi KOBAYASHI<sup>†,††</sup>, and Hidetoshi ONODERA<sup>††,†††</sup>

<sup>†</sup> Kyoto Institute of Technology

<sup>††</sup> Kyoto University

<sup>†††</sup> JST, CREST

**Abstract** We propose a low-power redundant flip-flop to be operated with high reliability over 1 GHz clock frequency based on the low-power ACFF and the highly-reliable BCDMR FF. Its power dissipation is almost equivalent to the transmission-gate FF at 10% data activity while paying 3x area penalty. Experiments by  $\alpha$ -particle and neutron irradiation reveals its highly-reliable operations with no errors at 1.2 V and 1 GHz.

**Key words** Soft Error, Low-power, Redundant FF,  $\alpha$  particle, neutron beam

### 1. はじめに

集積回路の微細化にともない、ソフトエラーが問題となっている。ソフトエラーとは $\alpha$ 線や中性子線の衝突により引き起こる一過性のエラーである。一過性のエラーなので再起動により回復するが、高い信頼性を要求するものや大量生産されるものにとっては重要な問題となる。ソフトエラーから FF (Flip Flop) を守るため、TMR (Triple Modular Redundancy) や DICE (Dual Interlocked Storage Cell) [1], BISER (Built In Soft Error Resilience) [2] などの冗長化 FF が提案されている。

近年、サーバーのプロセッサは信頼性を保証するために冗長化されている。近い将来、低消費電力な携帯端末にも冗長化が行なわれるにちがいない。従来の冗長化 FF は多大な面積と消費電力のオーバーヘッドがあった。冗長化はトランジスタ

を追加する必要があるので面積ペナルティを減らすのは非常に難しい。しかし、電力ペナルティは低消費電力化技術により減少させることが可能である。本稿は高信頼性冗長化回路の BCDMR 構造と低消費電力の ACFF に基づいた高信頼性冗長化 FF を提案する。

本稿の構成は以下の通りである。2 節で提案回路を含む FF について述べる。3 節で設計したテストチップの概要について述べる。4 節で $\alpha$ 線と中性子線によるテストチップの実験結果について述べる。5 節で結論を述べる。

### 2. 低消費電力冗長化 FF

本章では非冗長化 FF や冗長化 FF について述べた後に提案する低消費電力冗長化 FF について述べる。

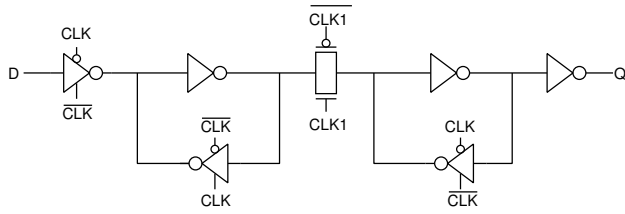


図1 TGFFの回路図

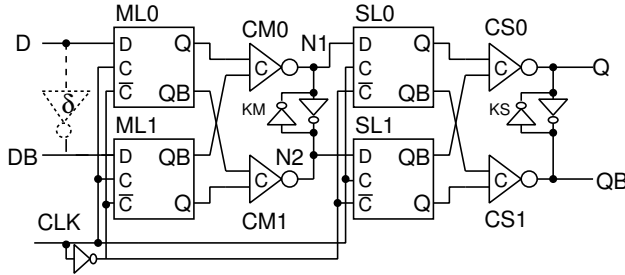


図2 BCDMRの回路図

## 2.1 TGFF

図1はTGFF (Transmission-Gate Flip Flop)を示す。TGFFは非冗長なFFであり、現在最も主流なDFFである。マスターラッチとスレイブラッチで構成されており、トランスマッションゲートとトライステートインバータにより保持状態と遷移状態を切り替える。

## 2.2 BCDMR FF

図2にBCDMR (Bistable Cross-coupled Dual Modular Redundancy) [3]を示す。TGFFを2重化し、マスターラッチとスレイブラッチの後段に“2C + K”を挿入した冗長化FFである。“2C + K”は2つのMuller’s C-elementと1つのKeeperでできている。もし、2つのラッチのうち一方がソフトエラーにより反転した場合、C-elementはハイインピーダンスとなり、Keeperが元の信号を保持する。

図3はSETパルスがマスターかスレイブラッチに入ることにより冗長化FFでエラーが発生し得る場合を示す。SETパルスの幅はタップ密度やゲート幅、その他の要因により数百psから千psまで分布する。SETパルスがラッチに取り込まれる可能性はクロック周波数に依存する。クロックエッジのときにSETパルスが取り込まれた場合、多重化したマスターもしくはスレイブラッチにたどり着く可能性がある。例えば、500psのSETパルスは1GHzの周波数ではおおよそ50%の確率で取り込まれる。マスターラッチにくるSETパルスを除去するために、図2に点線で示すような遅延素子( $\delta$ )を使用する。しかし、マスターとスレイブラッチの間の遅延素子面積・遅延ペナルティは大きい。BCDMR構造の“2C + K”はマスターとスレイブの間のC-elementで発生するSETパルスによるエラーを防ぐ。これにより、少ない面積・遅延ペナルティC-elementの2重化により、同時に2つのスレイブラッチにSETパルスが取り込まれることを防ぐ。BCDMR FFは中性子照射実験において従来のTGFFの100倍以上のエラー耐性を示した[5]。

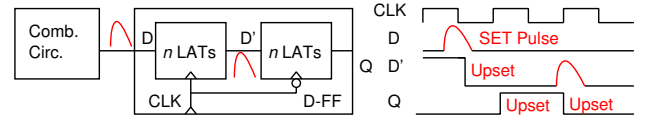


図3 SETパルスが冗長化したマスター or スレイブラッチ ( $n$  LATs) に入力され、クロックトリガによりFFに取り込まれるパターン

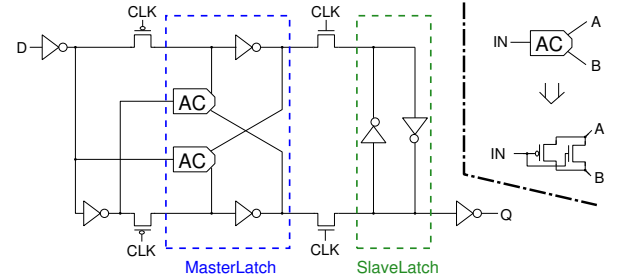


図4 ACFFの回路図

## 2.3 ACFF

図4にACFF (Adaptive Coupling Flip Flop) [4]を示す。ACFFはパストランジスタを用いることにより、片層のCLK信号のみを使用する。クロックバッファをFF内に必要としないので、クロック信号による消費電力を抑えることができる。pmosパストランジスタは駆動力が弱く、マスターラッチを書き換えるのが困難のため、AC素子を挿入することにより書き換えを容易にした。AC素子は一対のnmosとpmosで構成されている。保持値と次の入力値が異なるときは保持力を弱める。総トランジスタ数は従来のTGFFの24個より2個少ない。

## 2.4 BCDMR-ACFF

図5に提案するBCDMR-ACFFを示す。ACFFをBCDMR構造に多重化した冗長化FFである。高いクロック周波数でも高い信頼性を持ち、従来のBCDMRよりも低消費電力となる。入力信号の都合により各スレイブラッチにインバータを挿入している。総トランジスタ数はBCDMRの数と等しい。

BCDMR-ACFFの構造として、図6のパターンも考えられる。図5に比べるとスレイブラッチに挿入するインバータが不要なので、トランジスタ数が4つ少ない。しかし、CM0で発生したSETパルスがSL0とSL1の両方に同時に取り込まれる。BCDMR構造の利点が無くなるので、図6のパターンは使用しない。

## 2.5 各FFの特性評価

表1は65nmプロセスで設計した各FFの面積、遅延、消費電力、そしてADP積を示した。電源電圧は1.2Vとした。BCDMR-ACFFは活性化率100%でTGFFの4倍以上の消費電力となったが、活性化率が10%ではほぼ同程度の消費電力である。ACFFはローカルクロックバッファが必要ないので、活性化率が0%のとき非常に小さくなってしまふ。そのため、消費電力は8つのFFとクロックバッファの回路で求めた。BCDMR-ACFFはTGFFと遅延はほぼ同程度であり、面積は3倍ほどである。図7に各FFの消費電力と活性化率

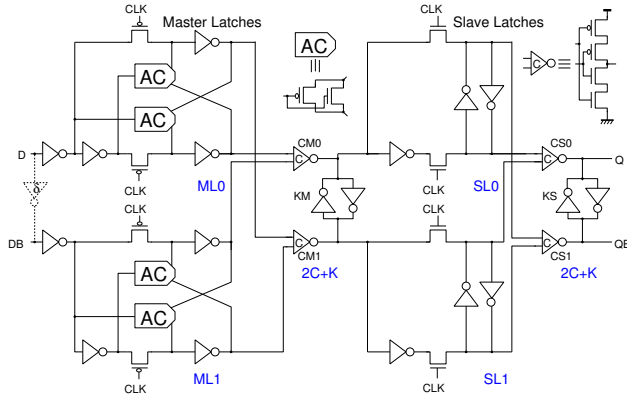


図 5 BCDMR-ACFF の回路図

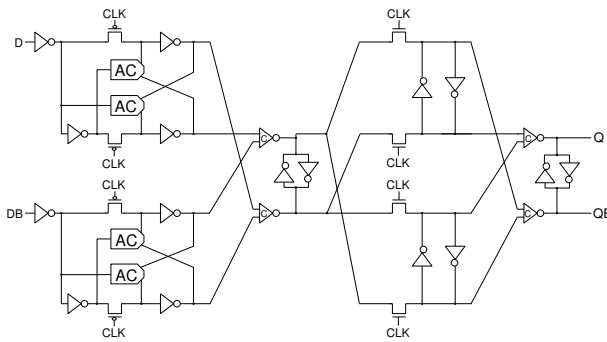


図 6 BCDMR-ACFF の別構造案

の関係を示す。活性化率が 40%以下でオリジナルの BCDMR の消費電力を下回る。活性化率は一般に 5%–15%ほどなので BCDMR-ACFF が有用であるといえる。活性化率が 0%のときはオリジナルの BCDMR の 73%減となる。図 8 に示す ADP 積は活性化率 0%で約 2.0 となり、TGFF を基本構造とした BCDMR の約  $\frac{1}{4}$  となる。

表 1 TGFF により標準化した各 FF の面積、遅延、電力

FF	面積	遅延	消費電力	
			$\alpha=10\%$	$\alpha=100\%$
ACFF	1.05	0.72	0.51	1.21
BCDMR FF	2.84	1.27	2.21	2.73
BCDMR ACFF	3.16	1.11	1.16	3.79

### 3. Test Chip

65 nm CMOS バルクプロセスにて  $2\text{mm} \times 4\text{mm}$  のテストチップを製造した。内部の簡単な構造と BCDMR-ACFF のレイアウトを図 9 に示す。冗長化部分が同時に反転するのを防ぐために、面積ペナルティなしでクリティカルノードをできるだけ離れた [5]。4 種類の FF (BCDMR-ACFF, BCDMR, ACFF, TGFF) をチップ内に集積した。BCDMR-ACFF と BCDMR はツインウェル (2W) 構造とトリプルウェル (3W) 構造で、ACFF と TGFF はツインウェル構造とした。それぞれの FF の搭載数を表 2 に示す。これらすべての FF はシフトレジスタとしてシリアルに接続した。チップは 2 種類のクロックピンを

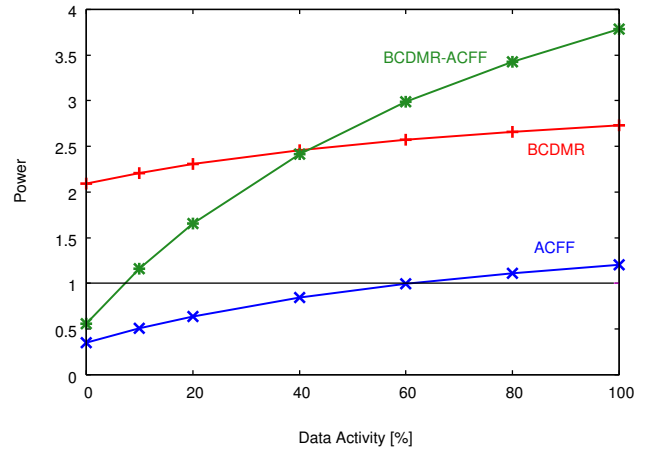


図 7 TGFF により標準化した各 FF の電源電圧 1.2V における活性化率 vs 消費電力

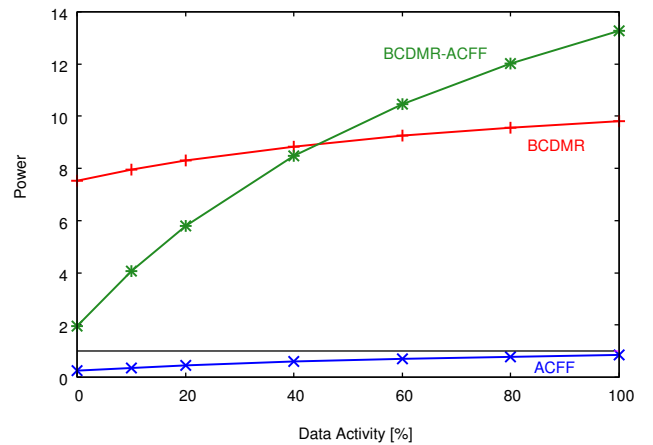


図 8 TGFF により標準化した各 FF の電源電圧 1.2V における活性化率 vs ADP 積

表 2 各 FF の搭載数

	搭載数
TGFF	2336
ACFF	2272
BCDMR(3W)	16800
BCDMR(2W)	16800
BCDMR-ACFF(3W)	16384
BCDMR-ACFF(2W)	16384

持つ (SHIFT\_CLK と PLL\_CLK)。前者はシフト動作時に用い、後者は照射実験時に用いる。直列接続されたすべての FF のホールド制約をみやすために、クロック信号はシフトレジスタの最後尾から与えられ、入力信号は先頭から与えられる。1GHz 近辺における FF のソフトエラー耐性を測定するため、PLL により入力周波数を 80 倍にする。

図 10 はシフトレジスタの簡単な回路構造とクロックの配信回路を示している。シフト動作時 (LOOP=0)、すべての FF は直列に接続される。クロック信号は SHIFT\_CLK で与えられ、先頭から最後まで直列につながる。一方、照射実験をおこなうときは、反転した値を逃がさないように 8 つの FF ごとにループ構造となり、クロック信号は PLL\_CLK で与えられる。

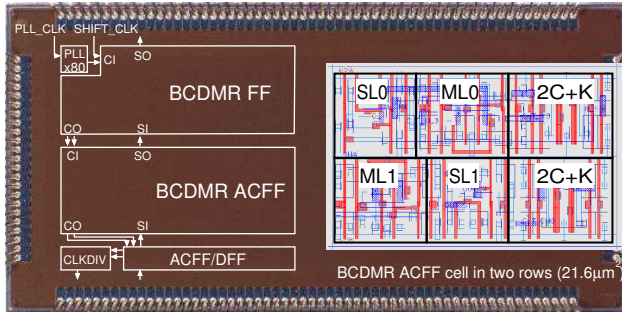


図9 内部構造を載せたチップ写真と BCDMR-ACFF のレイアウト図

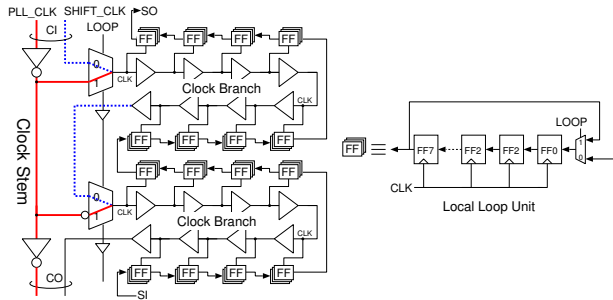


図10 シフトレジスタ動作時と高周波で行う測定時でのクロック信号の配線図

FF に高い周波数のクロック信号を配信するために、クロックツリーはクロック幹 (Stem) とクロック枝 (Branche) で構成されている。クロック枝が直列接続され、SHIFT\_CLK から高い周波数が与えられると、パルス幅変動により枝の途中でクロック信号が消失してしまう。

#### 4. Experimental Results

製造したチップ上の FF のエラー耐性を  $3\text{M Bq}$  の  $^{241}\text{Am}$  の  $\alpha$  線と大阪大学にある RCNP [9] の白色中性子線で測定した。図 11 に用いた中性子線と東京でのエネルギースペクトラムの比較を示す。測定での平均加速系数は  $3.8 \times 10^8$  である。

##### 4.1 $\alpha$ 線照射実験

測定周波数は 0 Hz, 100 MHz, 300 MHz, 800 MHz, 1 GHz の 5 つである。0 Hz の結果は、CLK に 0 を継続させた結果と 1 を継続させた結果の平均値とした。1 回の測定時間を 5 分で行なった。非冗長化 FF (TGFF, ACFF) の結果を図 12 に示す。縦軸は 1 kbit 当たりのエラー数を示している。全ての測定周波数において、ACFF の方が TGFF に比べてエラー率が低い。冗長化 FF (BCDMR, BCDMR-ACFF) は、0 Hz では複数のエラーが検出されたが、それ以外の周波数ではエラーがなかった。BCDMR 構造は 2 つのラッチと Keeper の 3 つのうち 2 つが反転したらエラーとなる。1 つが反転しても残り 2 つにより正しい値が保たれ、クロックトリガにより次の値に更新されて回復する。しかし、0 Hz では値の更新が行なわれないので、反転した箇所は回復しない。これにより 0 Hz ではエラーが発生した。0 Hz でのエラー率の結果を図 13 に示す。縦軸は図 12 と同様だが 10 分の 1 スケールである。BCDMR-ACFF の方が従来の BCDMR に比べてエラー率が低い。

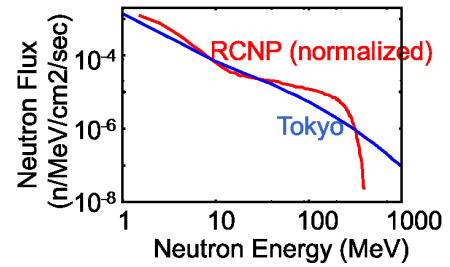


図 11 大阪大学 RCNP の中性子線のエネルギースペクトラム

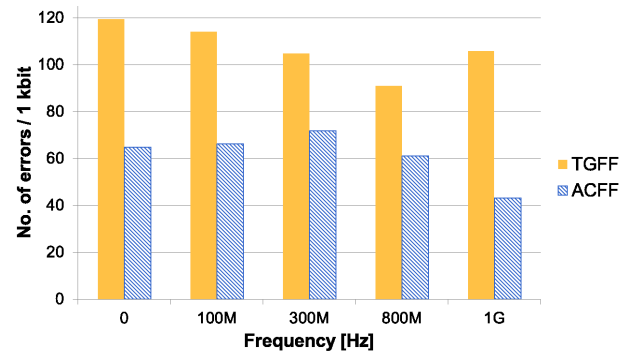


図 12 1.2 V 動作時における非冗長化 FF の  $\alpha$  線 5 分間照射での 1 kbit 当たりのエラー率

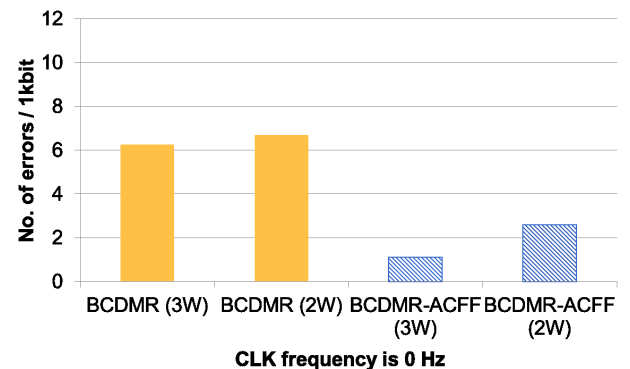


図 13 1.2 V 動作時における冗長化 FF の  $\alpha$  線 5 分間照射での 1 kbit 当たりのエラー率

##### 4.2 中性子線照射実験

測定周波数は 100 MHz, 300 MHz, 800 MHz, 1 GHz の 4 つである。1 回の測定時間を 5 分で行なった。中性子線では観測エラー数を増やすために同時に複数の DUT を用いて測定した。図 14 に非冗長化 FF の測定結果を示す。縦軸は FIT/Mbit で表している。FIT (Failure In Time) とは  $10^9$  時間に起こるエラー数を示す。800 MHz 以外での周波数では ACFF の方が TGFF に比べエラー率が低い。エラーバーはエラー数が 1 増減した場合の範囲である。中性子線でのエラー数は非常に少ないため、エラー耐性を比較するには困難である。冗長化 FF ではエラーが検出されなかった。冗長化 FF のエラー率は 5.1 FIT/Mbit 以下である。

##### 4.3 各 FF の消費電力

活性化率を変化させて消費電力を実測した。製造したチップ

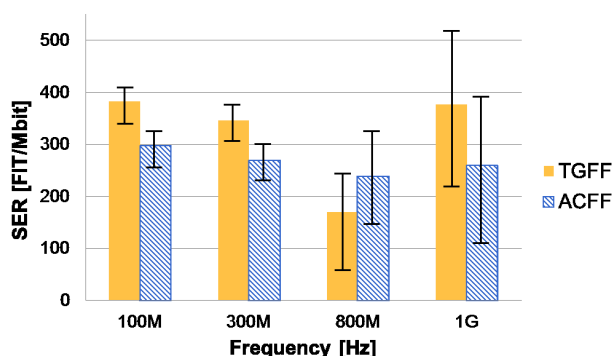


図 14 1.2 V 動作時における中性子線での非冗長化 FF の Soft Error Rate (FIT/Mbit)

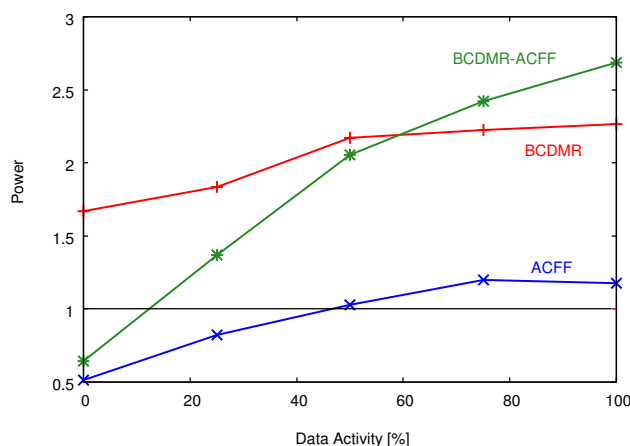


図 15 1.2 V 動作時における TGFF で標準化した各 FF の消費電力

は特定の FF 領域にのみクロック信号を送ることが可能であり、図 10 の右側に表示されているローカルループ構造により、活性化率  $\alpha$  を変化させられる。8 つの FF がすべて同じ値を格納している場合  $\alpha = 0\%$  で、8 つの FF の格納値がチェッカーボードパターンのとき 100% である。図 15 は供給電圧 1.2V の結果を TGFF の値で標準化したものである。シミュレーションでの結果と同様に、ACFF 構造を用いた回路は活性化率が下がると消費電力が大きく下がっている。 $\alpha = 10\%$  のとき、BCDMR-ACFF は TGFF と同等となり、 $\alpha = 0\%$  のとき、従来の BCDMR の 38.5% となった。

## 5. Conclusions

本稿では低消費電力な ACFF と高い信頼性をもつ BCDMR FF を組み合わせた低消費電力冗長化 FF, BCDMR-ACFF を設計・評価を行なった。回路シミュレーションでは、消費電力は活性化率が 10% で TGFF の消費電力と同等となった。ADP 積は活性化率が 40% で従来の BCDMR より小さくなり、0% では BCDMR-ACFF は TGFF の 2 倍であった。BCDMR-ACFF を含んだ 65nm プロセスのチップを製造し、 $\alpha$  線と中性子線での照射実験と消費電力の実測を行なった。 $\alpha$  線でも中性子線でも BCDMR-ACFF は 1GHz までの動作でエラーを起こさなかった。消費電力では、シミュレーション結果と同様に、活性化率が 10% で TGFF と同等となった。活性化率が 0% では従

来の BCDMR の 38.5% となった。 $\alpha$  線の結果では ACFF は TGFF よりもエラー耐性が高かったが、中性子線実験結果では一部が異なった。 $\alpha$  線における ACFF と TGFF の結果より、BCDMR-ACFF のエラー耐性は BCDMR よりも良いと予測する。

## 文 献

- [1] D. Krueger, E. Francom, and J. Langsdorf. Circuit design for voltage scaling and ser immunity on a quad-core titanium processor. In *ISSCC*, pages 94–95, Feb. 2008.
- [2] M. Zhang, S. Mitra, T. M. Mak, N. Seifert, N. J. Wang, Q. Shi, K. S. Kim, N. R. Shanbhag, and S. J. Patel. Sequential element design with built-in soft error resilience. *IEEE Trans. VLSI Sys.*, 14(12):1368–1378, Dec. 2006.
- [3] J. Furuta, C. Hamanaka, K. Kobayashi, and H. Onodera. A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting Soft Errors on the C-element. In *VLSI Circuits Symp.*, pages 123–124, June 2010.
- [4] K. T. Chen, T. Fujita, H. Hara, and M. Hamada. A 77% energy-saving 22-transistor single-phase-clocking d-flip-flop with adaptive-coupling configuration in 40nm cmos. In *ISSCC*, pages 338–340, Feb. 2011.
- [5] R. Yamamoto, C. Hamanaka, J. Furuta, K. Kobayashi, and H. Onodera. An Area-efficient 65 nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets. *IEEE Trans. on Nucl. Sci.*, 58(6):3053 – 3059, Dec. 2011.
- [6] Nakamura, H. and Tanaka, K. and Uemura, T. and Takeuchi, K. and Fukuda, T. and Kumashiro, S. Measurement of neutron-induced single event transient pulse width narrower than 100ps. *IRPS*, 694 – 697, May. 2010.
- [7] Gadlage, M.J. and Ahlbin, J.R. and Narasimham, B. and Bhuvu, B.L. and Massengill, L.W. and Reed, R.A. and Schrimpf, R.D. and Vizkelethy, G. Scaling Trends in SET Pulse Widths in Sub-100 nm Bulk CMOS Processes. *IEEE Trans. on Nucl. Sci.*, 57(6):3336 – 3341, Dec. 2010.
- [8] J. Furuta, and C. Hamanaka, and K. Kobayashi, and H. Onodera. Measurement of neutron-induced SET pulse width using propagation-induced pulse shrinking. *IRPS*, 5B.2.1-5B.2.5, Apr. 2011.
- [9] Slayman, C.W. Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing. *IEEE Trans. Nucl. Sci.*, 57(6):3163-3168, Dec. 2010.
- [10] G. Gasiot, M. Glorieux, S. Uznanski, S. Clerc, P. Roche. Experimental characterization of process corners effect on SRAM alpha and neutron soft error rates. *IRPS*, 3C.4.1-3C.4.5, 2012.