

# MCU に強靱な耐ソフトエラーフリップフロップ

山本 亮輔<sup>†</sup> 濱中 力<sup>†</sup> 古田 潤<sup>††</sup> 小林 和淑<sup>†,†††</sup> 小野寺秀俊<sup>††,†††</sup>

<sup>†</sup> 京都工芸繊維大学

<sup>††</sup> 京都大学

<sup>†††</sup> JST, CREST

あらまし ソフトエラーによる LSI の信頼性の低下に対し、フリップフロップの 3 重化等、多様な耐ソフトエラーフリップフロップが提案されている。しかし、製造プロセスの微細化に伴い、1 ビットが反転する SEU だけではなく、複数ビットが同時に反転する MCU の影響が大きくなっている。MCU は、耐ソフトエラー多重化フリップフロップを無力化する大きな要因となっており、MCU 対策は必須となっている。本稿では、レイアウトレベルで MCU 対策を行った耐ソフトエラーフリップフロップ、BCDMR 型フリップフロップを提案する。提案回路を 65 nm プロセスにて試作し、中性子ビームによる加速試験を行った。非対策時は通常のフリップフロップの 10 倍程度のエラー耐性であるのに対し、対策時はエラーが観測されず、100 倍以上というエラー耐性が得られた。

キーワード ソフトエラー, Single Event Upset (SEU), Multiple Cell Upset (MCU), BCDMR 型 FF, 耐放射線設計

## A 65-nm Radiation-Hard Flip-Flop Tolerant to Multiple Cell Upsets

Ryosuke YAMAMOTO<sup>†</sup>, Chikara HAMANAKA<sup>†</sup>, Jun FURUTA<sup>††</sup>, Kazutoshi KOBAYASHI<sup>†,†††</sup>,  
and Hidetoshi ONODERA<sup>††,†††</sup>

<sup>†</sup> Kyoto Institute of Technology

<sup>††</sup> Kyoto University

<sup>†††</sup> JST, CREST

**Abstract** MCUs in redundant FFs is a dominant factor in a current deep-submicron process. A layout structure to avoid MCUs is proposed for radiation-hard dual-modular FFs called BCDMR by separating critical components without any area overhead. SER of BCDMR on a 65 nm chip is less than 9 FIT/Mbit by neutron irradiation.

**Key words** Soft Error, Single Event Upset (SEU), Multiple Cell Upset (MCU), bi-stable cross-coupled dual-modular (BCDMR), rad-hard design

### 1. はじめに

LSI の信頼性を損なう要因の一つにソフトエラーがある。ソフトエラーとは、粒子線が LSI に衝突することで生じる一過性のエラーである。粒子線の衝突により電子正孔対が生じ、その内の少数キャリアがドリフトや拡散によってトランジスタの出力が反転することで一時的に誤動作する。

ソフトエラーは、 $\alpha$  線や中性子線等の粒子線がフリップフロップや SRAM に衝突することで記憶値を直接反転させる SEU (Single Event Upset) と、組み合わせ回路の近傍に衝突し一過性のパルスが生じる SET (Single Event Transient) がある。組み合わせ回路部で生じた SET パルスはフリップフロップに取り込まれることで LSI の誤動作となる。ソフトエラー対策はフリップフロップの 3 重化等の回路レベルでの対策が主流であ

り、現在までに多様な耐ソフトエラーフリップフロップが提案されている。しかし、近年のプロセスの微細化に伴い、単一のトランジスタの出力を反転させる SEU だけではなく、複数のトランジスタの出力を同時に反転させる MCU (Multiple Cell Upset) が大きな問題となってきている [1] [2]。回路レベルでのソフトエラー対策は SEU には強いが MCU には脆弱である。MCU は既存の耐ソフトエラーフリップフロップを無力化する主要因となっている [3]。

MCU にはレイアウトレベルでの対策が有効である [4]。フリップフロップのソフトエラー耐性を高めるためには、回路レベルだけではなくレイアウトレベルでの対策が必須となっている。本稿では、回路レベルでのソフトエラー対策に加え、レイアウトレベルで MCU 対策を行った 2 重化 FF, BCDMR 型フリップフロップを提案する。提案回路を 65 nm プロセスにて試

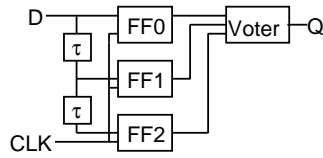


図 1 3 重化フリップフロップ

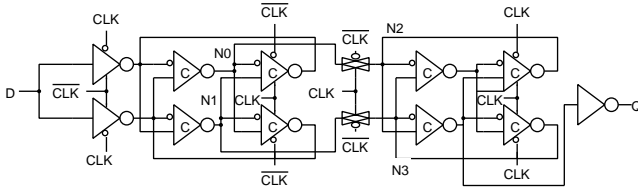


図 2 DICE フリップフロップ

作し、中性子加速試験を用いてソフトエラー耐性を実測することで、MCU 対策時と非対策時との比較を行った。第 2 章では既存の耐ソフトエラーフリップフロップを説明する。第 3 章では MCU に強靭なレイアウト構造を提案する。第 4 章では実測によるソフトエラー耐性の評価を行い、既存のレイアウト構造と提案構造との比較を行う。第 5 章で結論を述べる。

## 2. 耐ソフトエラーフリップフロップ

耐ソフトエラー冗長化フリップフロップの構造は多重化が一般的であり、現在までに多様な回路構造が提案されている。

### 2.1 3 重化フリップフロップ

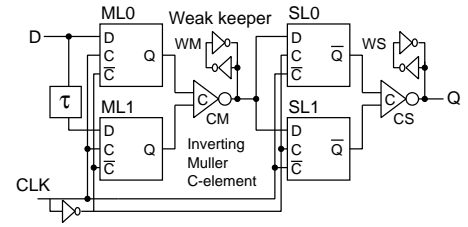
3 重化フリップフロップは代表的な耐ソフトエラー回路である。図 1 に回路図を示す。この回路では 3 重化したフリップフロップの信号を、多数決回路 (Voter) によって多数決をとる。組み合わせ回路部からの SET パルスは遅延素子  $\tau$  によって除去する。1 つのフリップフロップの記憶値が SEU によって反転した場合、残り 2 つのフリップフロップと Voter によって正常な値を保つ事ができる。回路規模が通常のフリップフロップの 3 倍以上であるため、面積、消費電力のオーバーヘッドが大きい。3 重化では 2 つ以上のフリップフロップが反転した場合は誤動作する。

### 2.2 DICE フリップフロップ

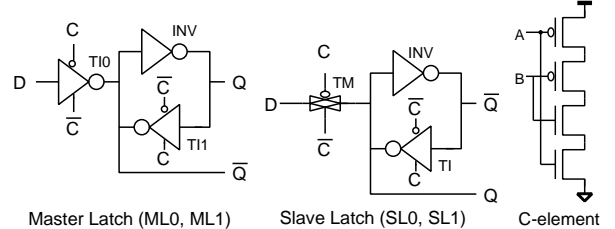
図 2 に DICE (Dual-Interlocked storage Cell) [5] フリップフロップの構造を示す。DICE はラッチの持つインバータ 2 段によるループ構造をインバータ 4 段で構成した回路である。4 段でループが構成されているため、1 つのインバータの出力が反転しても、他の 3 つのインバータによって正しい値が保たれる構造となっている。DICE は面積のオーバーヘッドが小さいが、SEU の耐性も数十倍程度しか増加しない [6]。この原因は 4 つのインバータが隣接して配置されるため、MCU に脆弱だからである。

### 2.3 BISER 型フリップフロップ

BISER (Built-In Soft Error Resilience) 型フリップフロップ [7] の回路図を図 3(a) 示す。BISER は 2 重化したマスター/スレイブラッチと C-element, weak keeper から構成される。マスター/スレイブラッチと C-element の構造を図 3(b) に示



(a) BISER 型フリップフロップ



(b) 各素子の構造

図 3 BISER 型フリップフロップの回路構造

す。BISER は 3 重化より省面積でありながら、ラッチでの SEU による誤動作を C-element と weak keeper によって防ぐことができる。もし 2 つのマスター/スレイブラッチの内の 1 つが SEU によって反転した場合、C-element の出力はハイインピーダンス状態となり、weak keeper が保持している値によってフリップフロップは正しい値を保つことができる。また、weak keeper で SEU が生じた場合、より駆動力の高い C-element の出力によって正しい値に書き換えられる。しかし、BISER はマスター・スレイブ間で生じる SET パルスに非常に脆弱である。

BISER では図 3 に示すように CM の出力が 2 つのスレイブラッチに接続されている。そのため、同図の WM もしくは CM で生じた SET パルスが 2 つのスレイブラッチに取り込まれ、MCU を引き起こす可能性がある。SET パルスが取り込まれる確率はクロック周波数に比例するため、BISER のソフトエラー耐性は CLK 周波数の増加に伴い低下していく。

### 2.4 BCDMR 型フリップフロップ

2 重化フリップフロップの BISER は 3 重化よりも省面積ではあるが、2.2 節で紹介した脆弱性がある。C-element で生じた SET によるエラーを抑える方法として、図 4 に示す回路構造を持つ 2 重化フリップフロップ、BCDMR (Bistable Cross-coupled Dual Modular Redundancy) 型フリップフロップ [8] を提案している。回路の対称性を保つために、2 つのマスター/スレイブラッチは反対の値を保持している。BCDMR では C-element を 2 重化し、出力を別々のスレイブラッチの入力に接続している。それにより、C-element で生じた SET パルスは一方のスレイブラッチにのみ影響を与える。BCDMR のノード N0 に粒子が衝突した時の回路レベルシミュレーションの結果を図 5 に示す。N0 の出力が 200 ps 以上間反転していても N1 の出力はほとんど変化せず、N1 が接続されているスレイブラッチ (SL1) は反転しない。N0 で生じたエラーパルスは一方のスレイブラッチ (SL0) にのみ取り込まれる。このように、BCDMR は C-element で生じる SET パルスによって引き起こされる MCU に対して強靭である。<sup>241</sup>Am を用いた  $\alpha$  粒子放射試験では、BCDMR は BISER の 159 倍のソフトエラー耐性

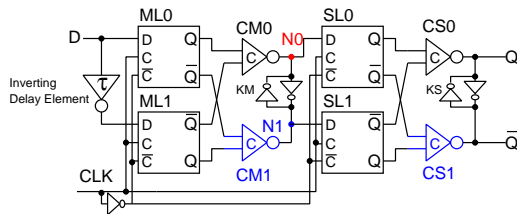


図4 BCDMR型フリップフロップ

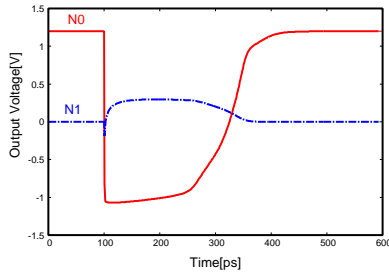


図5 回路レベルシミュレーションの結果: N0で生じたSETパルスがN1に与える影響

表1 冗長化フリップフロップのarea, delay, powerおよびarea-delay-power (ADP) 積を通常のD-FFで規格化

	BISER	BCDMR	TMR
Area	2.74	2.84	3.47
Delay	1.56	1.38	1.39
Power	2.27	2.29	2.70
ADP	9.70	8.97	13.0

を示しており、通常のD-FFと比較しても70万倍の耐性を示している[8]。

BCDMRの構造にはソフトエラー耐性の向上以外にもkeeperの値を書き換え易いメリットがある。KeeperはBISERと同様のインバータのクロスカップ構造によって値を保持している。BISERではkeeperの値を片側からのみ書き換えているため、C-elementの駆動力をkeeperよりも十分に大きくし、keeperをweakにしなければならない。一方、BCDMRでは2つのC-elementがkeeperの両側に接続されているため、容易にkeeperの値を書き換えることができる。そのため、C-elementの駆動力をBISERのように大きくする必要はなく、keeperを必要以上に小さくする必要もない。

表1はBISER, BCDMR, TMR(図7)の面積(Area)、遅延(Delay)、消費電力(Power)をD-FFで規格化したもの、およびその3つの積(ADP積)を示している。BCDMRは3つの中で最小のADP積を有している。

## 2.5 MCUを考慮していないレイアウトにおけるソフトエラー耐性

図6は中性子ビームによるBISERとBCDMRのソフトエラー率, SER (Soft Error Rate)[FIT/Mbit] 評価結果を示している。FIT (Failure In Time)は故障率を表す単位で、1 FITは $10^9$ 時間に1回のエラーが生じることを表す。ソフトエラー耐

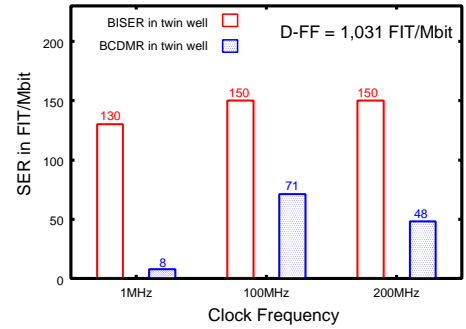


図6 図12に示すMCUを考慮していないレイアウトの場合、BISERとBCDMRの中性子起因のSER [FIT/Mbit]

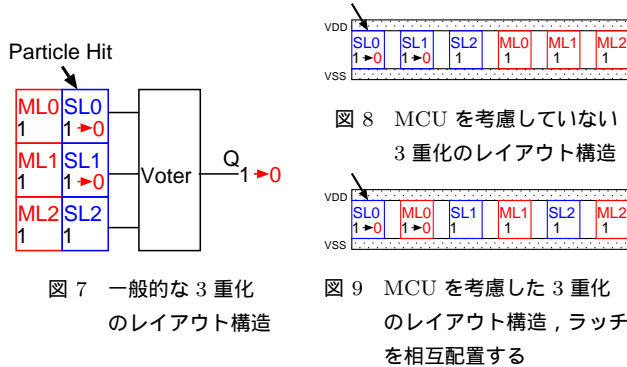
性の評価は大阪大学核物理研究センター[9]の白色中性子ビームを用いて行った。白色中性子ビームは、東京での地表面に降り注ぐ中性子数を $3.8 \times 10^8$ 倍加速(平均加速係数)したものである。ツインウェル構造のフリップフロップを $30,240 \times 13$  bit搭載したチップを12枚同時に測定し、中性子ビームを100分間照射した。通常非冗長化フリップフロップのSERが1,031 FIT/Mbitであるのに対し、BISERとBCDMRのSERはその1/10程度という非常に低いソフトエラー耐性しか持たず、クロック周波数への依存性もない。冗長化フリップフロップが低いソフトエラー耐性しか持たないのは、冗長化した回路ブロック間でのMCUが原因だと推測した。BISERとBCDMRの回路構造では、3つの記憶素子(2つのラッチと1つのkeeper)の内2つがMCUによって反転した場合に誤動作する。中性子加速器から照射される高エネルギー中性子は、 $\alpha$ 粒子よりも高い確率でMCUを引き起こす。冗長化フリップフロップのソフトエラー耐性を高めるためには、冗長化素子(コンポーネント)で生じるMCUを防がなければならない。

## 3. MCUに強靭な冗長化フリップフロップのレイアウト構造

前節の中性子放射試験の結果が示すように、冗長化フリップフロップでのMCUは微細化プロセスにおける深刻な問題である。冗長化したラッチやフリップフロップをMCUから防ぐためには、回路を構成する重要なコンポーネントのグループを可能な限り離して配置しなければならない。以降、我々はこれらをクリティカルコンポーネントと呼ぶ。本節では、最初にクリティカルコンポーネントの定義を3重化フリップフロップを用いて説明する。その後、冗長化フリップフロップにおけるMCUを防ぐためのレイアウト構造を紹介する。

### 3.1 冗長化フリップフロップにおけるクリティカルコンポーネント

冗長化したコンポーネントが同時に反転しない限り、冗長化フリップフロップはソフトエラーに強靭である。しかし、プロセスの微細化に伴い冗長化コンポーネント同士は非常に隣接して配置され、同時に反転する可能性が高まっている。図7はマスター/スレイブラッチと多数決回路(Voter)で構成される一般的な3重化フリップフロップの回路構造を示している。図中の1はフリップフロップの正常な保持値、0は反転した値であ



る。もしマスターもしくはスレイブ側の 2 つのラッチが同時に反転した場合、Voter は誤った値を出力してしまう (図 7 の 0)。反転した 2 つラッチのグループが異なる場合、Voter は正常に動作する。そのため、3 重化フリップフロップにおいてはマスター/スレイブ側のラッチのペアがクリティカルコンポーネントとなる。

図 8 と図 9 は 3 重化フリップフロップの 2 種類のレイアウト構造を示している。図 8 のレイアウト構造ではマスター側とスレイブ側のラッチを分けて配置している。それに対し、図 9 のレイアウト構造では両側のラッチを相互配置している。粒子線が 1 つのラッチに衝突した時、隣接するラッチは高確率で同時反転する。図 8 の配置ではスレイブ/マスター側のラッチが同時反転しやすく、MCU に脆弱である。一方、図 9 ではマスター/スレイブ側のラッチは隔てて配置されているため同時に反転する可能性は低く、MCU に強靭である。3 重化フリップフロップにおける MCU を防ぐためには、マスター/スレイブ側のラッチを相互配置する方法が有効である。コンポーネントの配置を変更するだけであるため、面積オーバーヘッドを生じさせずに MCU 耐性を高めることができる。

表 10 は通常の非冗長化フリップフロップアレイにおける中性子起因の MCU 発生率を示している。フリップフロップは図 11 に示すように隣接して配置されている。上下に配置されるマスターラッチ間の距離は  $0.73 \mu\text{m}$  であり、対角上に配置されるスレイブラッチ間の距離は  $1.03 \mu\text{m}$  である。これらの距離は P-bulk 上の NMOS 間の距離である。距離の差は  $0.3 \mu\text{m}$  にもかかわらず、MCU 発生率はそれぞれ 16%、3.8%となっている。この測定結果は、MCU 発生率はコンポーネント間の距離に強く依存することを示している。MCU を防ぐためにはクリティカルコンポーネントを可能な限り離して配置することが重要である。

### 3.2 MCU を防ぐためのレイアウト構造

BCDMR 型フリップフロップでは 2 つのラッチが反転した場合に出力 Q が反転し、エラーとなる。また、1 つのラッチと keeper の保持値が反転した場合 (図 4 の ML0 + KM もしくは SL0 + KS 等) にもエラーとなる。これらのコンポーネントが BCDMR のクリティカルコンポーネントであり、MCU を防ぐために離して配置しなければならない。

DHC (Double-Height Cell) 構造 [10] はマスター/スレイブ側のラッチの同時反転を防ぐ有効な手法である。図 12 は従来

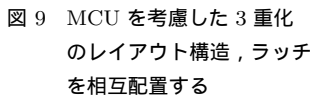
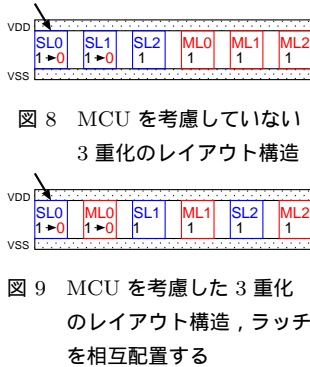


図 10 フリップフロップのマスターとスレイブラッチでの MCU 発生率  $n/\text{Mbit/h}$

Latch	Min. Dis.	# SEUs	# MCUs	#M/#S
Master	$0.73 \mu\text{m}$	541	88	16%
Slave	$1.03 \mu\text{m}$	493	19	3.8%

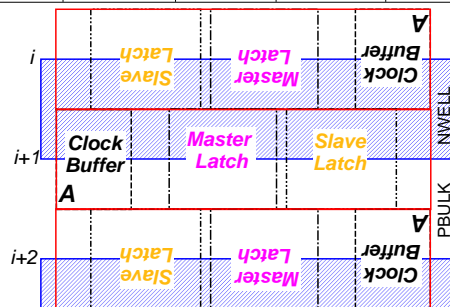


図 11 MCU 発生率を測定するためのフリップフロップアレイのフロアプラン

のレイアウト構造であり、BISER と BCDMR のマスター/スレイブ側のラッチ間の MCU のみを考慮している。DHC 構造によって N-well (PMOS トランジスタ) を共有するために、全てのコンポーネントは 2 列に配置されている。これは、ソフトエラーの原因となる電荷が生成されるセンシティブエリアは NMOS トランジスタよりも PMOS トランジスタの方が小さく [2], [11], P-well (NMOS トランジスタ) を共有するよりもソフトエラー耐性が高いからである。しかし、図 12 のレイアウト構造におけるソフトエラー耐性の測定結果は図 6 に示すとおりであり、前節で言及したように BISER と BCDMR の SER は通常のフリップフロップの 1/10 程度であった。これは 2 つのラッチ間の MCU しか考慮しておらず、ラッチと keeper 間の MCU を考慮していなかったことが原因である。2 つのマスター/スレイブラッチの内 1 つが反転した時、C-element と keeper はソフトエラーに脆弱になる。一方のラッチが反転している間に C-element もしくは keeper にも電荷が同時に集積された場合、keeper の保持値は容易に反転してしまう。それにより、フリップフロップの値は反転する。図 12 のレイアウト構造ではマスター/スレイブラッチと C-element+keeper は隣接して配置されており、NMOS トランジスタ間の距離は BCDMR では  $0.77 \mu\text{m}$ 、BISER では  $1.54 \mu\text{m}$  である。BCDMR での距離は図 11 のマスターラッチ間の距離とほぼ同じであり、MCU に脆弱であることがわかる。

図 13 は提案するレイアウト構造であり、ラッチと C-element+keeper を可能な限り離して配置している。クリティカルコンポーネントの組み合わせはフリップフロップの記憶値毎に異なっており、0 を書き込んだ場合 ( $Q=0$ ) のクリティカルコンポーネント間の最小距離は BISER では  $3.61 \mu\text{m}$ 、BCDMR では  $2.13 \mu\text{m}$  となる (図 14 上部)。1 を書き込んだ場合 ( $Q=1$ )、BISER では  $3.41 \mu\text{m}$ 、BCDMR では  $3.24 \mu\text{m}$  となる (14 下部)。表 2 は従来のレイアウトと提案するレイアウト構造でのクリティカルコンポーネントの最小距離の比較を示しており、従来よりも 2 倍以上離れている。提案するレイアウト構造での

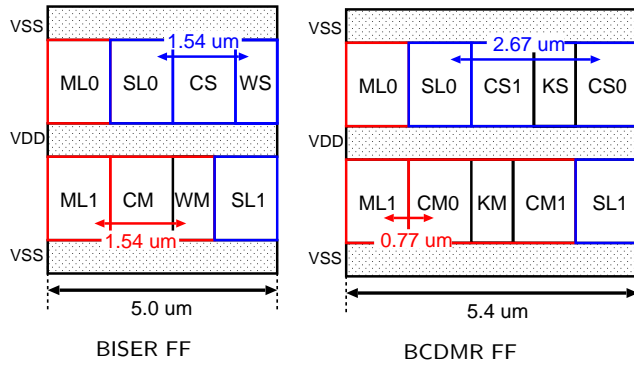


図 12 従来のレイアウト構造, BISER と BCDMR のマスター/スレイブ側の 2 つのラッチ間の MCU のみを考慮している

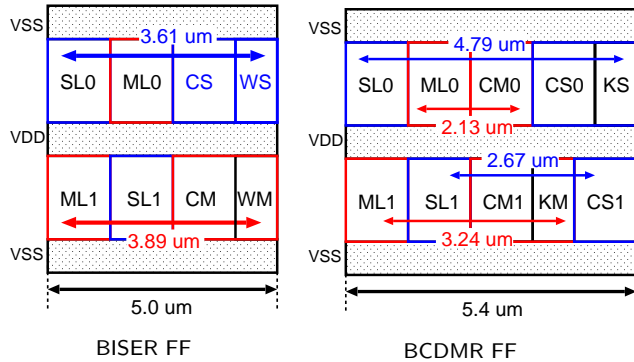


図 13 提案するレイアウト構造, BISER と BCDMR の全てのクリティカルコンポーネント間の MCU を考慮している

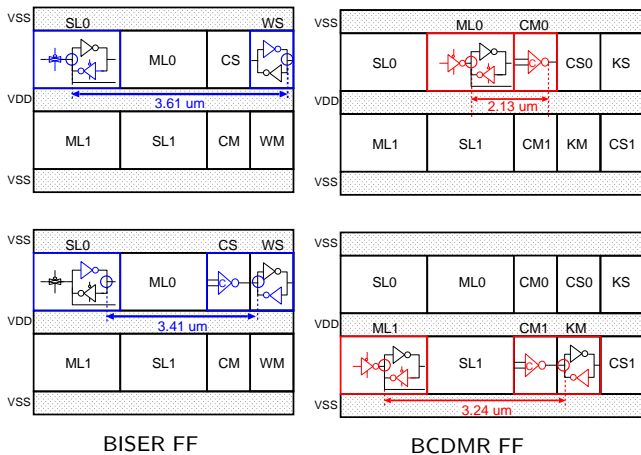


図 14 クリティカルコンポーネント間の距離, Q=0 (上部), Q=1 (下部)

白色中性子ビームによるソフトエラー耐性の測定結果は次節で述べる。

インテルのザイファートらはクリティカルコンポーネント間にダミーゲートを挿入することで距離を離す手法を提案している [4]。しかし、この手法では 10% の面積オーバーヘッドがありながら 3.8 倍のソフトエラー耐性しか得られていない。提案するレイアウト構造ではコンポーネントを並び替えるだけであるため、面積オーバーヘッドは生じない。

#### 4. 提案構造における MCU 耐性の評価

提案するレイアウトで設計した BISER と BCDMR 型フリッ

表 2 クリティカルコンポーネント間の最小距離 (Q=0)

Floorplan	Fig. 12	Fig. 13	Ratio
BISER	1.54 $\mu\text{m}$	3.61 $\mu\text{m}$	2.34
BCDMR	0.77 $\mu\text{m}$	2.13 $\mu\text{m}$	2.76

プフロップアレイをツインウェル構造とトリプルウェル構造で 65 nm プロセスのチップに実装した。図 15 は 4 つのアレイと PLL (Phase Locked Loop) を含むチップの顕微鏡写真を示している。BISER と BCDMR アレイはツインウェル部 (図 15 上部) に 32,400 bit, トリプルウェル部 (図 15 下部) には 34,020 bit 搭載されている。CLK 信号を適用した状態でソフトエラー率の評価を行うために、フリップフロップアレイは 9 bit 毎のローカルループ構造としている [8]。

ソフトエラー耐性の評価は大阪大学核物理研究センターの白色中性子ビームによって行われた。平均加速係数は  $3.67 \times 10^8$  であった。フリップフロップを 0 に初期化した後、CLK 周波数毎に中性子ビームを 50 分間照射した。多くのエラーを観測するために、12 チップ同時に測定を行った。表 3 と表 4 はそれぞれエラーの実測数と SER [FIT/Mbit] を示している。図 16 は周波数毎の SER [FIT/Mbit] を示している。CLK 信号を供給する回路の問題により、BCDMR は 300 MHz では正常に動作しなかった。

BISER では、SER は CLK 周波数に応じて増加している。2.2 節で述べたように C-element 上で生じた SET パルスが冗長化ラッチに容易に取り込まれることが原因である。それに対して図 12 の従来のレイアウトでは図 6 に示すように SER の CLK 周波数依存性がみられないことから、提案構造と比較して MCU に脆弱であることが明らかである。ツインウェル構造の SER はトリプルウェル構造よりも大きい。これは、トリプルウェル構造の方が p-well が浅く、SET パルスの発生数が少なくなるからだと推測される。

BCDMR では、ツインウェル構造ではエラーが 1 つも生じなかった [12]。SER は 9 FIT/Mbit 未満であり、非冗長化フリップフロップ (D-FF) の 1,031 FIT/Mbit (図 6) の 100 倍以上という非常に高いソフトエラー耐性である。一方で、トリプルウェル構造では数個のエラーが観測された。BISER と違い BCDMR は C-element で生じる SET パルスに強靱である。これらのエラーは、寄生バイポーラ効果 [13] によってクリティカルコンポーネントの同時反転が引き起こされたからだと推測される。トリプルウェル構造ではディープ n-well と p-well が分離しているため、p-well での寄生バイポーラ効果による MCU が生じ易い [14]。

#### 5. 結 論

本稿では耐ソフトエラー冗長化フリップフロップの MCU 耐性を向上させるレイアウト構造を提案した。提案構造では冗長化フリップフロップのコンポーネントをレイアウト上で並び替え、クリティカルコンポーネント間の距離を可能な限り引き離して配置することで MCU を防いでいる。MCU 対策を行った回路を 65 nm プロセスのチップにツインウェル、トリプルウェ

Process	65 nm bulk CMOS
Chip Size	4 mm×4 mm
Package	QFP208

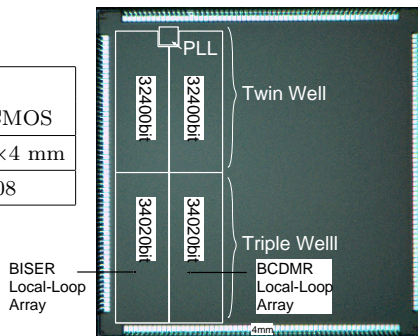


図 15 65 nm プロセスチップの顕微鏡写真

表 3 図 13 のレイアウトに中性子を 50 分間照射したときの BISR と BCDMR エラー数 (Q=0).

	well	Clock Freq.[MHz]			
		1	10	100	300
BISR	twin	2	3	5	24
	triple	1	3	6	11
BCDMR	twin	0			-
	triple	3	2	2	-

表 4 表 3 から計算される SER [FIT/Mbit] (Q=0)

	well	Clock Freq.[MHz]			
		1	10	100	300
BISR	twin	18	26	44	212
	triple	10	28	56	104
BCDMR	twin	< 9 (No error)			-
	triple	29	19	19	-

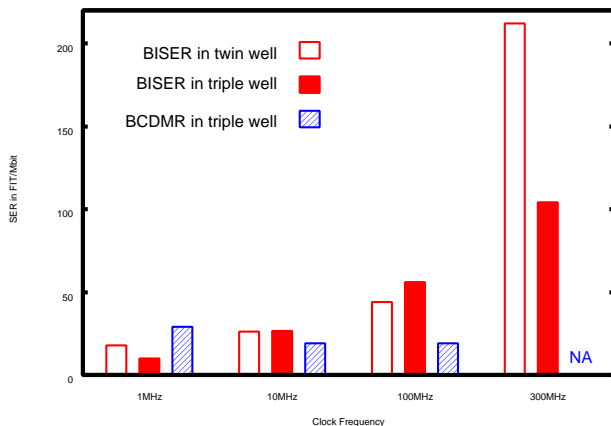


図 16 図 13 のレイアウトに中性子を 50 分間照射したときの BISR と BCDMR の SER [FIT/Mbit] (Q=0)

ル構造ともに 30 kbit 以上実装し、白色中性子ビームによるソフトエラー耐性の評価を行った。中性子ビームを 50 分間照射した結果、MCU 対策を行った BCDMR 型フリップフロップのツインウェル部ではエラーが生じなかった。非 MCU 対策時の BCDMR のソフトエラー耐性は通常のフリップフロップの 10 倍程度であるのに対し、MCU 対策時は 100 倍以上であり、提案構造は MCU に強靱であることが確認できた。

しかし、トリプルウェル部では 2, 3 個のエラーが観測された。これは寄生バイポーラ効果によるエラーだと推測される。

## 6. 謝 辞

本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ技術開発事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センター、(株)イー・シャトルおよび富士通株式会社の協力で行われた。

## 文 献

- [1] E. Ibe, S. Chung, S. Wen, H. Yamaguchi, Y. Yahagi, H. Kameyama, S. Yamamoto, and T. Akioka, "Spreading diversity in multi-cell neutron-induced upsets with device scaling", *CICC*, pp. 437-444, Sept. 2006.
- [2] G. Toure, G. Hubert, K. Castellani-Coulie, S. Duzellier, and J. Portal, "Simulation of Single and Multi-Node Collection: Impact on SEU Occurrence in Nanometric SRAM Cells", *IEEE Trans. Nucl. Sci.*, vol. 58, no. 3, pp. 862-869, June 2011.
- [3] N. Seifert, P. Slankard, M. Kirsch, B. Narasimham, V. Zia, C. Brookreson, A. Vo, S. Mitra, B. Gill, and J. Maiz, "Radiation-Induced Soft Error Rates of Advanced CMOS bulk Devices", *IRPS*, pp. 217-225, Mar. 2006.
- [4] N. Seifert, V. Ambrose, B. Gill, Q. Shi, R. Allmon, C. Recchia, S. Mukherjee, N. Nassif, J. Krause, J. Pickholtz, and A. Balasubramanian, "On the radiation-induced soft error performance of hardened sequential elements in advanced bulk cmos technologies", *IRPS*, pp. 188-197, May 2010.
- [5] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology", *IEEE Trans. Nucl. Sci.*, vol. 43, no. 6, pp. 2874-2878, Dec 1996.
- [6] P. Hazucha, T. Karnik, S. Walstra, B. Bloechel, J. Tschanz, J. Maiz, K. Soumyanath, G. Dermer, S. Narendra, V. De, and S. Borkar, "Measurements and Analysis of SER-tolerant Latch in a 90-nm Dual-VT CMOS Process", *IEEE Solid-State Cir.*, vol. 39, no. 9, pp. 1536-1543, Sept 2004.
- [7] M. Zhang, S. Mitra, T. M. Mak, N. Seifert, N. J. Wang, Q. Shi, K. S. Kim, N. R. Shanbhag, and S. J. Patel, "Sequential Element Design with Built-In Soft Error Resilience", *IEEE Trans. VLSI Sys.*, vol. 14, no. 12, pp. 1368-1378, Dec. 2006.
- [8] J. Furuta, C. Hamanaka, K. Kobayashi, and H. Onodera, "A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop capable of protecting soft errors on the C-element", *VLSI Cir. Symp.*, pp. 123-124, June 2010.
- [9] C. Slayman, "Theoretical Correlation of Broad Spectrum Neutron Sources for Accelerated Soft Error Testing", *IEEE Trans. Nucl. Sci.*, vol. 57, no. 6, pp. 3163-3168, Dec. 2010.
- [10] T. Uemura, Y. Tosaka, H. Matsuyama, K. Shono, C. Uchi-bori, K. Takahisa, M. Fukuda, and K. Hatanaka, "SEILA: Soft error immune latch for mitigating multi-node-SEU and local-clock-SET", *IRPS*, pp. 218-223, May 2010.
- [11] P. Dodd, A. Shaneyfelt, K. Horn, D. Walsh, G. Hash, T. Hill, B. Draper, J. Schwank, F. Sexton, and P. Winokur, "SEU -sensitive volumes in bulk and and and SOI SRAMs from first-principles", *IEEE Trans. Nucl. Sci.*, vol. 48, no. 6, pp. 1893-1903, Dec 2001.
- [12] R. Yamamoto, C. Hamanaka, J. Furuta, K. Kobayashi, and H. Onodera, "An Area-efficient 65 nm Raddiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets", *IEEE Trans. Nucl. Sci.*, Dec 2011 (to be published).
- [13] E. Ibe, S. Chung, S. Wen, H. Yamaguchi, Y. Yahagi, H. Kameyama, S. Yamamoto, and T. Akioka, "Spreading diversity in multi-cell neutron-induced upsets with device scaling", *CICC*, pp. 437-444, Sept. 2006.
- [14] G. Gasiot, D. Giot, and P. Roche, "Multiple Cell Upsets as the Key Contribution to the Total SER of 65 nm CMOS SRAMs and Its Dependence on Well Engineering", *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2468-2473, Dec 2007.