

NBTI回復現象を利用したマルチコアLSIの自己特性補償法

松本 高士[†] 牧野 紘明[†] 小林 和淑^{††,†††} 小野寺 秀俊^{†,†††}

[†] 京都大学情報学研究科 〒606-8501 京都市左京区吉田本町
^{††} 京都工芸繊維大学工芸科学研究科 〒606-8585 京都市左京区松ヶ崎
^{†††} JST CREST

E-mail: [†]tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

あらまし 近年のLSIの微細化により、信頼性の高いシステムを構築することはますます困難となってきた。主要な要因の1つとして、NBTI (Negative Bias Temperature Instability) として知られるトランジスタの経年劣化が挙げられる。本研究ではNBTIの回復現象を利用したマルチコアLSIの長寿命化手法について検討した。65nm CMOSによってNBTIの回復を評価した結果に基づく自己特性補償法について述べる。

キーワード ディペンダブルVLSI, CMOS, NBTI, マルチコア, 特性補償

Multi-core LSI Lifetime Extension by NBTI-Recovery-based Self-healing

Takashi MATSUMOTO[†], Hiroaki MAKINO[†], Kazutoshi KOBAYASHI^{††,†††},
and Hidetoshi ONODERA^{†,†††}

[†] Graduate School of Informatics, Kyoto University Yoshida Honmachi, Sakyo-ku, Kyoto, 606-8501 Japan

^{††} Graduate School of Science and Technology, Kyoto Institute of Technology Matsugasaki, Sakyo-ku,
Kyoto, 606-8585 Japan

^{†††} JST CREST

E-mail: [†]tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

Abstract Designing reliable systems has become more difficult in recent years. Negative-Bias-Temperature-Instability (NBTI) is one of the strongest reliability concerns for CMOS circuits. In this paper, we describe NBTI-Recovery-based multi-core LSI lifetime extension method. NBTI recovery is characterized by NBTI sensor fabricated in a 65 nm CMOS technology.

Key words dependable VLSI, CMOS, NBTI, multi-core, performance compensation

1. ま え が き

近年、高信頼性を備えたシステムを設計することはますます困難になってきている。トランジスタのリーク電流といった従来からの問題に加え、特性の劣化やばらつきなどの要因がディペンダブルなVLSIの実現に向けて深刻な影響を与えるようになってきた[1]~[4]。Negative Bias Temperature Instability (NBTI)はCMOS回路の信頼性に対して最も影響を与える要因の1つである[5]~[16]。NBTIにおける著しい特徴は、PMOSのゲート絶縁膜に対するNBTIストレスが緩和されると、劣化が回復するという現象が存在することである[7]。以下、本稿ではマルチコアLSIの長寿命化手法について述べる。

NBTIの回復現象と回路の並列化を組み合わせることによってLSIの長寿命化を達成することが可能であることが示される。ここでNBTIの回復量を明らかにすることは本長寿命化手法において極めて重要である。NBTIの評価を正確におこなうためにはNBTIの回復の影響を除くことが重要である。一般的に測定遅延を1 μ s以下にすることでNBTIの回復を回避することが可能と考えられている[8]。したがってまず、測定遅延400nsという大変短い時間でNBTIを評価可能な回路[17]による評価結果について述べる。さらにシリコンの面積をLSIの信頼性に転化するという考え方が現在もなお微細化の続くCMOS技術にとって有望な概念であることが示される[18]。

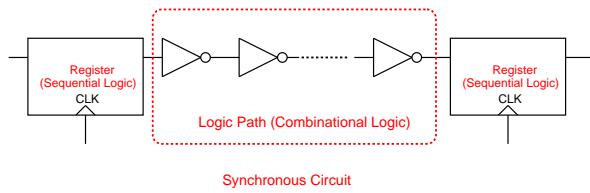


図 1 Typical synchronous circuit structure.

2. NBTI の回復を利用した LSI の長寿命手法について

図 1 は 2 つの Register の間に logic path が挟まれた典型的な同期回路を示している。同期回路を構成するトランジスタの信頼性の影響は近年ますます大きくなっている。NBTI は近年のトランジスタの信頼性に関する主要な問題であり、大変薄いゲート絶縁膜の物性に関係している。トランジスタが NBTI によって劣化すると組み合わせ回路での遅延時間は増大する。また、NBTI によって Register の正しい動作が保証されなくなる可能性もある。以上のような原因のため、回路が正しく動作しない、あるいは LSI 特性の許容下限値を下回るといった問題が発生する。図 2 は LSI 特性が時間とともに劣化し、やがて許容下限値によって定義される寿命（例えば 10 年）に到達する様子を示している。もし NBTI の回復を利用して LSI 特性を回復させることができれば図 2 に示したように LSI を長寿命化させることが可能である。第 4 節で示すが、通常の動作条件下での NBTI 劣化はゆっくりとした過程であり、一方 NBTI の回復は劣化に比べて大変高速な過程である。したがって図 2 に示された回復は大変速く起きる。その結果、NBTI 回復を利用した LSI の長寿命化手法の実現のためには、図 2 に示された NBTI 回復可能量を定量化することが重要である。第 4 節でこの回復可能成分の性質が実測結果に基づいて明らかにされる。

3. マルチコア LSI の長寿命化手法について

近年の CMOS 技術のスケールリングによって多くのアプリケーションにおいて回路の並列化あるいはマルチコア技術が導入されている [19]。従来は回路並列化によって歩留まりの上昇、消費電力の低下 [20]、チップ上のホットスポットの減少といったことが実現されてきた。本稿ではシリコンの面積を LSI の信頼性に転化するという考え方が現在もなお微細化の続く CMOS 技術にとって有望な概念であることが示される。図 3 は $n+1$ コアの LSI (C_1 から C_{n+1}) を示している。一様な $n+1$ コアの LSI のうち 1 コアは常に NBTI 回復モードにセットされている。また、各コアは、製造プロセスばらつきや異なる動作負荷のために、それぞれ異った時刻にその寿命に到達する

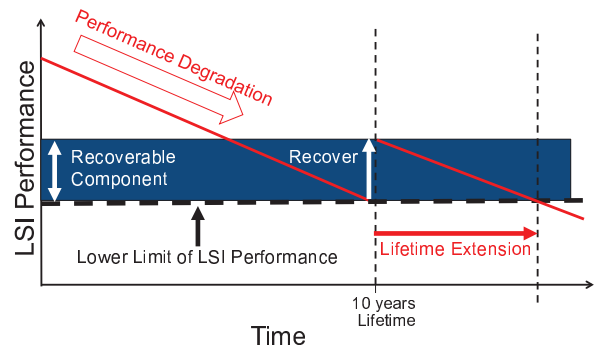


図 2 Degraded LSI performance can be recovered with NBTI recovery that leads to LSI lifetime extension.

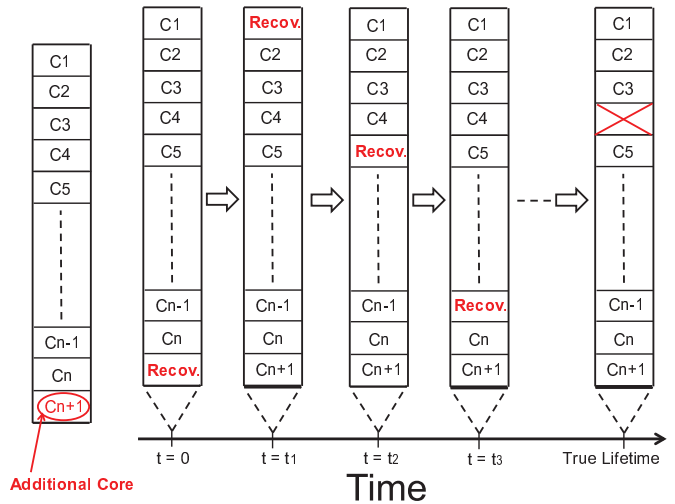


図 3 The example of an $(n+1)$ -core LSI ($C_1 - C_{n+1}$) operation is shown. Shortly before C_1 reaches to its lifetime at $t = t_1$, C_1 changes to recovery mode, and C_{n+1} becomes active mode. By recovering one of $n+1$ cores, n -core LSI system does not stop and the lifetime can be extended due to NBTI recovery.

と仮定する。最初にあるコアが寿命に到達するとこのコアは回復モードに移行し、それ以前に回復モードにあったコアが活性化される。例えば C_1 が $t = t_1$ で寿命に到達する少し前に C_1 は回復モードに移行し、 C_{n+1} が活性化される。そのためこのシステムは n コア LSI の状態を維持する。この動作を繰り返すことで、 $n+1$ コアの LSI のうち 1 コアを回復させることによって、 n コア LSI システムを動作停止させることなく (図 3 「True Lifetime」にも示されるように) 長寿命化させることが可能となる。

4. NBTI 劣化、回復特性の評価結果

図 2 に示された回復可能成分を定量的に明らかにする

ことは本稿で提案した長寿命化手法にとって大変重要である。最近我々は NBTI を 400ns の測定遅延で評価可能な回路を提案した [17]。この回路では NBTI は PMOS トランジスタのオフリーク電流によって評価している。この回路は 2160 個の PMOS に同時に NBTI ストレスを加えて評価するため、個々の PMOS 劣化を平均化することで NBTI 劣化、回復を評価する手法である。回路は 65nm CMOS によって試作されている。本節ではこの回路による NBTI 劣化、回復評価結果について述べる。図 4 はオフリーク電流が NBTI ストレス時間とともに減少する様子を示している。図 4 にはオフリーク電流の初期値が合わせて示されている。NBTI ストレス時の PMOS のバイアス条件は $V_{gs} = -2.2V$, $V_{ds} = 0V$, $V_{sub} = V_s$ であり、NBTI 測定時のバイアス条件は $V_{gs} = 0V$, $V_{ds} = -2.2V$, $V_{sub} = V_s$ である。ストレス温度は 125°C である。図 4 における 2000s のストレス時間は室温、通常動作電圧における動作状態でのおよそ 1 年分に相当する。DUT に 2000s の NBTI ストレスが加えられると、図 4 に示されるようにオフリーク電流は初期値の半分程度まで減少する。この DUT にさらに繰り返し同じストレスを印加すると初期のオフリーク電流値はほとんど fresh 時の値に戻ることが分かる。このことは図 2 に示された回復可能成分をオフリーク電流によって評価すると、繰り返し NBTI ストレスを印加した後もほぼ一定であることを示している。ストレス時間 t_y での回復可能量を $R_{leak}(t_y)$ と定義する。実際のアプリケーションにおいては十分な回復時間を確保できない可能性もある。図 5 (右) は NBTI の回復が 400ns から 3000s の間で $\log t$ に従うことを示している。これは PMOS においてゲート絶縁膜界面の正に帯電した欠陥の時定数が \log スケールで一様に分布しているためである [21]。図 5 (右) の NBTI 回復現象をモデル化することによって実際のアプリケーションにおいては回復量は回復時間によって調整することが可能である。図 5 (左) は NBTI の劣化測定結果を示しており、劣化は時間の冪に従うことが分かる。図 6 は NBTI 回復を利用した LSI の長寿命化手法を示している。図 6 において $R(t)$ は (ストレス) 時間 t における回復可能成分である。 L_0 は時刻 $t = 0$ における LSI の性能である。 $P(t)$ は (ストレス) 時間 t における NBTI の permanent な劣化成分を示す。 $P(t)$ はストレス時間 t が増加すると徐々に増加する。LSI の性能は時刻 t_k において $R(t_k - t_{k-1})$ だけ回復させることができる。最大の寿命 (真の寿命) は $L_0 - P(t_k) = 0$ となる時間で決まる。LSI が $t = t_1$ で寿命に到達すると、LSI 性能は $R(t_1)$ だけ回復させることができる。LSI 性能は $L_0 - P(t) = 0$ となるまで回復させることができる。 $P(t)$ は徐々に増加するため $L_0 - P(t)$

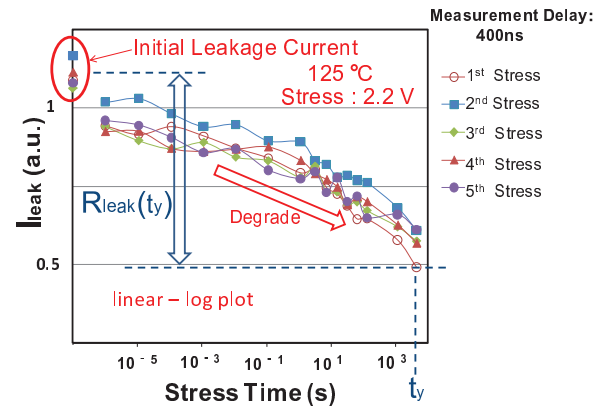


図 4 The off-leak current decreases with stress time compared to its initial value. The recoverable component shown in Fig. 1 measured by off-leak current remains almost constant after repeatedly added NBTI stress. It is defined that recoverable amount is $R_{leak}(t_y)$ for stress time t_y .

は徐々に減少する。動作電圧 VDD が低下するとさらに寿命を延すことが可能であり、図 6 の点線でこのことが示されている。NBTI 回復は $\log t$ に従う高速な過程であるため、通常動作電圧下における NBTI 劣化は大変ゆっくりとした過程となる。この劣化と回復の非対称性のため、NBTI の回復を利用した長寿命化手法は大変効果的なものとなる。ある動作負荷下でのマルチコア LSI の場合には 1 つ冗長コアを追加し、1 つのコアを回復モードで利用する手法は、slow プロセスコーナーにあるコアの劣化速度を減少させることができた場合により効果的なものとなる。

5. まとめ

LSI の長寿命化は NBTI 回復と回路並列化を組み合わせることによって可能であることが示された。NBTI 回復は 65nm CMOS によって作成された 400ns の測定遅延で NBTI を評価可能な回路によって測定した。オフリーク電流によって測定した回復可能成分は NBTI ストレスを繰り返し印加してもほぼ一定であることが分かった。さらに、実際のアプリケーションにおいては回復量は回復時間によって調整可能であり、400ns から 3000s の間では NBTI 回復は $\log t$ に従うことが分かった。以上の結果をもとにマルチコア LSI の長寿命化が可能であることが示された。シリコンの面積を LSI の信頼性に転化するという考え方が現在もなお微細化の続く CMOS 技術にとって有望な概念であることが示された。

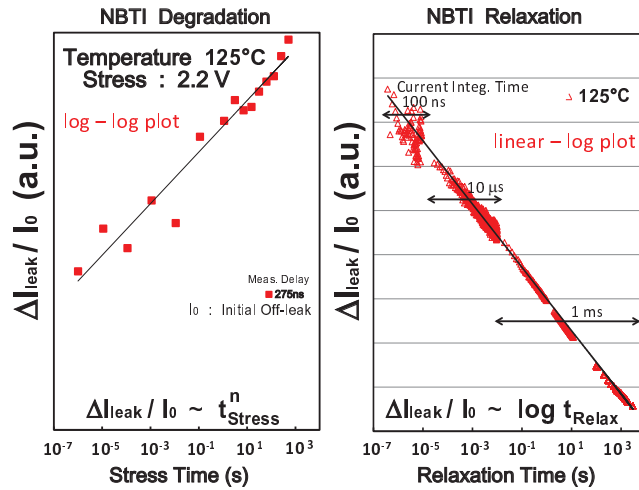


図5 (left) The measurement result of NBTI degradation follows power law. (right) The measurement result of NBTI recovery follows log t. In the case of nominal operation, the relaxation speed is much faster than the degradation speed. Due to this asymmetrical nature of NBTI, lifetime extension by NBTI recovery is very effective method.

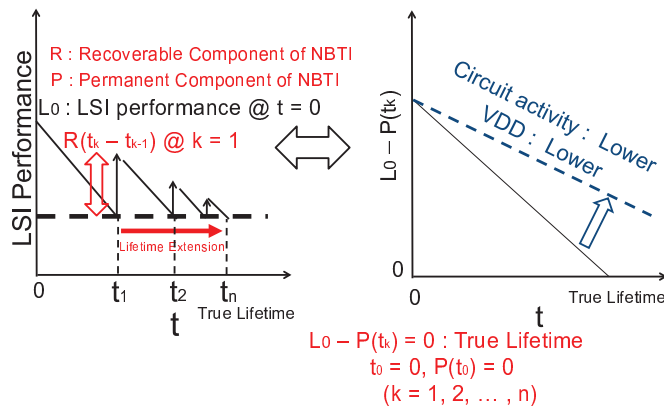


図6 The concept of a circuit operation to extend its lifetime. LSI performance can be repeatedly recovered until $L_0 - P(t)$ reaches to zero.

謝辞

本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ実用化支援事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター、(株)イーシャトル、富士通株式会社の協力で行われたものである。

文献

[1] S. Borkar, *IEEE Micro*, “Designing reliable systems from unreliable components: the challenges of transistor variability and degradation,” vol.25, pp. 10 -16, 2005.

[2] M. Alam, *Microelectron. Reliab.*, “Reliability- and process-variation aware design of integrated circuits,” vol.48, pp. 1114-1122, 2008.

[3] H. Onodera, *IEEE International Electron Devices Meeting (IEDM)*, “Variability modeling and impact on design,” 2008, p. 701.

[4] 小野寺秀俊, 「ロバストファブリックを用いたディペンダブル VLSI プラットフォーム」, LSI とシステムのワークショップ 2011, pp. 105-113.

[5] D. K. Schroder and J. A. Babcock, *J. Appl. Phys.*, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing,” **94** (2003) 1.

[6] J. H. Sthathis and S. Zafar, *Microelectron. Reliab.*, “The negative bias temperature instability in MOS devices: A review,” **46** (2006) 270.

[7] M. Alam, *IEEE International Electron Devices Meeting (IEDM)*, “A critical examination of the mechanics of dynamic NBTI for PMOSFETs,” 2003, p. 345.

[8] H. Reisinger, O. Blank, W. Heinrigs, A. Muhlhoff, W. Gustin, and C. Schlunder, *IEEE International Reliability Physics Symposium (IRPS)*, “Analysis of NBTI Degradation- and Recovery-Behavior Based on Ultra Fast VT-Measurements,” 2006, p. 448.

[9] C. Shen, M. F. Li, C. E. Foo, T. Yang, D. M. Huang, A. Yap, G. S. Samudra, and Y. C. Yeo, *IEEE International Electron Devices Meeting (IEDM)*, “Characterization and Physical Origin of Fast Vth Transient in NBTI of pMOSFETs with SiON Dielectric,” 2006, p. 333.

[10] Z. Q. Teo, D. S. Ang, and G. A. Du, *IEEE International Reliability Physics Symposium (IRPS)*, “Observation of two gate stress voltage dependence of NBTI induced threshold voltage shift of ultra-thin oxynitride gate p-MOSFET,” 2009, p. 1002.

[11] T. Grasser, B. Kaczer, W. Goes, T. Aichinger, P. Hehenberger, and M. Nelhiebel, *IEEE International Reliability Physics Symposium (IRPS)*, “A two-stage model for negative bias temperature instability,” 2009, p. 33.

[12] A. E. Islam, S. Mahapatra, S. Deora, V. D. Maheta, and M. A. Alam, *IEEE International Electron Devices Meeting (IEDM)*, “On the differences between ultra-fast NBTI measurements and Reaction-Diffusion theory,” 2009, p. 733.

[13] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, *IEEE International Reliability Physics Symposium (IRPS)*, “The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress,” 2010, p. 7.

[14] T. Grasser, H. Reisinger, P. J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, *IEEE International Reliability Physics Symposium (IRPS)*, “The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability,” 2010, p. 16.

[15] B. Kaczer, T. Grasser, Ph. J. Roussel, J. Franco, R. Degraeve, L. A. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, *IEEE International Reliability Physics Symposium (IRPS)*, “Origin of NBTI variability in deeply scaled pFETs,” 2010, p. 26.

[16] V. Huard, *IEEE International Reliability Physics Symposium (IRPS)*, “Two independent components modeling for Negative Bias Temperature Instability,” 2010, p. 33.

[17] T. Matsumoto, H. Makino, K. Kobayashi and H. Onodera, “A 65 nm Complementary Metal-Oxide-Semiconductor 400 ns Measurement Delay Negative-Bias-Temperature-Instability Recovery Sensor with Minimum Assist Circuit,” *Japanese Journal of Applied Physics*, vol. 50, p. 04DE06, 2011.

[18] T. Matsumoto, H. Makino, K. Kobayashi and H. Onodera, “Multi-core LSI Lifetime Extension by NBTI-Recovery-

- based Self-healing,” *International Conference on Solid State Devices and Materials (SSDM)*, p. 1045, 2011.
- [19] J. Howard, S. Dighe, Y. Hoskote, S. Vangal, D. Finan, G. Ruhl, D. Jenkins, H. Wilson, N. Borkar, G. Schrom, F. Paillet, S. Jain, T. Jacob, S. Yada, S. Marella, P. Salihundam, V. Erraguntla, M. Konow, M. Riepen, G. Droege, J. Lindemann, M. Gries, T. Apel, K. Henriss, T. Lund-Larsen, S. Steibl, S. Borkar, V. De, R. Van Der Wijngaart, T. Mattson, *IEEE International Solid-State Circuits Conferences (ISSCC)*, “A 48-Core IA-32 message-passing processor with DVFS in 45nm CMOS,” 2010, p. 108.
- [20] A. Chandrakasan, S. Sheng, and R. Brodersen, “Low-power CMOS digital design,” *IEEE J. Solid State Circuits*, **27** (1992) 473.
- [21] T. Aichinger, M. Nelhiebel, and T. Grasser, *IEEE International Reliability Physics Symposium (IRPS)*, “Unambiguous identification of the NBTI recovery mechanism using ultra-fast temperature changes,” 2009, p. 2.