

# FDSOI プロセスにおけるスタック構造を用いた NMOS および PMOS トランジスタのソフトエラー耐性の実測による比較

山田 晃大<sup>†</sup> 古田 潤<sup>†</sup> 小林 和淑<sup>†</sup>

<sup>†</sup> 京都工芸繊維大学大学院 工芸科学研究科 電子システム工学専攻 〒606-8585 京都市左京区松ヶ崎

あらまし 集積回路素子の微細化に伴いソフトエラーによる集積回路の信頼性低下が問題となっている。本研究では、65nm FDSOI (Fully Depleted Silicon Insulator) プロセスにおいて NMOS と PMOS トランジスタのソフトエラー耐性を TCAD シミュレーションと実測により比較した。シミュレーション結果から、PMOS トランジスタに荷電粒子照射時のソフトエラー耐性が NMOS トランジスタ照射時に比べて高いことを示した。3 種類のスタック構造を用いたラッチを 65 nm thin BOX FDSOI プロセスでテストチップを試作し、中性子線、重イオンを照射することでソフトエラー率を算出し比較した。地上だけでなく宇宙空間においても約 90% が NMOS トランジスタ起因でソフトエラーが起きることを明らかにした。

キーワード ソフトエラー, FDSOI, スタック構造, TCAD シミュレーション, 中性子線, 重イオン

## Comparison of Sensitivity to Soft Errors of NMOS and PMOS Transistors by Using Three Types of Stacking Latches in an FDSOI process

Kodai YAMADA<sup>†</sup>, Jun FURUTA<sup>†</sup>, and Kazutoshi KOBAYASHI<sup>†</sup>

<sup>†</sup> Kyoto Institute of Technology Graduate School of Science and Technology

**Abstract** According to process scaling, soft errors become a significant issue to threaten the reliability of semiconductor chips. We evaluate soft-error tolerance of latches by TACD simulations and neutron, heavy-ion irradiation tests in order to compare sensitivity to soft errors of NMOS and PMOS transistors. The simulation results show PMOS transistors are less insensitive to soft errors than NMOS transistors. Three different latch structures which consists of stacked inverters are fabricated in a 65 nm thin BOX FDSOI process. The latch structure including an inverter with stacked NMOS and unstacked PMOS transistors has enough tolerance against soft errors by up to heavy ions with 40 MeV-cm<sup>2</sup>/mg. It suggests that soft error rates are dominant on NMOS transistors not only in terrestrial regions but also in outer space.

**Key words** soft error, FDSOI, TACD simulation, stacked structure, neutron, heavy-ion

### 1. 序 論

集積回路 (LSI) の微細化・高集積化によって、トランジスタ数はムーアの法則に従って増加している [1]。一方で、微細化に伴い LSI の信頼性低下が問題となっている。信頼性低下の要因の 1 つとして、放射線起因のソフトエラーが挙げられる。ソフトエラーとは、LSI に粒子線が通過、または衝突することにより電子正孔対が生成され、メモリの保持値や FF (Flip-Flop) の論理値が一時的に反転する現象である [2]。ソフトエラーは一過性のエラーであり、再起動やデータの書き換えを行うことにより元の値へと戻すことができる。しかし、航空機や自動車、医療機器など高い信頼性が求められる製品では一時故障でも重大な事故を引き起こしかねないため、ソフトエラー対策は必須であ

る。ソフトエラーの主な対策には、TMR (Triple Modular Redundancy) [3], DICE (Dual Interlocked strage CELL) [4], HIT (Heavy Ion Tolerant) cell [5] など多様な多重化回路が用いられる。しかし、面積や遅延時間、消費電力が大きくなるためソフトエラーに脆弱な部分を見つけて必要最低限の対策に留めなければならない。NMOS トランジスタは PMOS に比べてウェルの構造や電子と正孔の移動度の違いにより、バルクプロセスにおいてソフトエラーに脆弱であることが知られている [6] [7]。一方で、65nm バルクプロセスにおいて PMOS トランジスタに荷電粒子が通過し発生したパルス幅が NMOS トランジスタの場合と比べて大きく、脆弱であることが報告される [8]。

本稿では 65 nm FDSOI (Fully Depleted Silicon on Insulator) プロセスにおいて、NMOS と PMOS トランジスタのソフ

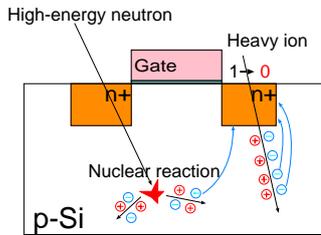


図 1 各粒子による電子正孔対の発生機構。

トエラー耐性を、デバイスシミュレーションと実測により比較する [9]。第 2 節ではソフトエラーの発生起因とその対策技術について述べる。第 3 節では TCAD シミュレーションを用いてソフトエラー耐性を評価する。第 4 節では中性子線および重イオン起因のソフトエラーについて、実測方法と結果を述べる。第 5 節では本稿の結論を述べる。

## 2. ソフトエラー

本章では LSI の一時的な誤動作の要因の 1 つであるソフトエラーについて説明する。

### 2.1 ソフトエラーの発生要因

放射線が LSI 内を通過または衝突することによって電子正孔対が生じる。発生したキャリアが拡散層に収集され、ドレイン電圧が変動し保持値が反転することでソフトエラーが引き起こされる。ソフトエラーの発生機構を図 1 に示す。地上でソフトエラーを引き起こす要因となる主な粒子は、 $\alpha$  粒子、高エネルギー中性子の 2 種類である。高エネルギー中性子が基板の Si などの原子核に衝突すると核反応を起こし、 $\alpha$  線や重イオンを放出する [10]。一方で、宇宙では重イオンがソフトエラーの要因である。

### 2.2 SEU (Single Event Upset)

ソフトエラーが Flip Flop (FF) や SRAM などのデータ保持部で生じるものを SEU (Single Event Upset) と呼ぶ。粒子線がトランジスタに突入することで SET (Single Event Transient) パルスと呼ばれる一過性の電圧パルスが発生する。NMOS トランジスタに粒子線が突入すると '1' '0' '1' の SET パルスが発生し、PMOS トランジスタに粒子線が突入すると '0' '1' '0' の SET パルスが発生する。SET パルスが SRAM や FF の内部で発生した場合は保持値を直接反転させる。本稿では、NMOS トランジスタに放射線が衝突した場合と PMOS トランジスタに放射線が衝突した場合の比較を行う。

### 2.3 ソフトエラー対策技術

ソフトエラー対策として、一般的にデバイスレベルと回路レベルでの対策がある。

#### 2.3.1 FDSOI デバイス

デバイスレベルでの対策として FDSOI (Fully Depleted Silicon On Insulator) 構造が挙げられる [11]。シリコン基板とトランジスタの間に、絶縁層として BOX (Buried Oxide) 層が挿入されている。FDSOI の利点としては BOX 層により、チャネルの不純物ドーピングをなくすことによりばらつきを減らし低電圧での動作が可能である。BOX 層以下の基板で発生した

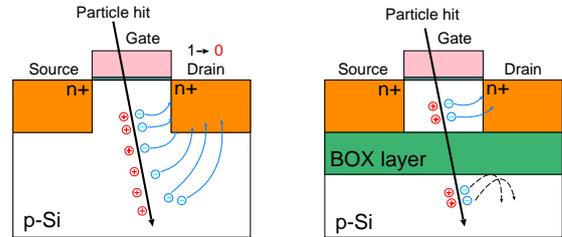


図 2 デバイス内に放射線が突入した時の様子。

キャリアは BOX 層によって遮られ、拡散層では収集されないためバルク構造と比較してソフトエラーに強い [12]。しかし、FDSOI デバイスでは発生した正孔がボディの電位を上昇させ、ドレイン・ソース間が ON 状態になることでソフトエラーを引き起こす。この現象を寄生バイポーラ効果と呼ぶ。図 2 にバルクと FDSOI に放射線が突入した様子をそれぞれ示す。BOX 層が 10 nm と薄い 65 nm thin BOX FDSOI プロセスでテストチップを試作している。

#### 2.3.2 スタック構造

インバータのトランジスタを縦積みにしたスタック構造が寄生バイポーラ効果対策として用いられる [13]。インバータとスタック構造に放射線が突入した様子を図 3 に示す。通常のインバータの NMOS トランジスタに放射線が突入し基板電位が上昇すると、寄生バイポーラトランジスタが ON し出力とソースが完全に導通し出力が '1' から '0' に変化する。一方で、スタック構造の片方の NMOS トランジスタに放射線が突入したとしても、出力とソースが完全に導通しないため出力が大きく変化しない。FDSOI デバイスは BOX 層により個々のトランジスタが孤立しており、縦積みトランジスタが同時に反転しにくい。そのためスタック構造は FDSOI プロセスに適したソフトエラー対策である。さらに、多重化回路と比べて面積・電力のオーバーヘッドを抑えた対策が可能である。

一般的に使用される D 型 FF のラッチ内のインバータにスタック構造を用いた FF を図 4 に示す。マスターラッチが値を保持しているときにアルゴン (Ar) イオン (15.8 MeV-cm<sup>2</sup>/mg) を垂直に照射した場合のソフトエラー率を図 5 に示す。測定方法については第 5 節で詳しく述べる。N=0, N=1 のそれぞれにおいて脆弱なトランジスタを図 6 に示す。N=0 の時にはインバータの NMOS トランジスタおよびトライステートインバータの PMOS トランジスタに放射線が衝突すると保持値が反転し、N=1 のときにはインバータの PMOS トランジスタおよびトライステートインバータの NMOS トランジスタに放射線が衝突すると保持値が反転する。しかし、インバータはスタック構造のためインバータに放射線が衝突してもソフトエラーが起きにくい。

1. N=0 のときにトライステートインバータの PMOS トランジスタに Ar が衝突した場合にはソフトエラーが起きるが、実測結果でソフトエラーがほとんど発生していない。
2. N=1 のときには、N=0 と比べるとスタック構造によるソフトエラー抑制効果が得られない。

以上のことから、PMOS トランジスタが NMOS トランジス

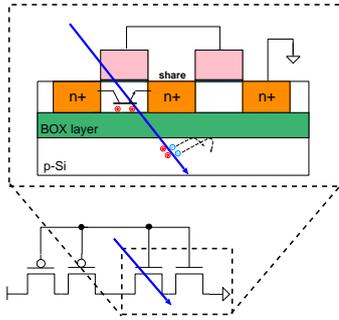


図 3 スタック構造の回路図とスタック構造の NMOS の断面図 .

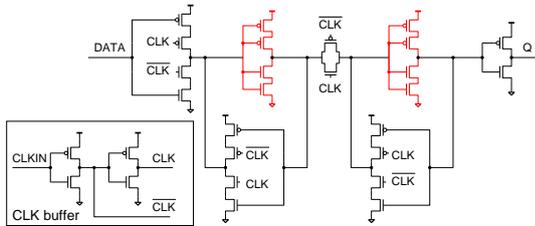


図 4 スタック構造を用いた Flip Flop .

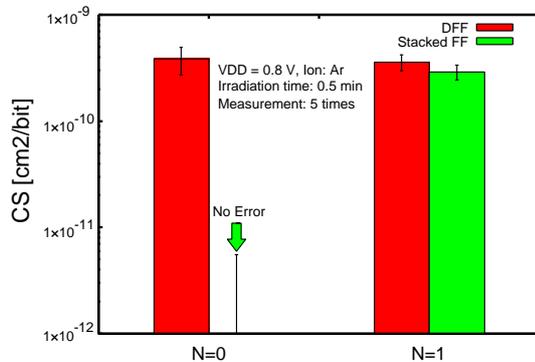


図 5 Ar イオン照射時のソフトエラー率 .

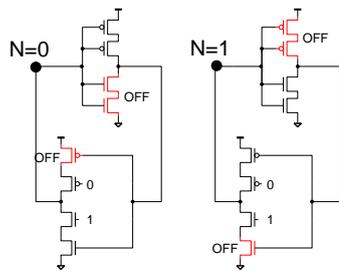


図 6 各条件ごとにソフトエラーに脆弱となるトランジスタを示す .

タに比べて十分高いソフトエラー耐性を示すと考えられる . 本稿では , ラッチのソフトエラー発生 の NMOS トランジスタ起因の割合を TCAD シミュレーションと実測により算出する .

### 3. TCAD によるソフトエラー耐性評価

本節では , NMOS と PMOS トランジスタのソフトエラー耐性をデバイスシミュレーションを用いて比較する . ここでは , Synopsys 社の Sentaurus を用いた .

#### 3.1 ソフトエラー耐性の評価法

TCAD シミュレーションではトランジスタを構築して任意の LET (Linear Energy Transfer) 値をもつ荷電粒子を任意の

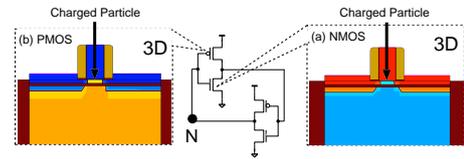


図 7 電源電圧 0.8 V において , 図内の矢印の示す位置に順に荷電粒子を照射してソフトエラー耐性を比較する .

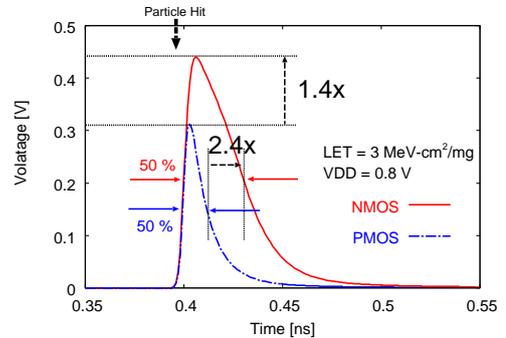


図 8 電源電圧 0.8 V において , インバータを構成する NMOS および PMOS トランジスタに荷電粒子を照射したときのそれぞれの SET パルス .

場所に照射することができる . トランジスタのゲート中心に荷電粒子を垂直照射してソフトエラー耐性を比較する . 図 7 に TCAD 上で構築した 3D モデルの断面図および評価回路を示す . インバータの NMOS , PMOS トランジスタのそれぞれに荷電粒子を照射してソフトエラー耐性を比較する . 初期条件は NMOS トランジスタに照射時にはノード N を 0 に , PMOS トランジスタに照射時にはノード N を 1 に設定する . 評価時間短縮のため片方のインバータは 3D 構造ではなく SPICE モデルを用いる .

#### 3.2 SEU 耐性の比較

荷電粒子を照射して SEU を評価する . LET 値を変化させて保持値が反転する臨界 LET の値を求める . 臨界 LET が高いほどソフトエラー耐性が高い . 結果を表 1 にまとめる . NMOS トランジスタへの照射に比べて PMOS トランジスタへの照射は臨界 LET が約 3 MeV-cm<sup>2</sup>/mg 大きくソフトエラー耐性が高いことが分かった .

#### 3.3 SET パルスの比較

SEU が起きずに発生した SET パルスを比較するため , 3 MeV-cm<sup>2</sup>/mg の LET をもつ荷電粒子を NMOS , PMOS トランジスタのそれぞれに照射する . 発生した SET パルスを図 8 に示す . PMOS トランジスタに照射したときに比べて NMOS トランジスタに照射したときの方が幅が 2.4 倍 , 高さが 1.4 倍大きな SET パルスが発生することが分かった .

### 4. 実測によるソフトエラー耐性評価

本節では , NMOS と PMOS トランジスタ起因のソフトエ

表 1 TCAD 上で構築したラッチの臨界 LET .

照射されたトランジスタ	臨界 LET (MeV-cm <sup>2</sup> /mg)
(a) NMOS	3.8
(b) PMOS	6.9

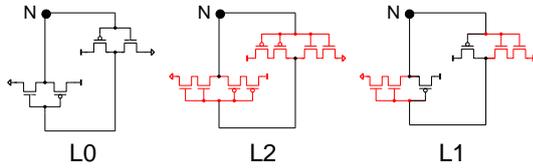


図 9 スタック構造を用いた 3 種類の異なるラッチ .

ラー率をそれぞれ中性子線, 重イオンを用いて求め, 比較する .

#### 4.1 測定対象

NMOS と PMOS トランジスタ起因のソフトエラー率をそれぞれ求めるために, スタック構造を用いた 3 種類の異なるラッチを図 9 に示す . 全てのラッチを 65 nm thin BOX FDSOI プロセスで試作した .

L0 通常のインバータで構成されたラッチ . ソフトエラー対策が施されていない . NMOS と PMOS トランジスタの両方でソフトエラーが発生する .

L2 NMOS および PMOS トランジスタがスタック構造であるインバータで構成されたラッチ . NMOS および PMOS トランジスタの両方で対策が施されているため, ソフトエラーがほとんど起きない .

L1 NMOS のみスタック構造であるインバータで構成されたラッチ . NMOS トランジスタがスタック構造であるため, NMOS トランジスタ起因のソフトエラーがほとんど起きない .

図 10 のように L0 ~ L2 でのソフトエラー率を比較することで, NMOS と PMOS トランジスタ起因のソフトエラー率を算出する . L1 では PMOS トランジスタとスタック構造起因でソフトエラーが発生していると考えられる . L2 はスタック構造起因のみでソフトエラーが発生しているため, L1 のソフトエラー率と L2 のソフトエラー率の差を取ることで PMOS トランジスタ起因のソフトエラー率を算出することができる . L0 は NMOS と PMOS トランジスタ起因でソフトエラーが発生していると考えられるため, 算出した PMOS トランジスタ起因のソフトエラー率との差を取ることで NMOS 起因のソフトエラー率を求めることができる .

3 種類の異なるラッチをスレーブラッチに持つ FF を搭載したチップと FF の段数を図 11 に示す . チップにはそれぞれ L0 が 40,320bit, L1 が 69,600bit, L2 が 64,960bit 搭載されている .

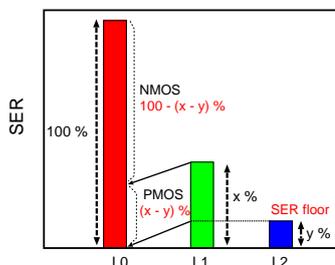


図 10 NMOS と PMOS トランジスタのソフトエラー率算出方法 .  $x$  (L1 のソフトエラー率) と  $y$  (L2 のソフトエラー率) の差を取ることで PMOS 起因のソフトエラー率が求まる . この差が全体の 50% 以下であるならば, ソフトエラーは NMOS トランジスタ起因で主に発生していることが分かる .

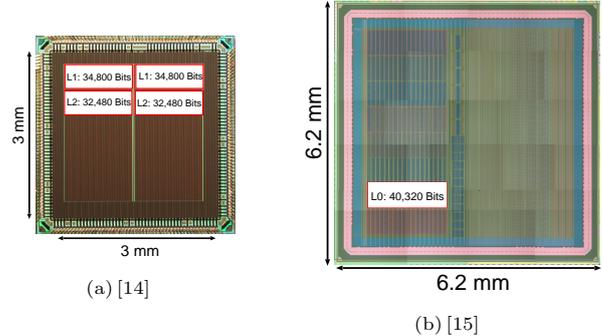


図 11 設計したテストチップ

#### 4.2 測定手順

ソフトエラー測定は以下の手順で行う .

1. FF 全てに同じ値を書き込み初期化する .
  2. クロックを 0 で停止し, 放射線を照射する .
  3. 照射後, FF 全ての値を読み出し, エラーの個数を数える .
- この手順を電源電圧 0.8 V において図 9 内の  $N=0, 1$  の 2 つの動作状態の測定結果の平均で比較する . ソフトエラー数が 0 個の場合, 95% の信頼区間によってエラーバーで評価する .

#### 4.3 中性子線照射測定

中性子線照射試験は大阪大学 RCNP (Research Center for Nuclear Physics) で実施した . 限られた実験時間内でより多くのソフトエラーを観測するため, 複数ボードを同時に測定した . 1 ボードに 4 チップが搭載された DUT (Device Under Tests) ボードを 4 枚積層し評価している .

ソフトエラー率は中性子線照射測定の観測ソフトエラー数, 加速係数, 評価 FF の搭載総数を用いて式 (1) で計算し 20 回で平均したものとする . 中性子ビームの照射時間は 5 分で, 式 (1) の  $1/12$  は 5 分/60 分 を意味する .

$$SER [FIT/Mbit] = \frac{(\text{エラー数}) \times 10^9 \times 1024^2}{1/12 \times (\text{加速係数}) \times (\text{評価 FF 数})} \quad (1)$$

中性子線測定結果を図 12 に示す . 観測ソフトエラー数および加速係数を表 2 にまとめる . 中性子線によるソフトエラー率は 85% 以上が NMOS トランジスタで発生している . 中性子線が核反応で発生させる重イオンは最大で約 18 MeV-cm<sup>2</sup>/mg である [16]. 約 18 MeV-cm<sup>2</sup>/mg 以下の重イオンではほとんどが NMOS トランジスタ起因のソフトエラーであることが分かる . 地上において NMOS トランジスタを対策するだけで十分である .

#### 4.4 重イオン照射測定

重イオン照射ソフトエラー測定は高崎量子応用研究所 (TIARA) で行った . 図 13 に実際に使用した測定装置を示す . 実験で照射した重イオンの種類は, ネオン (Ne), アルゴ

表 2  $V_{DD} = 0.8 V$  のときの中性子線照射測定の観測ソフトエラー数の平均および各測定での加速係数の平均 .

VDD	エラー数			$AF \times 10^8$		
	L0	L1	L2	L0	L1	L2
0.8 V	0.20	0.05	0.00	3.81	4.30	

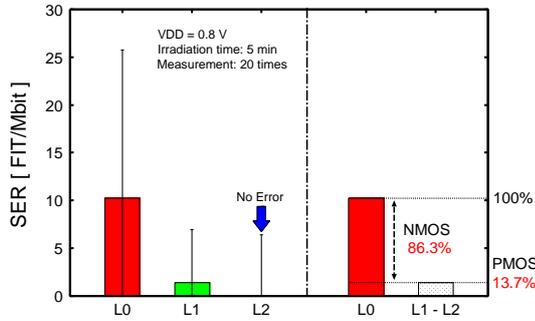


図 12 電源電圧 0.8 V において中性子照射による SER.

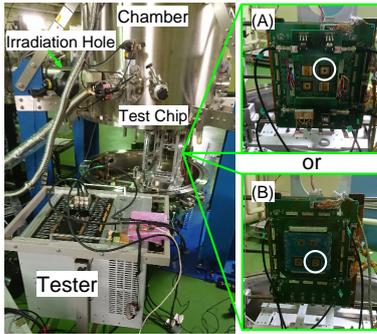


図 13 重イオン照射用の真空チャンパーとテスト。(A) は図 11 内の L0 が搭載されたチップ (a)。(B) は図 11 内の L1 と L2 が搭載されたチップ (b)。

ン (Ar), クリプトン (Kr) の 3 種類である。それぞれの持つエネルギー、LET, シリコン内での透過距離を表 3 に示す。

重イオン照射測定で得られるソフトエラー率は CS (Cross Section: 衝突断面積) を用いて評価する。CS とは放射線が通過した場合、保持値が反転する面積のことである。式 2 に衝突断面積の算出式を示す。計算には、観測ソフトエラー数 ( $N_{\text{error}}$ ), 単位面積当たりのイオン総数 ( $N_{\text{ion}}$ ), FF の搭載総数 ( $N_{\text{FF}}$ ) 使用する。

$$CS [\text{cm}^2/\text{bit}] = \frac{N_{\text{error}}}{N_{\text{ion}} \times N_{\text{FF}}} \quad (2)$$

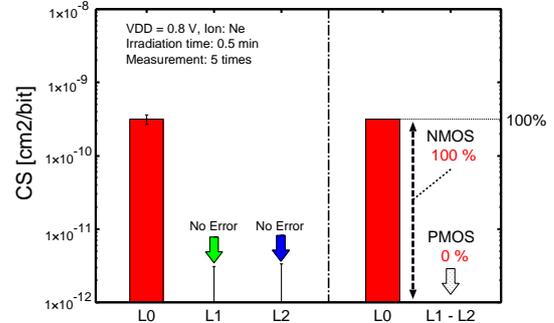
重イオン照射測定結果を図 14 に示す。観測ソフトエラー数および単位面積当たりのイオン総数を表 4 にまとめる。Ne では全てが NMOS トランジスタ起因でソフトエラーが発生しており, Kr 照射時では約 90% が NMOS トランジスタ起因でソフトエラーが発生している。PMOS トランジスタ起因のソフトエラーは Ar で初めて発生している。65 nm FDSOI プロセスでは PMOS トランジスタの臨界 LET は  $7.6 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  から  $17.5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  の間にある。L0 と L2 のみを比較した結果を図 15 に示す。Ar 照射結果ではスタック構造は通常のイ

表 3 使用した重イオンの各パラメータ

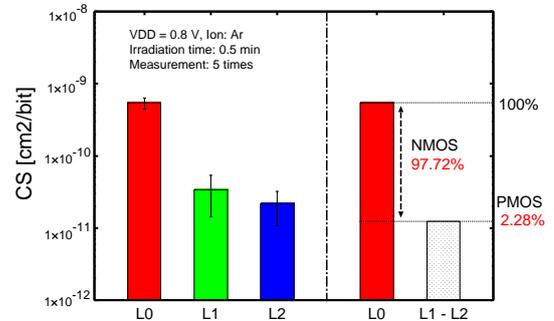
	Energy [MeV]	LET [MeV·cm <sup>2</sup> /mg]	Range [μm]
Ne (Neon)	54	7.60	25.7
Ar (Argon)	107	17.5	24.7
Kr (Krypton)	230	40.9	27.7

表 4  $V_{\text{DD}} = 0.8 \text{ V}$  での重イオン照射測定の観測ソフトエラー数の平均および各測定での  $N_{\text{ion}}$  の平均。

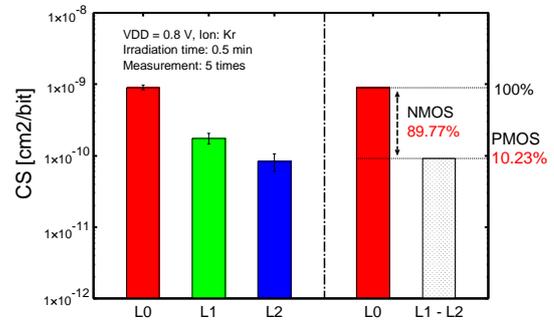
ion	# of errors			$N_{\text{ion}} \times 10^6 [\text{cm}^2]$		
	L0	L1	L2	L0	L1	L2
Ne	43.1	0.00	0.00	3.41	4.07	
Ar	47.5	6.30	3.70	2.18	2.59	
Kr	91.6	30.6	13.3	2.53	2.42	



(a) Ne



(b) Ar



(c) Kr

図 14 電源電圧 0.8 V において重イオン照射による CS.

ンパータと比べて 25 倍高いソフトエラー耐性であったが, Kr 照射結果では 11 倍まで耐性差が縮まっている。この結果からスタック構造でも垂直照射では重イオンのエネルギーが大きければ反転してしまう。

## 5. 結 論

本稿では 65 nm thin BOX FDSOI プロセスにおいて, NMOS と PMOS トランジスタのソフトエラー耐性を, デバイスシミュレーションと中性子線・重イオンを用いた実測により比較した。耐性を比較するために, スタック構造を用いた 3 種類のラッチを設計・評価した。

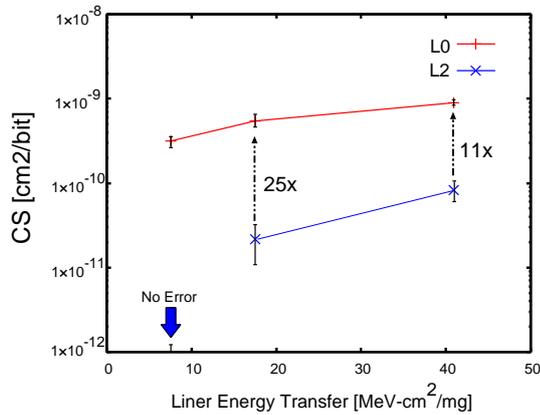


図 15 各重イオンでの L0 と L2 の CS.

シミュレーション結果から NMOS トランジスタがソフトエラーに脆弱であることが分かる。実測結果から、7.5 MeV·cm²/mg 以下の荷電粒子では PMOS トランジスタが反転していない。40.9 MeV·cm²/mg の荷電粒子でもソフトエラーの約 10% が PMOS トランジスタ起因で発生し、残りは全て NMOS トランジスタ起因で発生している。宇宙空間などの高 LET 環境においても、FDSOI 構造を用いて NMOS トランジスタに対策をすれば約 90% のソフトエラーを抑制できる。

比較に用いた回路からスタック構造が高い LET をもつ荷電粒子では垂直照射でも反転していることが分かったため、宇宙空間での使用には更なる対策を考える必要がある。

謝辞 本研究は JSPS 科研費 15H02677 および、(株) ソシオネクストの助成を受けて実施したものである。本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり、東京大学大規模集積システム設計教育研究センターを通し、シノブシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。また、中性子照射測定は大阪大学核物理センターにて行われたものであり、重イオン照射測定は量子科学技術研究開発機構の施設共用制度にて行われたものである。

## 文 献

- [1] G.E. Moore, "Cramming more components onto integrated circuits", *Proceedings of the IEEE*, Vol. 86, (1998), pp. 82–85.
- [2] 戸坂義春, "知っておきたいソフト・エラーの実態", 日経エレクトロニクス, 2005 年 7 月 24 日号, pp. 145–156, (2005).
- [3] DG Mavis and PH Eaton, "Soft error rate mitigation techniques for modern microcircuits", *Proc. Int. Rel. Phys. Symp.*, (2002), pp. 216–225.
- [4] D. Krueger, E. Francom, and J. Langsdorf, "Circuit design for voltage scaling and SER immunity on a quad-core Itanium processor", *ISSCC*, (2008), pp. 94–95.
- [5] D. Bessot and R. Velazco, "Design of SEU-hardened CMOS memory cells: the HIT cell", *RADECS 93. Second European Conference on Radiation and its Effects on Components and Systems*, (1993), pp. 563–570.
- [6] P. Hazucha, T. Karnik, J. Maiz, S. Wal-STRA, B. Bloechel, J. Tschanz, G. Dermer, S. Hareland, P. Armstrong, and S. Borkar, "Neutron soft error rate measurements in a 90-nm CMOS process and scaling trends in SRAM from 0.25μm to

90-nm generation", *IEDM*, (2003), pp. 523–526.

- [7] K. Castellani-Coulie, B. Sagnes, F. Saigne, J. M. Palau, M. C. Calvet, P. E. Dodd, and F. W. Sexton, "Comparison of NMOS and PMOS transistor sensitivity to SEU in SRAMs by device simulation", *IEEE Trans. Nucl. Sci.*, Vol. 50, No. 6, pp. 2239–2244, (2003).
- [8] S. Jagannathan, M.J. Gadlage, B.L. Bhuvu, R.D. Schrimpf, B. Narasimham, J. Chetia, J.R. Ahlbin, and L.W. Massengill, "Independent Measurement of SET Pulse Widths From N-Hits and P-Hits in 65-nm CMOS", *IEEE Trans. Nucl. Sci.*, Vol. 57, No. 6, pp. 3386–3391, (2010).
- [9] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Sensitivity to soft errors of NMOS and PMOS transistors evaluated by latches with stacking structures in a 65 nm FD-SOI process", *2018 IEEE International Reliability Physics Symposium (IRPS)*, (2018), pp. P-SE.3-1–P-SE.3-5.
- [10] R. Ramanarayanan, V. Degalahal, R. Krishnan, Jungsub Kim, V. Narayanan, Yuan Xie, M.J. Irwin, and K. Unlu, "Modeling Soft Errors at the Device and Logic Levels for Combinational Circuits", *Dependable and Secure Computing, IEEE Transactions on*, Vol. 6, No. 3, pp. 202–216, (2009).
- [11] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, "Radiation-induced pulse noise in SOI CMOS logic", *Int'l Symposium on Advanced Semiconductor-on-insulator Technology and Related Physics (in 219th ECS Meeting)*, (2011).
- [12] P. Roche, J.-L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: SOI to the rescue", *IEDM*, (2013), pp. 31.1.1–31.1.4.
- [13] A. Makihara, M. Midorikawa, T. Yamaguchi, Y. Iide, T. Yokose, Y. Tsuchiya, T. Arimitsu, H. Asai, H. Shindou, S. Kuboyama, and S. Matsuda, "Hardness-by-design approach for 0.15 μm fully depleted CMOS/SOI digital logic devices with enhanced SEU/SET immunity", *IEEE Trans. Nucl. Sci.*, Vol. 52, No. 6, pp. 2524 – 2530, (2005).
- [14] H. Maruoka, M. Hifumi, J. Furuta, and K. Kobayashi, "A non-redundant low-power flip flop with stacked transistors in a 65 nm thin BOX FDSOI process", *2016 16th European Conf. on Radiation and Its Effects on Components and Syst.*, (2016).
- [15] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Radiation-Hardened Flip-Flops with Low-Delay Overhead Using PMOS Pass-Transistors to Suppress SET Pulses in a 65 nm FDSOI Process", *IEEE Transactions on Nuclear Science*, (2018, early access).
- [16] H. Asai, K. Sugimoto, I. Nashiyama, Y. Iide, K. Shiba, M. Matsuda, and Y. Miyazaki, "Terrestrial Neutron-Induced Single-Event Burnout in SiC Power Diodes", *IEEE Trans. Nucl. Sci.*, Vol. 59, No. 4, pp. 880–885, (2012).