

C-element を用いた単一ノード反転に強靱な耐ソフトエラーフリップフロップの提案

伊藤 貴史¹ 中島 隆一¹ 古田 潤¹ 小林 和淑¹

概要：自動運転や医療機器，宇宙機などの人命に関わる機器には高い信頼性が要求されるなか，集積回路は微細化に伴ってソフトエラーによる信頼性の低下が顕著になっている．特に強靱なソフトエラー耐性が要求される宇宙機では，消費電力削減が重要視されるためフリップフロップのクロックを停止させている．ソフトエラーへの対策手法として有効な多重化は，クロックが停止している状況下ではエラーの蓄積によりソフトエラー耐性が低下する．本稿では，多重化フリップフロップに配線や C-element を追加することで，放射線によってノードの値が反転しにくいフリップフロップと，反転したノードの値を除去・修復するフリップフロップを提案する．提案したフリップフロップを回路シミュレーションを用いた性能評価と，65 nm バルクプロセスにより試作したチップを用いた α 線照射による耐性評価を行った．照射結果より，提案したフリップフロップのソフトエラー耐性は改善元のフリップフロップに比べて前者で 2 倍，後者で 26 倍の向上を確認した．

Radiation-hardened Flip-Flops Resilient to a Single-node Flip with C-elements

TAKAFUMI ITO¹ RYUICHI NAKAJIMA¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: The devices that affect human life, such as autonomous driving, medical devices and spacecrafts, require high reliability. With the miniaturization of semiconductor chips, the reliability of integrated circuits is decreasing due to soft errors. Spacecrafts that require tough soft error tolerance stop the clock of flip-flops to reduce power consumption. Redundancy is one of the countermeasures for soft errors, but when clock is stopped, flip-flops become weak against soft errors due to accumulation. In this paper, we proposed two flip-flops by adding wires and C-elements to the redundant flip-flop. One of the proposed flip-flops has latches that are hard to flip the holded value by a radiation strike. Another one has structures that can remove and restores the flipped value by using C-elements. we evaluated the performance of the proposed flip-flop using circuits simulations, and soft error tolerance of fabricated chips in a 65 nm bulk process by α irradiation. The irradiation results showed that soft error tolerance of the first one is twice that of the original flip-flop. The tolerance of the second one was improved by 26 times.

1. 序論

ムーアの法則に従って集積回路の微細化は進み，低消費電力化，動作周波数の向上が実現されている [1]．一方，微細化に伴い信頼性の低下が問題となっている．ソフトエラーは信頼性低下の原因の一端である．ソフトエラーとは放射線起因の一時故障であり，機器の再起動により修復が

可能な故障である．ソフトエラーの発生は，記憶素子を構成するトランジスタに放射線が突入し発生する電子正孔対が，拡散層に収集されることによる．集積回路の信頼性は，人命に関係する機器ではとても重要である．特に，自動運転や医療機器，宇宙機では一度のエラーが致命的になるため，対策が必須となる．

フリップフロップ (Flip-Flop, FF) におけるソフトエラー対策として多重化が挙げられる．多重化を施した FF は性能のオーバーヘッドの代わりに，放射線への強い耐性

¹ 京都工芸繊維大学電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

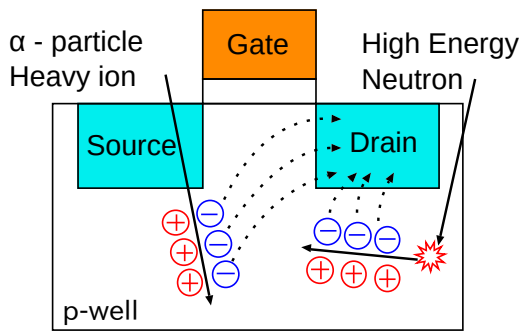


図 1 ソフトエラーの発生原理

が得られる。一方で、多重化の組み合わせによっては特定の条件下では耐性が低下することがある。宇宙機では消費電力の削減は、排熱の困難さの観点からとても重要となっている。消費電力削減の方法は様々あるが、FFのクロックを止めるクロックゲーティングも行われている。多重化FFでも反転したノードの値を修復出来ないFFでは、クロックの停止時間が長いほど耐性が弱くなる。クロックゲーティングが行われている環境の中でもソフトエラー耐性維持・向上のためには、値が反転しにくいラッチ構造または、反転したノードの値を修復するラッチ構造が必要となる。

本稿では、先行研究により提案されている耐ソフトエラー多重化FFに配線と素子の追加を施すことで耐性を向上させた2種類のFFを提案する。65 nmバルクプロセスにより試作した提案回路を、回路シミュレーションを用いて性能の評価と、 α 線照射を用いた加速試験によりソフトエラー耐性の評価を行う。第2節ではソフトエラーの発生原理とソフトエラー対策について述べる。第3節では基となったFF及び配線や素子の追加により単一ノードでの反転に強いFFを提案する。提案したFFの性能評価も行う。第4節では第3節で提案したFFの α 線を用いた加速試験によりソフトエラー耐性の評価を行う。第5節では本稿の結論を述べる。

2. ソフトエラー

本節では集積回路の信頼性低下の原因の一つであるソフトエラーの発生原理及び、FFにおけるソフトエラー対策について述べる。

2.1 ソフトエラーの発生原理

放射線が集積回路内のトランジスタに突入することで電子正孔対が発生する。発生したキャリアがトランジスタの拡散領域に収集されることで、記憶素子の保持値・FFの出力が反転する現象をソフトエラーと呼ぶ[2]。ソフトエラーの発生原理を図1に示す。ソフトエラーの発生原因となる放射線の種類は、地上では α 粒子と中性子、宇宙環境下では重イオンである。

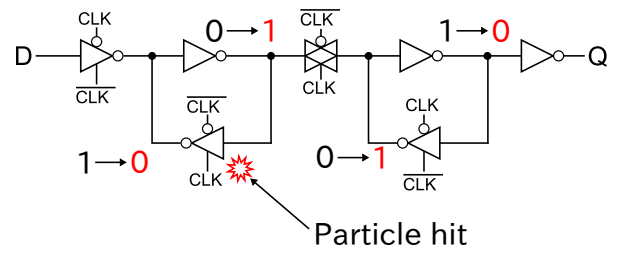


図 2 SEU の発生原理

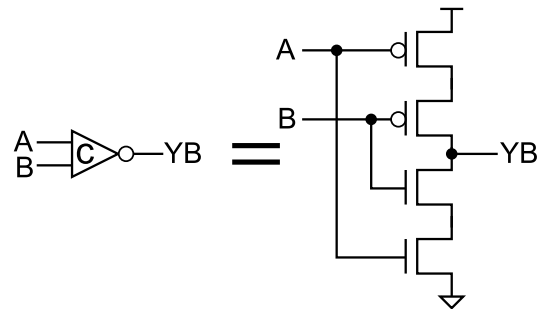


図 3 C-element の回路図

2.2 SEU (Single Event Upset)

SRAM やラッチなどの記憶素子で保持値が反転することをSEUと呼ぶ[3]。図2にSEUの発生原理を示す。ラッチを構成するインバータに放射線が突入することで電子正孔対が発生(図1)し、拡散領域に収集されることで一時的に出力が反転する。反転した出力が元に戻る前に、次段のクロックインバータに反転した値が取り込まれ、出力が変化すると、図2のようにラッチの保持値は反転する。PMOSトランジスタでは正孔、NMOSトランジスタでは電子がソフトエラーの起因となる。電子は正孔に比べて移動度が大きいいためNMOSトランジスタの方がソフトエラーが発生しやすい[4]。PMOSトランジスタに放射線が突入した場合は出力ノードの値は0から1に、NMOSトランジスタに突入した場合は出力ノードの値は1から0に反転する。

2.3 多重化によるソフトエラー対策

FFにおけるソフトエラー対策としては多重化が有効である。多重化とは、素子を構成するトランジスタや、FFを構成するラッチなどの記憶素子を複数設けることで耐性を向上させる技術である。

2.3.1 C-element

インバータを構成するPMOSトランジスタとNMOSトランジスタをそれぞれ2個ずつ直列に接続し、入力を2つ設けた素子をC-elementと呼ぶ。C-elementの回路図を図3に、真理値表を表1に示す。入力AとBが同じ値のときは出力YBは変化し、異なる値のときはハイ・インピーダンス(Hi-Z)となり、出力の値は前状態を一時的に保持する。片方の入力に反転した値が取り込まれても、出力の値

表 1 C-element の真理値表

A	B	YB
0	0	1
0	1	前状態
1	0	前状態
1	1	0

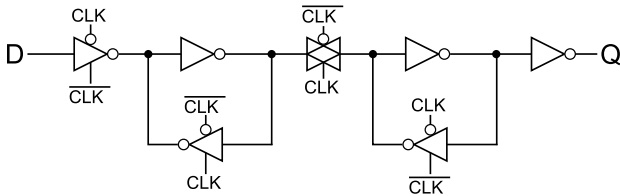


図 4 STDFF の回路図

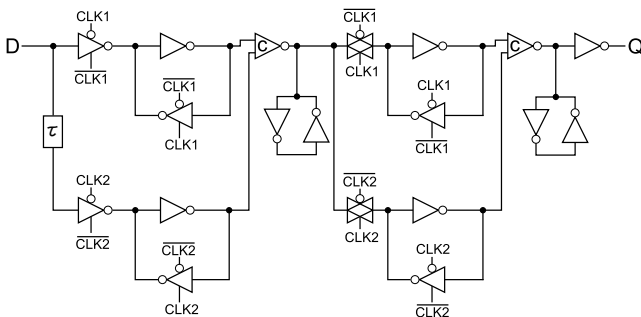


図 5 BISERFF の回路図

は前状態のままであるため反転した値の除去が可能である。

2.3.2 多重化 FF

まず、ソフトエラー対策を施していない一般的な FF である Standard FF(STDFF) について述べる。STDFF の回路図を図 4 に示す。STDFF のラッチはインバータとクロックインバータで構成されている。クロックインバータは PMOS トランジスタと NMOS トランジスタをそれぞれ縦積みにしており、ゲート幅も小さいため、臨界電荷量 Q_{crit} がインバータに比べて小さい。 Q_{crit} とは、ラッチの保持値を反転させるのに必要な最小の電荷量であり、 Q_{crit} が大きいほどラッチの反転はしにくくなる。移動度の違いにより、NMOS トランジスタの方が PMOS トランジスタに比べてエラーが発生しやすいことから、クロックインバータの出力が 1 のときが STDFF における脆弱な動作条件である。

多重化を施した FF の一つに、BISERFF(Built-In Soft Error Resilience Filp-Flop) が挙げられる [5]。BISERFF の回路図を図 5 に示す。BISERFF は、STDFF のラッチを二重化し、2 つのラッチの出力を C-element に接続した FF である。C-element の出力には保持力の弱い記憶素子 (Weak Keeper, WK) も接続されている。2 つのラッチの内片方のラッチが反転した場合、C-element には異なる入力値が入るため、C-element が反転した値を除去し、WK が正しい値を保持するため FF の出力は正しい状態のまま

となる。二重化したラッチと C-element により、BISERFF は通常の動作環境では SEU への耐性を有する。一方で、C-element で発生する Single Event Transient (SET) には脆弱である。SET とは、放射線が組み合わせ回路部に突入することで発生するソフトエラーであり、保持値が書き換わる SEU とは異なり、反転した値が書き込まれてしまうものである。プライマリラッチの C-element で SET が発生した場合、セカンダリラッチを構成する 2 つのラッチに反転した値が入力された状態でクロックが切り替わると、セカンダリラッチの保持値は反転した値となる。2 つのラッチが反転しているため C-element は反転した値の除去が出来ず、FF の出力も反転してしまう。

3. 耐ソフトエラー FF と性能評価

本節では従回路及び、従回路に配線や素子を追加した FF を提案する。提案した回路を回路シミュレーションを用いて、性能評価を行う。

3.1 従回路

提案 FF の基となる FF について述べる。

3.1.1 BCDMRFF (Bistable Cross-coupled Dual Modular Redundancy FF)

BCDMRFF は BISERFF のラッチにおける SEU 耐性はそのままだに、内部での SET 脆弱性を改善した FF である [6]。図 6 に BCDMRFF の回路図を示す。BCDMRFF では C-element を二重化することで出力を 2 つ設け、別々のセカンダリラッチに接続している。片方の C-element で SET が発生した場合でも、両方のセカンダリラッチに反転した値が入力されないため、FF の出力は正しい値のままである。SEU への耐性は BISERFF と同様である。C-element の二重化は WK の書き換え安さも向上させており、BISERFF に比べて遅延時間を短縮させている。

BCDMRFF と BISERFF で二重化しているラッチは STDFF のラッチと同様であり、ラッチ内で反転したノードの値は正しい値に戻らない。片方のラッチが反転した後ももう片方のラッチが WK が反転すると、FF の出力も反転してしまう。一度の SEU には強靭な FF であるが、複数回の SEU には脆弱になってしまう。クロックゲーティング環境下では複数回の SEU が発生する可能性があるため、BCDMRFF の SEU 耐性が脆弱になる。

3.2 提案回路

BCDMRFF に配線や素子を追加することでクロックゲーティング環境下でのソフトエラー耐性を向上させた FF を提案する。

3.2.1 BCTGFF (Bistable Cross-coupled Transmission Gate FF)

ラッチの脆弱箇所であるクロックインバータに変更を

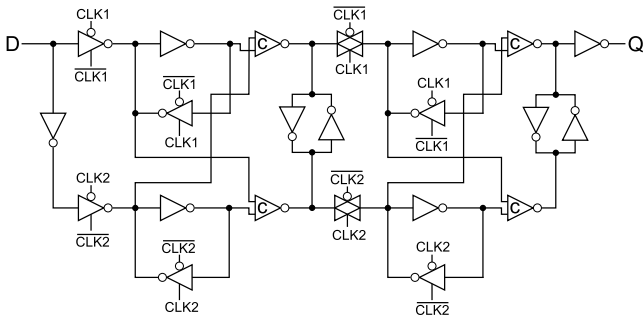


図 6 BCDMRFF の回路図

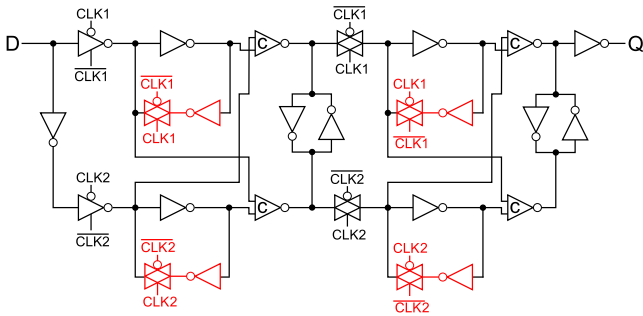


図 7 BCTGFF の回路図

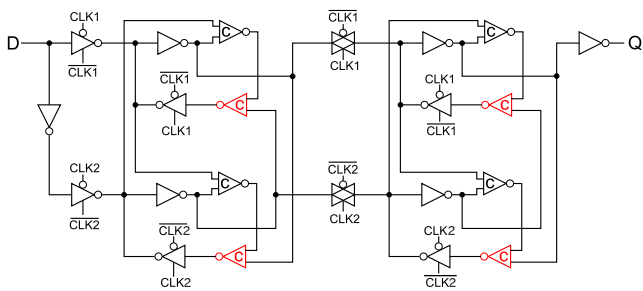


図 8 QCCFF の回路図

施して耐性の向上を図る。BCDMRFF 内のクロックインバータに配線を追加してインバータとトランスミッションゲートに分割する。配線の追加により直列接続であったクロック信号を入力とするトランジスタが並列接続となり、クロックインバータを流れる電流が増加するため、 Q_{crit} が増加する [7]。BCTGFF の回路図を図 7 に示す。脆弱なクロックインバータの出力における Q_{crit} を改善することで、多重化しているラッチ自体の耐性向上が見込める。クロックインバータの配線の追加は BCDMRFF のトランジスタ数を変更をしないため、性能のオーバーヘッドを抑えた対策手法となる。

3.2.2 QCCFF (Quadruple-C-element Cross-coupled FF)

素子を追加すること回路構造を変化させ、耐性の向上を図る。BCDMRFF から WK を取り除き、各ラッチに C-element を 2 個ずつ追加する。C-element の追加により、保持値の反転を防ぐだけでなく、反転したノードの出力値も修復する。図 8 に QCCFF の回路図を示す。ラッチ内部

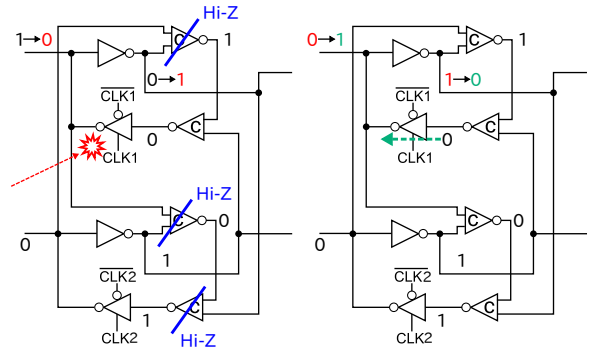


図 9 QCCFF の反転した値の除去・修復
(左：反転した値の除去，右：反転した値の修復)

表 2 各フリップフロップの性能評価

FF	面積	遅延時間	消費電力
STDF	1.00	1.00	1.00
BCDMRFF	3.89 (1.00)	3.40 (1.00)	2.79 (1.00)
BCTGFF	3.89 (1.00)	3.33 (0.98)	2.80 (1.00)
QCCFF	4.32 (1.11)	2.96 (0.87)	2.90 (1.04)

のクロックインバータに放射線が突入し出力ノードの値が反転した場合、1 段目の C-element の 2 つの入力には異なる値が入力されるため Hi-Z となり、反転した値を除去する (図 9 左に示す)。同時に 2 段目の C-element がクロックインバータに正しい値を入力するため、クロックインバータの出力は正しい値に修復することが可能である (図 9 右に示す)。C-element を 2 段にすることで、ラッチ内の単一のノードの反転に対して除去・修復を行うため強靱なラッチ構造となる。入力から出力までの最短経路を BCDMRFF と同じにした場合、各ノードに接続されているゲート数が多いため、遅延時間のオーバーヘッドが増加してしまう。データが FF の入力から出力までに通過する経路を変更することで、通過するゲート数を減らし、遅延時間のオーバーヘッドを抑えている。

3.3 各フリップフロップの性能評価

各フリップフロップの面積、遅延時間、消費電力を評価する。面積は実際のレイアウトから算出した。遅延時間と消費電力は、設計したレイアウトの配線抵抗や容量などの寄生成分を含む RC 抽出後のネットリストを用いた回路シミュレーションにより評価する。各フリップフロップの面積、遅延時間、消費電力を表 2 に示す。表 2 内の値は STDF で規格化した値であり、括弧内の値は BCDMRFF で規格化した値である。

BCDMRFF と提案した FF はラッチを二重化し C-element を用いているため、性能のオーバーヘッドが STDF に比べて 3 倍以上になっている。BCDMRFF と BCTGFF を比較すると、BCTGFF は配線をクロックインバータに追加した FF であるため、性能のオーバーヘッドはない。QCCFF では BCDMRFF に C-element を 4 つ加えた FF

であるため、面積のオーバーヘッドが BCDMRFF に比べて 11 % 大きい。一方で、遅延時間は入力から出力までに通過するゲート数が少ないため、BCDMRFF よりも 13 % 短い。

4. α 線照射によるソフトエラー耐性評価

本節では 3 節で提案した FF のソフトエラー耐性の評価を α 線照射による加速試験にて行う。

4.1 α 線照射試験の評価手法

3 MBq の ^{241}Am が埋め込まれた線源を用いて実施した。照射試験は以下のように行う。(1) から (5) までを 1 回とし、測定回数分繰り返す。シフトレジスタ内に STDFF と BCDMRFF, BCTGFF, QCCFF が含まれている。

- (1) α 線源をチップ上に設置する。
- (2) シフトレジスタ全段に同じ値 (0 または 1) を書き込み初期化する。
- (3) クロック信号を 0 または 1 に固定する。
- (4) 測定時間が経過した後、シフトレジスタ全段の保持値を読み出す。
- (5) 読み出した値と期待値が異なる FF 数を記録し、 α 線源を取り除く。

α 線源を置いた状態で書き込みと読み出しを行うため、測定対象外の FF の反転の影響を受け、クロック停止時間外でのエラーも含めた結果となる。

4.2 測定条件

測定条件を以下に示す。

- 電源電圧 : 1.2 V
- 照射時間 : 120 秒
- 動作状態 : (Q, CLK) = (0, 0), (0, 1), (1, 0), (1, 1)
- 測定回数 : 160 回
- 周波数 : 1.5 MHz

4.3 エラー発生率と SER (Soft Error Rate)

エラー発生率 P_{error} は 1 bit 毎にエラーが発生する確率であり、ソフトエラーが発生した FF 数 N_{SE} と FF の総数 N_{FF} を用いて式 (1) で表される。エラー発生率を FIT (Failure In Time) という単位をもつ SER に変換することができる。1 FIT とは 10^9 時間に 1 回の確率でエラーが発生することを示しており、SER は式 (2) で表される。1 bit 毎のエラー発生率 P_{error} を 1 Mbit 毎のエラー発生率にするために 1024^2 を掛けている。 t_{ex} は一回当たりの照射時間であり、今回は 120 秒である。 F_{acc}, ξ はそれぞれ α 線の加速係数と減衰係数である。加速係数について、本実験に使用した α 線源は 3 MBq の ^{241}Am であるが、測定には片面のみ使用したため 1.5 MBq として計算した。加速係数の算出式を式 (3) に示す。線源の大きさが 9.5 mm 角であり、 1 cm^2 あたりに照

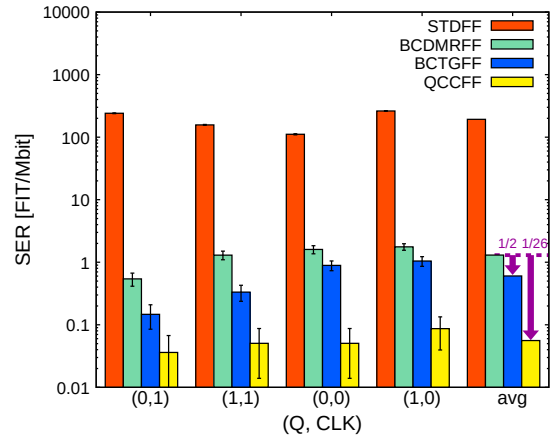


図 10 α 線による SER の比較

射される放射線量にするため、係数 $(1/0.95^2)$ を掛けている。パッケージから放出される α 線の線量を SULA (Super Ultra Low Alpha) グレードの $0.001 \text{ count/cm}^2 \cdot \text{hour}$ と仮定した。文献 [8] の Large source についての曲線より α 線源と測定対象との距離が 6 mm であったため、減衰係数 ξ を 0.9 とした。

$$P_{\text{error}} = \frac{N_{\text{SE}}}{N_{\text{FF}}} \quad (1)$$

$$\text{SER [FIT/Mbit]} = \frac{1}{\xi} \times \frac{P_{\text{error}}}{F_{\text{acc}}} \times \frac{3600}{t_{\text{ex}} [\text{sec}]} \times 10^9 \times 1024^2 \quad (2)$$

$$F_{\text{acc}} = \frac{1.5 \times 10^6 \text{ count/sec} \times 3600 \times 1/0.95^2 \text{ cm}^{-2}}{0.001 \text{ count/cm}^2 \cdot \text{hour}} = 6.0 \times 10^{12} \quad (3)$$

4.4 α 線照射結果

STDFF と BCDMRFF, BCTGFF, QCCFF の α 線照射結果から算出した SER を図 10 に示す。信頼区間 95% をエラーバーとしている。

図 10 より、全 (Q, CLK) において、BCTGFF のエラー数は BCDMRFF の 1/2 に低減した。BCDMRFF や BCTGFF は 2 つのラッチの保持値が対称であるため、(Q, CLK) によらずラッチ内のクロックインバータが脆弱になる。BCTGFF では脆弱なクロックインバータをインバータとトランスマッションゲートに分割し Q_{crit} を向上させているため、全 (Q, CLK) においてソフトエラー耐性が向上している。

(Q, CLK) の平均において QCCFF の SER は 0.05 FIT/Mbit であることが確認出来る。この SER は BCDMRFF の SER と比べて 1/26 に低減している。図 10 より QCCFF の SER の信頼区間は、他の FF に比べて範囲が大きいことから、発生したエラー数にばらつきがあることが確認出来る。このばらつきの原因として、書き込み・読み出し時に発生するエラーが挙げられる。本稿での α 線照射実験は書き込み・読み出し時にも α 線が照射される。照射

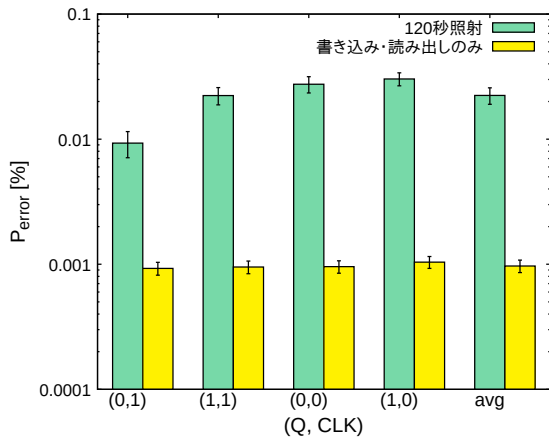


図 11 BCDMRFF におけるエラー発生率

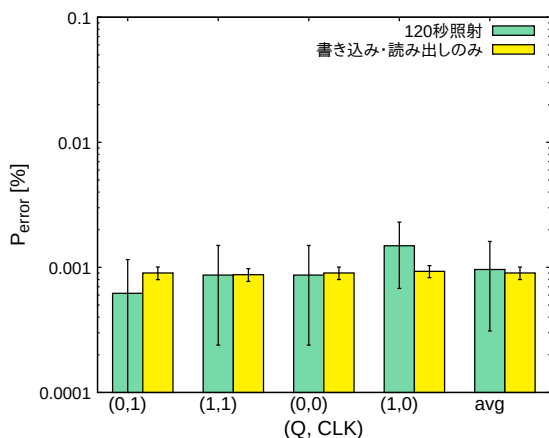


図 12 QCCFF におけるエラー発生率

対象となるシフトレジスタ内には本稿で取り上げていない FF も多数含まれており、それらの FF によるエラーが書き込み・読み出しの段階で誤って本稿での提案 FF のエラーとしてカウントされることが考えられる。

そこで、書き込み・読み出しでのエラー発生率の測定を行った。測定環境及び測定条件は上述の実験と同様であるが、4.2 節記載の (3) の過程を飛ばし、クロックを止めずに書き込み後すぐに読み出しを行う。また、測定回数を信頼区間 95% が十分に小さくなる 6400 回で行った。図 11 に BCDMRFF の、図 12 に QCCFF の 120 秒 \times 160 回照射の照射 1 回あたりのエラー発生率と書き込み・読み出し時の 1 回あたりのエラー発生率を示す。

図 11 より、BCDMRFF の 120 秒照射 1 回あたりのエラー発生率は書き込み・読み出し時のエラー発生率に比べて非常に大きいため、書き込み・読み出し時のエラーは無視出来る。一方、図 12 より、QCCFF の 120 秒照射 1 回あたりのエラー発生率のエラー率は書き込み・読み出し時のエラー発生率と被っていることから、120 秒 \times 160 回照射での QCCFF のエラーは、書き込み・読み出し時に発生したエラーであると考えられる。この場合、QCCFF のクロック停止時の SER はより小さい値をとり、ソフトエ

ラーにより強靱であることが推察出来る。

5. 結論

本稿では 65 nm バルクプロセスにおける単一ノードの反転に強い FF を 2 種類提案し、回路シミュレーションによる性能評価と α 線源を用いた加速試験による耐性の評価を行った。性能評価から、BCTGFF の面積と遅延時間は BCDMRFF と同等であることが確認出来た。一方、QCCFF は BCDMRFF に比べて面積は 11 % 増加し、遅延時間は 13 % 減少した。 α 線照射測定の結果より、提案 FF のソフトエラー耐性は BCDMRFF よりも向上している。BCTGFF は SER が約 1/2 となり、性能のオーバーヘッドがない上でのソフトエラー耐性の向上を図ることが出来た。QCCFF は SER が 1/26 以下である。クロックを停止させずに行った照射測定の結果より、QCCFF で発生したエラーは書き込み・読み出しのタイミングで発生したエラーと推察出来る。今後、重イオン照射によるソフトエラー耐性の評価を行う予定である。

謝辞

本研究は、株式会社ソシオネクストの支援を受けたものである。使用したテストチップの設計は東京大学 d.lab-VDEC を通し、日本シノプシス合同会社、日本ケイデンスデザインシステム社、シーメンス EDA ジャパン株式会社の協力で行われたものである。

参考文献

- [1] G.E. Moore, "Cramming more components onto integrated circuits," *IEICE Transactions on Electronics*, vol.90, no.4, pp.699–707, 2007.
- [2] 戸坂義春, "知っておきたいソフト・エラーの実態," *日経エレクトロニクス*, vol.2005 年 7 月 24 日号, 2005.
- [3] E. Petersen, "Single event effects in aerospace", John Wiley & Sons, 2011.
- [4] P. Hazucha and C. Svensson, "Impact of CMOS technology scaling on the atmospheric neutron soft error rate," *IEEE Transactions on Nuclear Science*, vol.47, no.6, pp.2586–2594, 2000.
- [5] S. Mitra, M. Zhang, S. Waqas, N. Seifert, B. Gill, and K.S. Kim, "Combinational logic soft error correction," 2006 IEEE International Test Conference, pp.1–9, IEEE, 2006.
- [6] R. Yamamoto, C. Hamanaka, J. Furuta, K. Kobayashi, and H. Onodera, "An area-efficient 65 nm radiation-hard dual-modular flip-flop to avoid multiple cell upsets," *IEEE Transactions on Nuclear Science*, vol.58, no.6, pp.3053–3059, 2011.
- [7] 中島隆一, 井置一哉, 小谷萌香, 古田潤, and 小林和淑, "130nm プロセスによるフリップフロップのソフトエラー耐性向上手法の提案," *DA シンポジウム*, pp.148–153, Sept. 2021.
- [8] J.S. JeSD89A, "Measurement and reporting of alpha particle and terrestrial cosmic ray-induced soft errors in semiconductor devices," *JEDEC solid state technology association*, vol.1, no.6, p.8, 2006.