

# FiCC 型不揮発フリップフロップを用いた 間欠動作可能なカウンタの実測評価

阿部 佑貴<sup>1,a)</sup> 小林 和淑<sup>1,b)</sup> 越智 裕之<sup>2,c)</sup>

**概要:** 近年, IoT (Internet of Things) が多くの分野で広がりを見せている. いくつかの IoT 向けアプリケーションにおいてバッテリー駆動時間延長のために間欠動作が求められている. 本稿では IoT 向けプロセッサに適した FiCC (Fishbone-in-Cage Capacitor) 型不揮発フリップフロップ (NV-FF) を用いた間欠動作可能なカウンタの設計と実測評価について述べる. 180nm プロセスを用いて NV-FF の設計を行ったところ不揮発化による面積オーバーヘッドは 29%となった. 実測により不揮発カウンタの動作を確認した. 電源電圧 1.8V では, カウントとデータ復帰動作は最大 29MHz まで動作が可能であった. データ保持時間はカウンタの各ビットごとにばらつきが生じた. また, 実測結果を踏まえて行ったカウンタのレイアウト修正について述べる.

## Measurement Results of a Counter Capable of Intermittent Operation Using Nonvolatile Flip-Flops with FiCC

YUKI ABE<sup>1,a)</sup> KAZUTOSHI KOBAYASHI<sup>1,b)</sup> HIROYUKI OCHI<sup>2,c)</sup>

**Abstract:** Recently, Internet of Things (IoT) are spread out in many fields. Some applications for an IoT request intermittent operations to extend their battery life. In this paper, we present a counter capable of intermittent operation using nonvolatile flip-flop (NV-FF) with FiCC (Fishbone-in-Cage Capacitor) suitable for IoT processors. The NV-FF was fabricated in a 180 nm CMOS process technology. The area overhead from the nonvolatility of the flip-flop is 29%. We confirmed full functionality of the nonvolatile counter. The counter can work up to 29 MHz and perform the data restore operation at 1.8 V supply voltage. The data retention time of the NV-FFs in the counter is different bit by bit. We describe the layout modification of the counter based on the measurement results.

### 1. はじめに

近年, IoT (Internet of Things) が多くの分野で広がりを見せている [1]. いくつかの IoT 向けアプリケーションにおいてバッテリー駆動時間延長のために間欠動作が求められている. 特に待機時における電力削減が重要である [2]. 待機時の電力削減手法としてパワーゲーティングが挙げられる. 本手法は待機時におけるリーク電力を削減することができるため多くの低消費電力向け回路で適用されている.

ただし, 電源オフ時に揮発性のレジスタやメモリの状態が失われるため, それらの状態をバックアップするための不揮発性メモリが必要となる. 不揮発性メモリへのデータの書きこみや読み出し時には, 長距離のデータ転送が行われるため, 電力と性能のオーバーヘッドが発生する. これらのオーバーヘッドを低減するために不揮発フリップフロップ (Nonvolatile Flip-Flop : NV-FF) を用いたデータ転送方式が提案されている [3]. 不揮発素子を各フリップフロップに適用することでフリップフロップの不揮発化が行われる. バックアップ動作では, 揮発性フリップフロップの保持値をビット単位で不揮発素子に書き込むため, 電力と性能のオーバーヘッドの低減が可能となる. 文献 [3] では強誘電体を用いた NV-FF が提案されている. しかし, メモリ

<sup>1</sup> 京都工芸繊維大学 電子システム工学専攻  
Department of Electronics, Kyoto Institute of Technology

<sup>2</sup> 立命館大学 Ritsumeikan University

a) yabe@vlsi.es.kit.ac.jp

b) kazutoshi.kobayashi@kit.ac.jp

c) ochi@cs.ritsumei.ac.jp

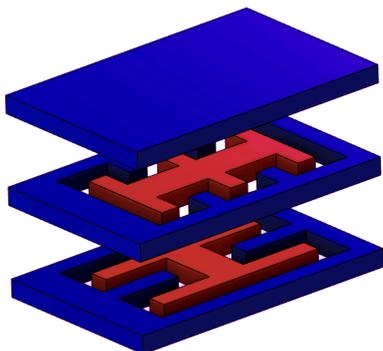


図 1 FiCC の 3D 構造  
Fig. 1 3D structure of FiCC

製造時に CMOS プロセスに加えて誘電体層用の追加マスクと製造装置が必要となる。

本稿ではメタルフリンジキャパシタの一種である FiCC (Fishbone-in-Cage Capacitor) を用いた不揮発メモリ [4] をフリップフロップに適用することで不揮発化した NV-FF[5] を用いた間欠動作可能なカウンタの設計と実測結果について述べる。また、実測結果を踏まえて行ったカウンタのレイアウト修正についても説明する。

## 2. FiCC を用いた不揮発メモリ

### 2.1 FiCC

メタルフリンジキャパシタ (MFC)[6] はメタル配線のみで構成され、配線間の容量を使用するキャパシタである。集積回路上に構成可能なキャパシタの中でも MFC は通常の CMOS プロセスで製造でき追加マスクが不要であり、かつ理想的な線形特性を持つなどの優位性がある。プロセスの微細化に伴い、メタル配線などの最小線幅や最小配線間距離が小さくなるため、占有面積あたりの容量が増えることから注目されている [7], [8]。しかし、MFC は配線間のフリンジ容量を用いるため、他の配線や近接して配置された他のキャパシタとの間でクロストーク容量を生じやすく、それらを考慮したレイアウト設計が必要である。先行研究では面積オーバーヘッドは生じるが、キャパシタごとにシールドメタルの壁を作ることにより、クロストーク容量を削減する手法が取られている [9]。

そのような問題を解決するため FiCC が提案された [10]。FiCC は外側と内側の電極で構成される MFC である。FiCC の 3D 構造を図 1 に示す。青色で示している電極が外側、赤色で示しているところが内側電極であり、電極はそれぞれビアで垂直方向に接続されている。ノイズに弱いネットを内側電極に、GND または VDD などの電位の安定したインピーダンスの低いネットを外側電極に接続することで、ファラデーケージのように内側電極をシールドする。これにより、内側端子と他の配線または近接する他のキャパシタとのクロストーク容量を約 1/10 にまで抑制することができる。

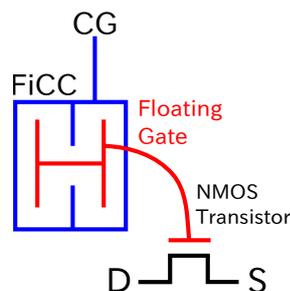


図 2 FiCC を用いた不揮発メモリ  
Fig. 2 Nonvolatile memory using FiCC

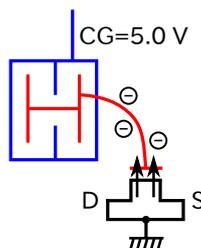


図 3 書き込み動作  
Fig. 3 Write operation

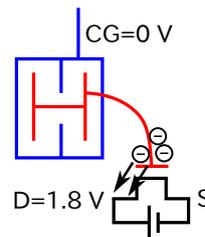


図 4 消去動作  
Fig. 4 Erase operation

### 2.2 FiCC を用いた不揮発メモリ素子

FiCC を用いた不揮発メモリはフラッシュメモリのフローティングゲート (FG) 構造に相当するものを、FiCC と NMOS を用いて実現し、CMOS 互換な不揮発メモリとしたものである [4]。FiCC を用いた不揮発メモリを図 2 に示す。トランジスタのゲート端子と FiCC の内側電極をつなぐ配線は絶縁体によって外部から絶縁されており、FG の役割を担う。不揮発メモリの書き込みおよび消去動作を図 3, 4 に示す。書き込みはコントロールゲート (CG) に 5.0V を印加し、トンネリングによって電子を FG に閉じ込めることで行う。消去動作は書き込み動作とは逆のトンネリングを発生させ、電子を FG から引き抜くことで行う。文献 [4] では、5.0V の書き込み電圧を 5 秒間 CG に印加すればしきい値電圧は 3.3V まで上昇し、書き込み後は 1 日程度のデータ保持が可能であること、ならびに 1200 回程度の書き込み、消去動作では特性がほとんど劣化しないことが示されている。

## 3. FiCC を用いた NV-FF

### 3.1 NV-FF の構成

NV-FF の構成を図 5 に示す。NV-FF はフリップフロップと図中において赤色で示す不揮発部で構成される。不揮発部は FiCC を用いた不揮発メモリ素子と 3 つの NMOS で構成されている。NV-FF の動作モードは、フリップフロップ動作、不揮発部へのデータ退避動作、フリップフロップへのデータ復帰動作、データ消去動作の 4 つである。復帰動作を除いた、それぞれの動作モードにおける CLK, DG-W, DG-R, CG, SG, SL, XS, XR ピンへの印加電圧を表 1 に示す。フリップフロップ動作時は DG.W, DG.R, CG, SG,

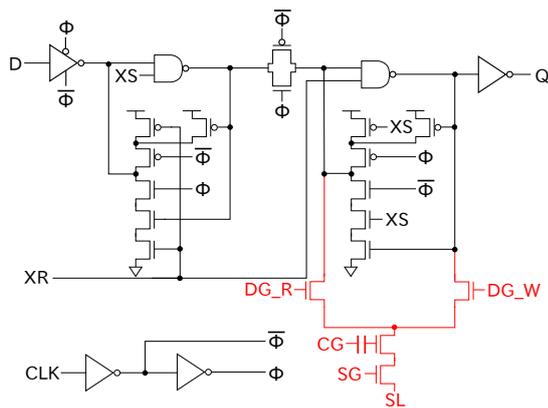


図 5 NV-FF の構成

Fig. 5 Structure of NV-FF

表 1 NV-FF の動作モード

Table 1 Operation mode of NV-FF

	CLK	DG_W	DG_R	CG
フリップフロップ動作	-	0V	0V	0V
退避動作	0V	1.8V	0V	5.0V
消去動作	-	0V	0V	0V
	SG	SL	XS	XR
フリップフロップ動作	0V	0V	-	-
退避動作	0V	0V	1.8V	1.8V
消去動作	1.8V	1.8V	-	-

SL はすべて 0V とする。NV-FF は通常のフリップフロップとしての動作を行う。データの退避動作時は DG\_W, XS, XR=1.8V, CG=5.0V, CLK, DG\_R, SG, SL=0V とし FiCC を用いた不揮発メモリ素子にデータを書き込む。書き込みによる不揮発メモリ素子のしきい値電圧上昇量はフリップフロップの保持値によって決まる。データ消去動作時は DG\_W, DG\_R, CG=0V, SG, SL=1.8V とし FiCC を用いた不揮発メモリ素子のデータ消去を行う。データ復帰動作時はフリップフロップへ電源投入後, CLK, XS=0V としセットをかける。その後, DG\_R, CG, SG, XS, XR=1.8V, CLK, DG\_W, SL=0V とする。不揮発メモリ素子のしきい値電圧が 1.8V より高い場合と低い場合におけるデータ復帰時のセカンダリラッチのバイアス条件と復帰動作における保持値の書き換え動作を図 6, 7 にそれぞれ示す。不揮発メモリ素子のしきい値電圧が 1.8V より高い場合, CG=1.8V とし, NMOS は ON にならずフリップフロップの保持値は High のままとなる。しきい値電圧が 1.8V よりも低い場合, NMOS は ON となり, グラウンドとつながるためフリップフロップの保持値は High から Low へと変化する。このように, 不揮発メモリ素子のしきい値電圧に応じて, フリップフロップへ High もしくは Low のデータの復帰が行われる。

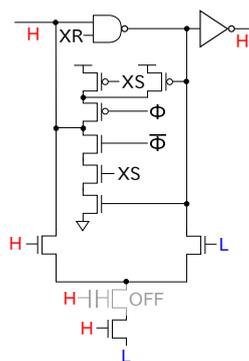


図 6 復帰動作 (書き込み時)

Fig. 6 Restore operation (programmed)

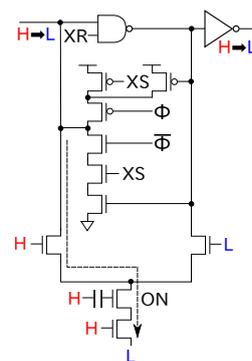


図 7 復帰動作 (非書き込み時)

Fig. 7 Restore operation (nonprogrammed)

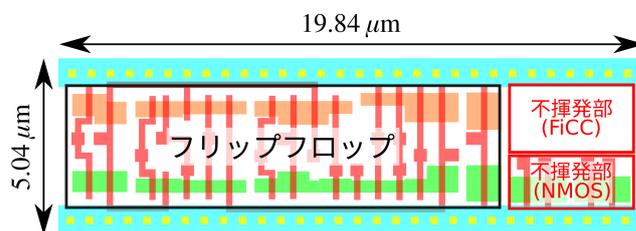


図 8 1bit NV-FF のレイアウト

Fig. 8 Layout of 1bit NV-FF

### 3.2 レイアウト設計

180nm CMOS プロセスを用いて 1bit NV-FF のレイアウト設計を行った。1bit NV-FF のレイアウトの模式図を図 8 に示す。図中, 赤字で示している場所は不揮発部を示している。レイアウトのサイズは  $99.99\mu\text{m}^2$  ( $5.04\mu\text{m} \times 19.84\mu\text{m}$ ) となり, フリップフロップの不揮発化による面積オーバーヘッドは 29%となった。

### 3.3 FF と NV-FF の性能比較

FF と NV-FF において性能を比較するために, HSPICE を用いてシミュレーションを行った。シミュレーションには設計したレイアウトの配線抵抗や容量などの寄生成分を含む RC 抽出後のネットリストを用いた。電源電圧は 1.8V, 温度は 27°C, 動作周波数は 1GHz とした。表 2 にシミュレーション結果を示す。表中カッコ内の数字は FF の値を 1.0 とし規格化したものである。セットアップ時間とホールド時間は FF と NV-FF でほぼ同じ値となった。NV-FF の CLK-to-Q 遅延と DQ 遅延は FF と比べてそれぞれ 5.2%, 4.9%程度増加した。

## 4. 実測評価

16bit アップカウンタは 1bit NV-FF をビットセルに使用し, 論理合成および自動配置配線を用いてレイアウト設計を行った。16bit カウンタのレイアウトを図 9 に示す。SL も CG と同様に配線されているが図の簡略化のため

表 2 FF と NV-FF の性能比較

Table 2 Performance comparison between FF and NV-FF

	セットアップ時間	ホールド時間
FF	0.113 ns (1.0)	-0.0528 ns (1.0)
NV-FF	0.117 ns (1.035)	-0.0493 ns (0.9337)
	CLK-to-Q 遅延	DQ 遅延
FF	0.524 ns (1.0)	0.637 ns (1.0)
NV-FF	0.551 ns (1.052)	0.668 ns (1.049)

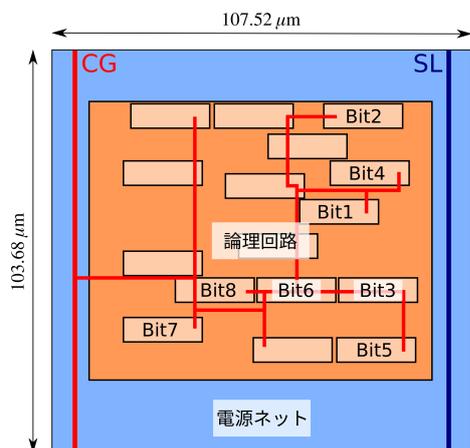


図 9 16bit カウンタのレイアウト

Fig. 9 Layout of 16bit Counter

め省略している。16bit カウンタのレイアウトのサイズは  $0.011148\text{mm}^2$  ( $103.68\mu\text{m} \times 107.52\mu\text{m}$ ) となった。設計したカウンタは試作チップに搭載し、LSI テスタを用いて測定を行った。16bit カウンタの実測結果を述べる。

16bit カウンタにおいてカウント、退避、復帰、消去動作が正常に行われていることを確認した。電源電圧 1.8V では、カウント、復帰動作において最大 29MHz まで動作が可能であった。データの退避（書き込み）時間と保持時間の関係を下位 8bit を用いて調べた結果を図 10 に示す。データ復帰時に CG ピンへ印加する電圧が 1.8V の場合、データ保持時間が非常に短くなるため、1.4V へ変更した。データ保持時間は書き込み時間 0.25 秒では最大で 35 分程度となり、ビットごとにばらつきが生じた。この原因として、自動配線により各 NV-FF の CG ピンを接続しており、FiCC を用いた不揮発メモリが 1 つの CG 配線においてツリー状に接続されていることが考えられる。不揮発メモリがツリー状に接続されている場合、CG 配線の始端側に接続されている不揮発メモリではデータ保持時間が長く、終端側では短くなる傾向があることが実測結果とレイアウトにより分かった。図 9 に Bit1 から Bit8 の各 CG ピンへの配線の様子を示しているが、実測において保持時間が長い Bit8 に比べ、短い Bit5 がより CG 配線の終端に接続されていることがわかる。

次章で実測での問題点を踏まえたカウンタのレイアウト修正について述べる。

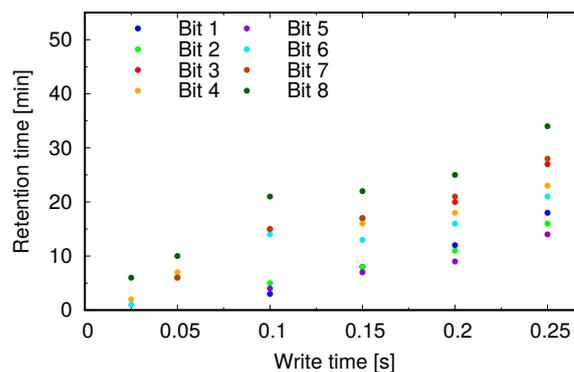


図 10 不揮発メモリのデータ保持時間 (16bit カウンタ)

Fig. 10 Retention time of nonvolatile memory (16bit Counter)

## 5. カウンタのレイアウト修正

本章では、(1) カウンタの CG および SL 配線の修正、(2) チャージポンプを用いた昇圧回路、および (3) CG への供給電圧切り替え回路について述べる。(2) はデータの退避動作時に必要となる 5.0V の電圧をチップ内部で生成するためのものである。4 章で実測を行ったカウンタはチップ外部から CG に必要な電圧を供給していた。これをチップ内部で行えるよう、(2) と (3) を導入する。

### 5.1 CG および SL 配線の修正

4 章で述べた通り、実測においてカウンタの各ビットごとにデータ保持時間にばらつきが生じた。主な原因として FiCC を用いた不揮発メモリが CG 配線においてツリー状に接続されていることが考えられる。実測を行ったカウンタのレイアウトは CG と SL ピンの配線を図 9 のようにそれぞれ一本ずつ配線をしていた。しかしこの構造では自動配線を行う際、各 NV-FF の CG ピンへの配線は一方のみからなるため、不揮発メモリの縦続接続数が増加しやすくなってしまふ。図 11 に修正後のカウンタのレイアウトを示す。修正後では論理回路の両側に CG と SL の配線をそれぞれ一本ずつ配置した。これにより、自動配線の際に各 NV-FF の CG ピンはより近くの CG 配線に接続されやすくなるため、不揮発メモリの縦続接続数の増加を抑えることができる。レイアウトの修正により、不揮発メモリの最大縦続接続数は 9 から 5 へ減少した。これによりデータ保持時間のばらつきを抑えることができると考えられる。

### 5.2 チャージポンプを用いた昇圧回路

NV-FF ではデータの退避動作においては CG ピンに 5.0V を印加する必要がある。しかし、その他回路に用いる電源電圧は 1.8V のため、1.8V から 5.0V への昇圧が必要である。そのためチャージポンプ回路を用いる。

図 12 に 3 段ディクソンチャージポンプ [11] を示す。他のチャージポンプと比べて一段あたりに使用する素子数が少

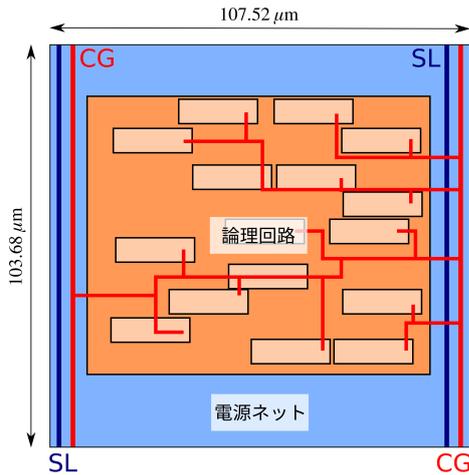


図 11 CG および SL 配線修正後のカウンタのレイアウト

Fig. 11 Counter layout after modification of CG and SL wiring

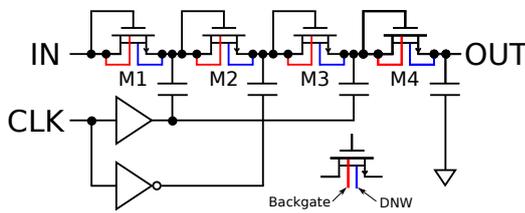


図 12 3 段ディクソンチャージポンプ

Fig. 12 3-stage Dickson charge pump

なく、レイアウト面積を小さくすることができる [12], [13]. ドレインとゲートがダイオード接続された NMOS (M1~M4) を通して振幅が電源電圧  $V_{dd}$  である相補的クロック CLK により電荷が一つの方向のみ押し出される。電荷がクロック信号の動作により持ち上げられ、ダイオード接続 NMOS を通して容量に流れ込み、各ノードを昇圧する。しかしこの方式は各電荷転送スイッチにおいてスレシヨルド電圧分の電圧降下が生じるため、3 段ディクソンチャージポンプでの出力電圧は  $V_{out} = 4(V_{dd} - V_{th})$  と表される。

180nm プロセスを用いてレイアウト設計を行った。レイアウトのサイズは  $847.11\mu\text{m}^2 (16.5\mu\text{m} \times 51.34\mu\text{m})$  となった。キャパシタの容量は 100fF とし、M1 から M4 のトランジスタは耐圧確保のため、3.3V 耐圧の IO 用トランジスタを使用し、トリプルウェル構造を適用した。図 13 にトリプルウェル構造の NMOS のレイアウトの断面図を示す。バックゲートとソースをショートすることでゲート基板間の電圧上昇を抑えている。また DNW (Deep-NW) はドレインと接続することで、PN 接合を逆バイアスに保つことでリークを削減する。図 12 の回路において、HSPICE を用いてシミュレーションを行った。シミュレーションには設計したレイアウトの配線抵抗や容量などの寄生成分を含む RC 抽出後のネットリストを用いた。電源電圧は 1.8V、温度は 27°C、クロック周波数は 10MHz とした。結果を図 14 に示す。チャージポンプの出力が 5.0V 程度まで昇圧されていることがわかる。

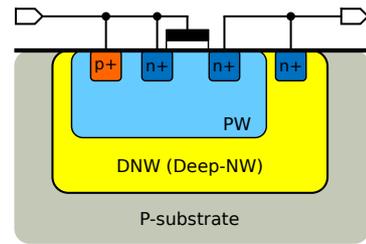


図 13 NMOS の断面図 (トリプルウェル構造)

Fig. 13 Cross section of NMOS (triple-well structure)

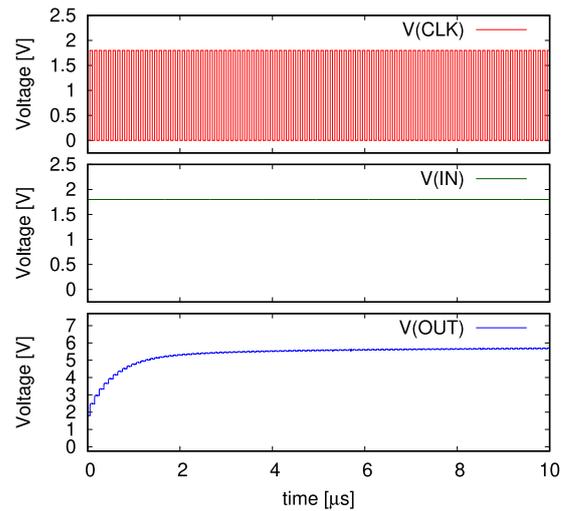


図 14 ディクソンチャージポンプのシミュレーション結果

Fig. 14 Simulation results of a Dickson charge pump

### 5.3 CG への供給電圧切り替え回路

NV-FF では CG ピンへ印加する電圧をフリップフロップおよび消去動作では 0V、退避動作では 5.0V、復帰動作では 1.4V と切り替える必要がある。4 章で述べたように復帰動作時に CG ピンへ印加する電圧を 1.4V とすることでデータ保持時間の延長が可能となる。CG ピンへの供給電圧の切り替え回路を図 15 に示す。CG に 0V を供給する際は、OUT\_ZERO に 1.8V を印加する。CG に 5.0V を供給する際は IN\_CP に 1.8V を CK\_CP に振幅が 1.8V のクロック信号をそれぞれ印加する。CG に 1.4V を供給する際は IN\_HIGH に 1.8V を印加する。ダイオード接続された NMOS でのスレシヨルド電圧分の電圧降下により CG には 1.4V が供給される。

180nm プロセスを用いてレイアウト設計を行った。レイアウトのサイズは  $858.99\mu\text{m}^2 (16.5\mu\text{m} \times 52.06\mu\text{m})$  となった。HSPICE を用いて図 15 の回路のシミュレーションを行った。シミュレーションには設計したレイアウトの配線抵抗や容量などの寄生成分を含む RC 抽出後のネットリストを用いた。電源電圧、入力電圧は 1.8V、クロック周波数は 10MHz とした。シミュレーション結果から、図 15 の回路構造により、CG への供給電圧を 0V、5.0V、および 1.4V へ切り替えることが可能であるとわかった。

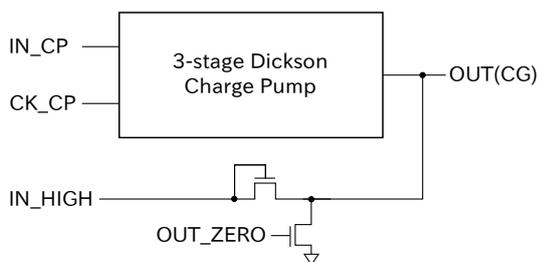


図 15 CG への供給電圧切り替え回路

Fig. 15 Supply voltage switching circuit for CG

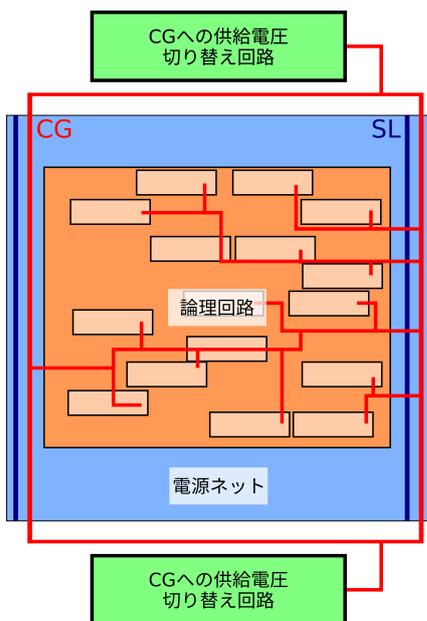


図 16 新たなチップに搭載したカウンタのレイアウト

Fig. 16 Counter layout on a new chip

#### 5.4 新たなチップに搭載したカウンタのレイアウト

5.1 から 5.3 節の修正を行ったカウンタのレイアウトを図 16 に示す。CG と SL の配線はカウンタの論理回路の両側にそれぞれ一本ずつ配置し、CG への電圧供給のためにチャージポンプを用いた CG への供給電圧切り替え回路を 2 つ搭載した。レイアウト設計後、HSPICE におけるシミュレーションによりカウントおよび復帰動作が正常に行われていることを確認した。電源電圧は 1.8V、動作周波数は 10MHz とした。図 16 に示すカウンタは新たに作成した試作チップに搭載し、今後測定を行う予定である。

### 6. おわりに

本稿では、IoT 向けプロセッサに適した FiCC 型 NV-FF を用いた間欠動作可能なカウンタの設計と実測について述べた。180nm プロセスを用いて、NV-FF のレイアウト設計を行った。ビットセルの不揮発化による面積オーバーヘッドは 29% となった。実測により、不揮発カウンタの動作を確認した。カウントと復帰動作は最大 29MHz まで動作可能であった。データ保持時間はカウンタの各ビットごとにばらつきが生じた。最後に実測結果を踏まえて行ったカウ

ンタのレイアウト修正について述べた。

**謝辞** 本研究におけるテストチップの試作は東京大学 d.lab-VDEC を通し、ローム株式会社、日本シノプシス合同会社、日本ケイデンスデザインシステム社、シーメンス EDA ジャパン株式会社の協力のもと行われたものである。

#### 参考文献

- [1] K. Shafique, B.A. Khawaja, F. Sabir, S. Qazi, and M. Mustaqim, "Internet of things (IoT) for next-generation smart systems: A review of current challenges, future trends and prospects for emerging 5G-IoT scenarios," *IEEE Access*, vol.8, pp.23022–23040, 2020.
- [2] F. Su, K. Ma, X. Li, T. Wu, Y. Liu, and V. Narayanan, "Nonvolatile processors: Why is it trending?," *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2017IEEE, pp.966–971 2017.
- [3] F. Su, Y. Liu, Y. Wang, and H. Yang, "A Ferroelectric Nonvolatile Processor with 46  $\mu$ s System-Level Wake-up Time and 14  $\mu$ s Sleep Time for Energy Harvesting Applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.64, no.3, pp.596–607, 2016.
- [4] 田中一平, 宮川尚之, 木村知也, 今川隆司, 越智裕之, "FiCC を用いた CMOS 互換な不揮発性メモリ素子の閾値電圧特性の測定ならびに読み出し方式検討," *DA シンポジウム 2019 論文集*, pp.9–14, 2019.
- [5] 阿部佑貴, 小林和淑, 塩見準, 越智裕之, "間欠動作を行う IoT 向けプロセッサに適した FiCC を用いた不揮発スタンダードセルメモリの実測評価," *DA シンポジウム 2021 論文集*, pp.3–8, 2021.
- [6] R. Aparicio and A. Hajimiri, "Capacity limits and matching properties of integrated capacitors," *IEEE Journal of Solid-State Circuits*, vol.37, no.3, pp.384–393, 2002.
- [7] A. Matsuzawa, "Analog and RF circuits design and future devices interaction," *2012 International Electron Devices Meeting, IEEE*, pp.14.3.1–14.3.4, 2012.
- [8] Q.S. Lim, A.V. Kordesch, and R.A. Keating, "Performance comparison of MIM capacitors and metal finger capacitors for analog and RF applications," *2004 RF and Microwave Conference (IEEE Cat. No. 04EX924)*, IEEE, pp.85–89, 2004.
- [9] D. Sandstrom, M. Varonen, M. Karkkainen, and K.A. Halonen, "W-band CMOS amplifiers achieving +10 dBm saturated output power and 7.5 dB NF," *IEEE Journal of Solid-State Circuits*, vol.44, no.12, pp.3403–3409, 2009.
- [10] 宮川尚之, 木村知也, 越智裕之, "FiCC: 高集積向け耐クロストークノイズメタルフリンジキャパシタ," *電子情報通信学会技術研究報告*, vol.116, no.478, VLD2016-109, pp.43–47, 2017.
- [11] J.F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," *IEEE Journal of solid-state circuits*, vol.11, no.3, pp.374–378, 1976.
- [12] N. Yan and H. Min, "A high efficiency all-PMOS charge pump for low-voltage operations," *2005 IEEE Asian Solid-State Circuits ConferenceIEEE*, pp.361–364 2005.
- [13] H. Peng, N. Tang, Y. Yang, and D. Heo, "CMOS startup charge pump with body bias and backward control for energy harvesting step-up converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.61, no.6, pp.1618–1628, 2014.