

# FDSOIプロセスにおける遅延を増加させたガードゲート型 フリップフロップのソフトエラー耐性の実測評価

記伊 智也<sup>1</sup> 古田 潤<sup>1</sup> 小林 和淑<sup>1</sup>

**概要:** 集積回路の微細化に伴い、信頼性の低下が問題になっている。その要因の一つにソフトエラーが挙げられる。FDSOI プロセスではスタック構造がソフトエラーに強靱である。スタック構造を用いた ALLSTACKEDFF は一般的な DFF である TGFF と比べ遅延時間が 87%大きい。C-element と遅延素子を用いたガードゲート (GG) 構造はソフトエラーに強靱である。本稿では、ガードゲート構造を用いた GG 遅延が異なる耐ソフトエラー FF を 3 種類提案する。提案 FF は ALLSTACKEDFF と比べ遅延時間が約 40%小さい。65 nm プロセスで試作した TGFF, ALLSTACKEDFF, 提案 FF を重イオンを用いてソフトエラー耐性を評価した。Kr イオン照射結果より、提案 FF は TGFF と比べエラー率を 1/6 以下に低減した。提案 FF の中でも GG 遅延が大きい FF の方がエラー率を低減した。ガードゲート構造の GG 遅延を増加させることで提案 FF のソフトエラー耐性が向上することを明らかにした。

## Measurement Results of Soft Error Tolerance of Guard-Gate Flip-Flops with Increased Delay in a FDSOI Process

TOMOYA KII<sup>1</sup> JUN FURUTA<sup>1</sup> KAZUTOSHI KOBAYASHI<sup>1</sup>

**Abstract:** With the miniaturization of semiconductor chips, deterioration of reliability becomes a problem. One of the factors is soft errors. There is a stack structure that is strong against soft errors in an FDSOI process. The delay time of ALLSTACKEDFF, which uses the stacked structure, is 87% larger than TGFF. The guard gate (GG) structure using the C-element and a delay element is strong against soft errors. In this paper, we propose three types of radiation-hard FFs with different GG delays using guard-gate structures. The delay time of the proposed FFs are 39% smaller than ALLSTACKEDFF. Soft error resistance of those FFs fabricated in a 65 nm FDSOI process was evaluated by heavy ion irradiation. Based on the result of Kr irradiation, the error rate of the proposed FF was reduced to less than 1/6 of the TGFF. Among the proposed FFs, the FFs with larger GG delay reduced the error rate. It was found that the soft error tolerance of the proposed FF was improved by increasing GG delays with the guard gate structure.

### 1. 序論

集積回路はムーアの法則に従い微細化、高集積化に伴って高速化、低消費電力化が進んでいる [1]。一方、微細化により集積回路の信頼性低下が問題になっている。主な要因の一つとして放射線起因の一時故障であるソフトエラーが挙げられる。ソフトエラーとは粒子線がトランジスタに突入することで電子正孔対が生成され、トランジスタの拡散領域に収集されることで記憶素子の保持値が反転する現象で

ある。ソフトエラーは永久故障であるハードエラーとは異なり、機器の再起動によって修復可能であるが、高信頼機器では一度のエラーが致命的であるため対策が必須である。

デバイスレベルのソフトエラー対策として、FDSOI (Fully Depleted Silicon on Insulator) が有効である [2]。トランジスタの拡散領域下の酸化膜 (BOX : Buried Oxide) 層により、BOX 層の下で発生したキャリアが拡散領域に収集されない。回路レベルでは多重化回路である TMR (Triple Modular Redundancy) [3] や DICE (Dual Interlocked Storage Cell) [4] が有効である。しかし、消費電力、遅延時間、面積が大きくなるため、多重化によらない対策が求められる。

<sup>1</sup> 京都工芸繊維大学電子システム工学専攻  
Department of Electronics, Kyoto Institute of Technology

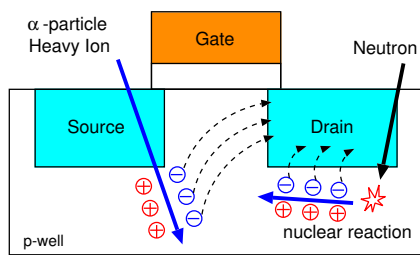


図 1 ソフトエラーの発生機構

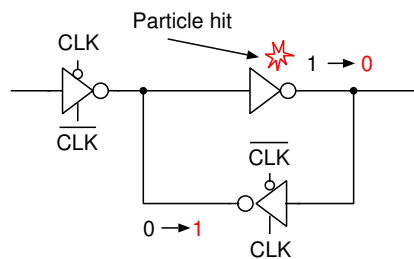


図 2 Single Event Upset

本稿では 65 nm FDSOI プロセスにおいて、遅延時間を抑えた耐ソフトエラー FF (Flip-Flop) を提案し、回路シミュレーションによる性能評価と試作した LSI で重イオンによるソフトエラー耐性評価を行う。第 2 節ではソフトエラーの発生機構とその対策方法について述べる。第 3 節では評価を行う FF と性能評価について述べる。第 4 節ではソフトエラー耐性の評価方法について述べる。第 5 節では実験結果について述べる。第 6 節では本稿の結果を述べる。

## 2. ソフトエラー

本節では、集積回路の一時故障の原因の一つであるソフトエラーについて述べる。

### 2.1 ソフトエラーの発生機構

荷電粒子が集積回路内のトランジスタに突入することによって電子正孔対が生成される。発生したキャリアがトランジスタの拡散領域に収集されることで、記憶素子の保持値が反転する現象をソフトエラーと呼ぶ [5]。ソフトエラーの発生機構を図 1 に示す。ソフトエラーが発生する要因となる主な粒子として、地上では  $\alpha$  粒子、熱中性子、高エネルギー中性子、宇宙では重イオンが挙げられる。

### 2.2 SEU (Single Event Upset)

SRAM やラッチなどの記憶素子で発生するソフトエラーを SEU と呼ぶ [6]。図 2 に示すように、ラッチを構成するインバータに荷電粒子が突入すると電子正孔対が生成され一時的に出力が反転する。反転した出力値が元の値に戻る前に、次段に反転した値が取り込まれ出力されるとラッチの保持値が反転する。NMOS トランジスタでは電子起因、PMOS トランジスタでは正孔起因である。電子は正孔と比べ移動度が大きいいため NMOS トランジスタの方がソフトエラーが発生しやすい [7]。

### 2.3 デバイスレベルでの対策

SOI (Silicon on Insulator) 構造がソフトエラー対策に有効である。シリコン基板とトランジスタの間に絶縁物の BOX 層が挿入されている。SOI 構造の中でもトランジスタの空乏層が完全に空乏化し BOX 層の界面まで達している FDSOI を本稿では扱う。FDSOI に荷電粒子が突入した

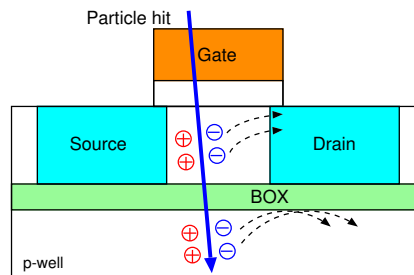


図 3 FDSOI に荷電粒子が突入したときの様子

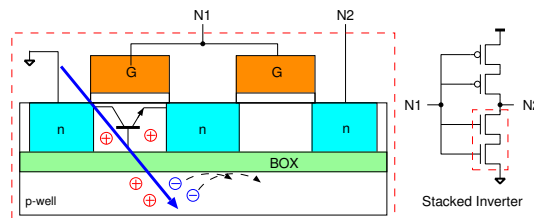


図 4 スタック構造に荷電粒子が突入したときの様子

ときの様子を図 3 に示す。基板で発生したキャリアは BOX 層で遮られるため拡散層に収集されない [8]。FDSOI においてソフトエラーの主要因は寄生バイポーラ効果 (PBE: Parasitic Bipolar Effect) である [9]。NMOS トランジスタでは発生した正孔がボディの電位を上昇させ、バイポーラトランジスタが導通することでソフトエラーが発生する。

### 2.4 回路レベルでの対策

#### 2.4.1 スタック構造

FDSOI ではトランジスタを縦積みにしたスタック構造が有効である。スタックトインバータに荷電粒子が突入した様子を図 4 に示す。縦積みにした OFF 状態の NMOS トランジスタの片方の寄生バイポーラが導通しても、もう一方のトランジスタは OFF 状態であるため出力が変化しない。FDSOI は BOX 層により隣り合う OFF 状態のトランジスタが同時に導通することを防ぐ。スタック構造は FDSOI に適したソフトエラー対策である。しかし、トランジスタを縦積みにするため遅延時間が増加する。

#### 2.4.2 C-element

2つの入力を持つスタックトインバータを用いた構造を C-element と呼ぶ。C-element の回路図と真理値表を図 5 と表 1 に示す。IN1 と IN2 が同じ値のときは出力が変化するが、異なる値のときはハイインピーダンス (Hi-Z) となり

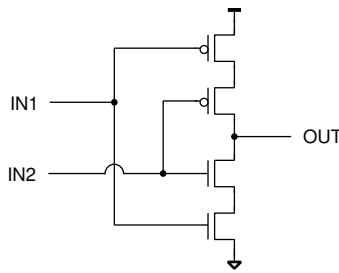


図 5 C-element

表 1 C-element の真理値表

IN1	IN2	OUT
0	0	1
0	1	Hi-Z
1	0	Hi-Z
1	1	0

前状態を保持する. 片方の入力にパルスが取り込まれても出力が Hi-Z となり, 次段に伝搬しない. C-element 自体はスタック構造のためソフトエラーに強靱である.

### 2.4.3 ガードゲート構造

C-element の片方の入力に遅延素子を挿入することで, その遅延時間より短いパルスを除去することができる [10]. 図 6(a) のように INV でパルスが発生した場合, 図 6(b) のように IN1 側ではパルスが C-element に直接入力される. IN2 側では遅延素子を通るため, 図 6(c) のように  $\Delta t$  だけ遅延されて C-element に入力される. 発生したパルスが IN1 と IN2 に入力される時刻に  $\Delta t$  だけ時間差が生じる. INV で発生したパルスが遅延素子での遅延時間 (GG 遅延) より短ければ, C-element に入力される時刻で同時にパルスが入力されないため, 次段に伝搬しない. GG 遅延が大きいほど除去できるパルス幅が大きくなるため, GG 遅延はガードゲート構造のソフトエラー耐性向上に重要である.

## 3. 耐ソフトエラー FF と性能評価

### 3.1 従来回路

#### 3.1.1 ALLSTACKEDFF

一般的な D 型 FF である TGFF (Transmission Gate FF) のラッチ内のすべての論理ゲートにスタック構造を採用した FF を ALLSTACKEDFF と呼ぶ. 図 7 に回路図を示す. スタック構造によりラッチで発生するソフトエラーを抑制できるが, TGFF と比べてトランジスタを縦積みするため FF の遅延時間の増加が問題である.

#### 3.1.2 DFRFF (Dual Feedback Recovery FF)

両方のラッチのトライステートインバータをスタック構造にする. 出力インバータの次段にインバータを追加し, その出力と SL (Secondary Latch) のインバータの出力を SL のトライステートインバータに入力する. SL のトライステートインバータの NMOS と PMOS の縦積みトランジスタの共有拡散層を配線につなぐ. つないだ配線の出力と

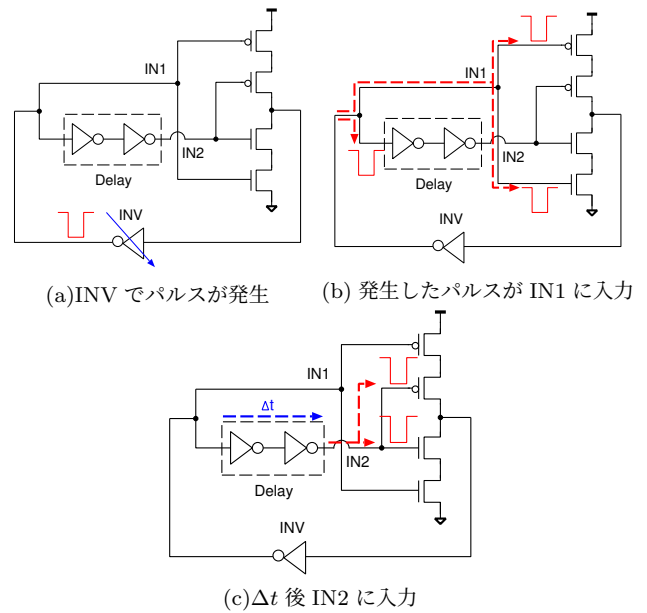


図 6 ガードゲート構造

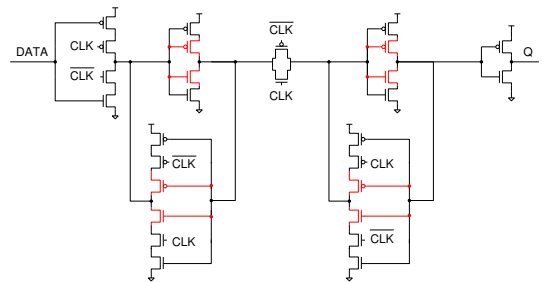


図 7 ALLSTACKEDFF

PL (Primary Latch) のインバータの出力を PL のトライステートインバータに入力した FF を DFRFF と呼ぶ [11]. 図 8 に回路図を示す. クロック信号が 1 で固定されているときに PL が保持状態になる. PL のインバータでパルスが発生したとき, 図 9(a) の青と赤の経路を通過する. 青の経路は発生したパルスが遅延を受けずにトライステートインバータへ入力される. 赤の経路はトランSMISSIONゲート, SL のインバータ, トライステートインバータを通過して入力されるため, これらの論理ゲートが遅延素子として働くことでガードゲート構造を構成する. PL のインバータで発生したパルスを除去することができる. PL のトライステートインバータはスタック構造のため, ソフトエラーを抑制できる. クロック信号が 0 で固定されているときに SL が保持状態になる. SL のインバータでパルスが発生したとき, 図 9(b) の青と赤の経路を通過する. 青の経路は発生したパルスが遅延を受けずにトライステートインバータへ入力される. 赤の経路は出力インバータと追加したインバータを通過して入力されるため, これらの論理ゲートが遅延素子として働くことでガードゲート構造を構成する. SL のインバータで発生したパルスを除去することができる. SL のトライステートインバータはスタック構造のため, ソフ

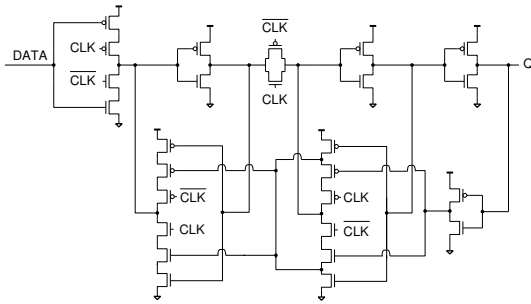


図 8 DFRFF

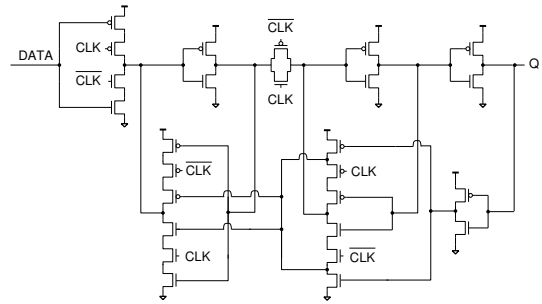
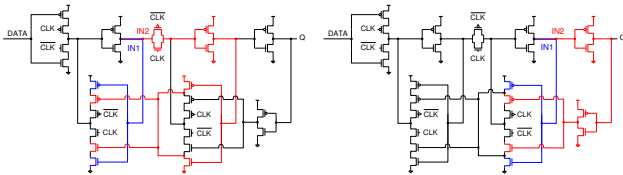
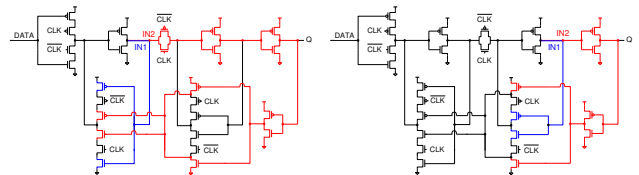


図 11 RDRFF



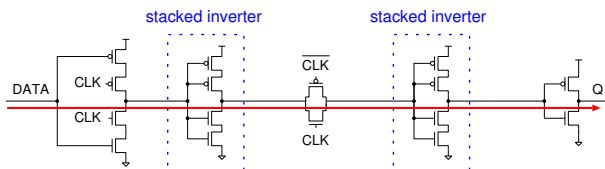
(a) Primary Latch (b) Secondary Latch

図 9 DFRFF のガードゲート構造

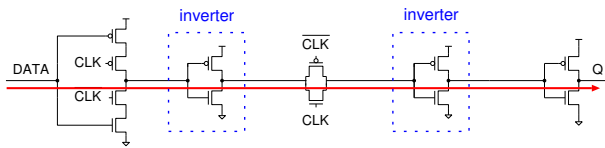


(a) Primary Latch (b) Secondary Latch

図 12 RDRFF のガードゲート構造



(a) ALLSTACKEDFF



(b) DFRFF/TGFF

図 10 ALLSTACKEDFF と DFRFF/TGFF の入力から出力までの信号経路

トエラーを抑制できる。ALLSTACKEDFF と比べ、図 10 のようにデータが入力から出力されるまでに通過する論理ゲートの段数は同じだが、DFRFF ではスタックインバータを使用していないため、遅延時間のオーバーヘッドが小さい。しかし、DFRFF はガードゲート構造の GG 遅延の不足が原因で、ソフトエラー耐性は十分でないことが判明した [12]。SL の GG 遅延の大きさは PL の 33% しかないため、SL のガードゲート構造がより脆弱であった。

### 3.2 提案回路

DFRFF を基にガードゲート構造の GG 遅延を増加させ、FF の遅延時間のオーバーヘッドを抑えた耐ソフトエラー FF を提案する。

#### 3.2.1 RDRFF (Revised DFRFF)

DFRFF を基にトライステートインバータのクロック信号の入力ノードを変更する。SL のトライステートインバータの出力インバータから帰還して接続されているノードと SL のインバータの出力から接続されているノードを入

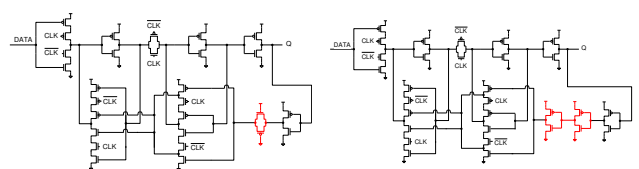


図 13 RDRFFFTG

図 14 RDRFFLD

れ替えた RDRFF を提案する。図 11 に回路図を示す。図 9(a) と図 12(a) より、SL のトライステートインバータの入力ノードを変更したことで、PL のガードゲート構造の遅延素子に 2 個のインバータが追加される。DFRFF より PL で大きな GG 遅延を確保できるため PL でのソフトエラー耐性が向上する。DFRFF と同様に ALLSTACKEDFF と比べ遅延時間のオーバーヘッドが小さい。

#### 3.2.2 RDRFFFTG (RDRFF with Transmission Gate)

RDRFF を基に、インバータの次段にトランスミッションゲートを追加した RDRFFFTG を提案する。図 13 に回路図を示す。追加したトランスミッションゲートが両ラッチのガードゲート構造の GG 遅延の増加に貢献する。

#### 3.2.3 RDRFFLD (RDRFF with Long Delay)

RDRFF を基に、インバータの次段にバッファを追加した RDRFFLD を提案する。図 14 に回路図を示す。追加したバッファが両ラッチのガードゲート構造の GG 遅延の増加に貢献する。

### 3.3 評価フリップフロップの性能評価

TGFF, ALLSTACKEDFF, DFRFF, 3 種類の提案 FF で面積, DQ 遅延, 消費電力, ADP 積を評価する。面積はレイアウトから算出する。DQ 遅延と消費電力は RC 抽出後のネットリストを用いて回路シミュレーションを行うことで評価する。ADP 積は面積, DQ 遅延, 消費電力を掛け合

表 2 性能評価

	面積	消費電力	DQ 遅延	ADP 積
TGFF	1.00	1.00	1.00	1.00
ALLSTACKEDFF	1.24	1.06	1.87	2.46
DFRFF	1.18	1.16	1.09	1.49
RDFRFF	1.18	1.16	1.09	1.49
RDFRFFFTG	1.29	1.15	1.10	1.63
RDFRFFLD	1.35	1.15	1.08	1.68

表 3 GG 遅延評価

	Primary Latch	Secondary Latch
DFRFF	1.00	1.00
RDFRFF	1.46	0.94
RDFRFFFTG	1.75	1.50
RDFRFFLD	2.00	2.32

わせた性能指標で、ADP 積が小さいほど性能が良い FF と評価する。表 2 は TGFF を 1 として規格化している。

DQ 遅延は TGFF に対し ALLSTACKEDFF は 87% 増加するが、DFRFF と 3 種類の提案 FF は 10% 以下の増加に抑えている。ALLSTACKEDFF はデータが伝搬する論理ゲートのうちインバータをスタックインバータに変更したため TGFF と比べ DQ 遅延のオーバーヘッドが大きい。3 種類の提案 FF はデータが伝搬する論理ゲートは TGFF と同様であるため ALLSTACKEDFF よりも DQ 遅延の増加を抑えている。ADP 積は TGFF に対し ALLSTACKEDFF は 146%、RDFRFF は 49%、RDFRFFFTG は 63%、RDFRFFLD は 68% 増加する。3 種類の提案 FF は ALLSTACKEDFF よりも ADP 積のオーバーヘッドが小さいため性能が良い。

DFRFF と 3 種類の提案 FF で PL と SL に持つガードゲート構造の GG 遅延の大きさを評価する。表 3 は DFRFF を 1 として規格化している。RDFRFF は DFRFF と比べ、SL のトライステートインバータの入力ノードを変更したため、PL の GG 遅延が増加する。RDFRFFFTG と RDFRFFLD は RDFRFF に遅延素子を追加したため、両方のラッチの GG 遅延が増加する。提案 FF の GG 遅延の大きさは  $RDFRFF < RDFRFFFTG < RDFRFFLD$  である。

## 4. 重イオンによるソフトエラー耐性の評価

### 4.1 重イオン照射測定

重イオン実験は高崎量子応用研究所 (TIARA : Takasaki Ion accelerators for Advanced Radiation Application) で実施した。評価チップを円筒型チャンバー内に固定する。重イオンは大気によってエネルギーが減衰するためチャンバー内を真空にする。

### 4.2 衝突断面積 (CS : Cross Section)

CS は荷電粒子が通過することでソフトエラーを引き起こす面積である。CS は式 (1) を用いて計算する。 $N_{SE}$  はソ

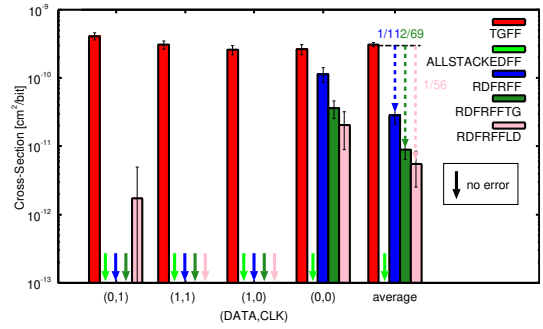


図 15 Ar 照射の結果

フトエラーが発生した FF 数、 $\Phi_{ion}$  は  $1 \text{ cm}^2$  あたりに照射されるイオンの総数、 $N_{FF}$  は搭載されている FF 数である。

$$CS [\text{cm}^2/\text{bit}] = \frac{N_{SE}}{\Phi_{ion} \times N_{FF}} \quad (1)$$

### 4.2.1 評価方法

ソフトエラー耐性を評価するために、FF を数珠つなぎにした回路であるシフトレジスタを使用する。

- (1) シフトレジスタの FF 全段に 0 か 1 を書き込み初期化する。
- (2) クロック信号を 0 か 1 に固定し放射線を照射する。
- (3) 照射終了後、シフトレジスタ全段を読み出す。
- (4) 読み出した値と期待値が異なる FF 数を計算する。

### 4.2.2 測定条件

実験で使用する重イオンは  $LET = 15.8 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  の Ar と  $LET = 40.3 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  の Kr である。測定条件を以下に示す。

- 電源電圧 : 1.2 V
- 重イオン照射時間 : 30 秒
- 動作状態 : (DATA, CLK) = (0, 1), (1, 1), (1, 0), (0, 0)
- 測定回数 : 各 10 回

## 5. 重イオン照射結果

TGFF, ALLSTACKEDFF, 3 種類の提案 FF の全動作状態とその平均の Ar 照射時の結果を図 15 に、全動作状態とその平均の Kr 照射時の結果を図 16 に示す。エラー率は信頼区間の 95% である。

Ar 照射結果より、ALLSTACKEDFF は全動作状態でエラーが発生しなかった。提案 FF について図 15 の平均値より、RDFRFF は TGFF と比べエラー数は  $1/11$  に、RDFRFFFTG は  $2/69$  に、RDFRFFLD は  $1/56$  に低減できたが、エラーのほとんどは (DATA, CLK) = (0, 0) で発生した。Kr 照射結果より、ALLSTACKEDFF は (DATA, CLK) = (0, 1) ではエラーが合計 2 個発生したが、それ以外の条件ではエラーが発生しなかった。提案 FF について図 16 の平均値より、RDFRFF は TGFF と比べエラー数は  $1/6$  に、RDFRFFFTG は  $3/20$  に、RDFRFFLD は  $1/9$  に低減で

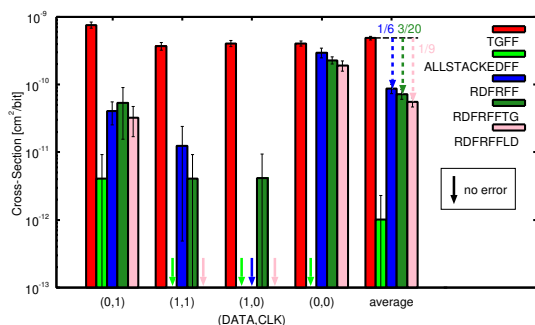


図 16 Kr 照射の結果

きたが、エラーの多くは (DATA, CLK) = (0, 0) で発生した。ALLSTACKEDFF はラッチをスタック構造にすることで十分なソフトエラー耐性を持つ。提案 FF は (DATA, CLK) = (0, 1), (1, 0) はスタック構造によりエラーを抑制し、(DATA, CLK) = (1, 1), (0, 0) はガードゲート構造によりエラーを抑制する。(DATA, CLK) = (0, 0) でエラーが多数発生したため、SL のガードゲート構造でソフトエラーの抑制が不十分であることが判明した。重イオンがトランジスタに突入することでパルスが発生する。パルス幅が GG 遅延より大きいと、C-element に取り込まれる 2 入力の両方で反転した値が入力される時間が発生し、C-element の出力が反転するため発生したパルスを除去できない。LET が高い Kr の方がより大きなパルスが発生するため、Ar より Kr 照射で提案 FF のエラー数が増加した。

3 種類の提案 FF に着目すると、ソフトエラー耐性は RDFRFF < RDFRFFTG < RDFRFFLD になった。表 3 より、提案 FF の GG 遅延の大きさは RDFRFF < RDFRFFTG < RDFRFFLD であるため、GG 遅延の大きさがソフトエラー耐性に影響していることが判明した。提案 FF のソフトエラー耐性の向上のために SL の GG 遅延の増加が重要である。

## 6. 結論

本稿では 65 nm FDSOI プロセスにおいてガードゲート構造の GG 遅延の大きさが異なる FF を 3 種類提案し、回路シミュレーションで性能を評価し、重イオン照射によりソフトエラー耐性を評価した。

性能評価より、提案 FF は ALLSTACKEDFF と比べ遅延時間が約 40% 小さい。ALLSTACKEDFF は Ar ではエラー数が 0 個、Kr ではエラー数が 2 個であるため、十分なソフトエラー耐性を持っている。提案 FF は Ar ではエラー率が TGFF の 1/11 以下に、Kr ではエラー率が 1/6 以下に低減できたが、エラーが多数発生しているため十分なソフトエラー耐性を持つとは言えない。3 種類の提案 FF を比較すると、GG 遅延が大きい RDFRFFLD が一番ソフトエラーに強靱であった。提案 FF は GG 遅延を増加することでソフトエラー耐性を向上できることが判明した。

**謝辞** 本研究は、JST-OPERA, JPMJOP1721, 株式会社ソシオネクストの支援を受けたものである。テストチップの試作は東京大学 d.lab-VDEC を通じ、ルネサスエレクトロニクス、日本シノプシス合同会社、日本ケイデンスデザインシステム社、シーメンス EDA ジャパン株式会社の協力で行われたものである。重イオン照射測定は量子科学技術研究開発機構の施設共用制度にて行われたものである。

## 参考文献

- [1] G.E. Moore, "Cramming more components onto integrated circuits," Proceedings of the IEEE, vol.86, no.1, pp.82-85, 1998.
- [2] P. Roche, J. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: Soi to the rescue," 2013 IEEE International Electron Devices Meeting, pp.31.1.1-31.1.4, Dec 2013.
- [3] D.G. Mavis and P.H. Eaton, "Soft error rate mitigation techniques for modern microcircuits," IEEE Int. Rel. Physics Symp., pp.216-225, 2002.
- [4] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology," IEEE Trans. Nucl. Sci., vol.43, no.6, pp.2874-2878, Dec. 1996.
- [5] 戸坂義春, "知っておきたいソフト・エラーの実態," 日経エレクトロニクス, vol.2005 年 7 月 24 日号, 2005.
- [6] E. Petersen, Single event effects in aerospace, John Wiley & Sons, 2011.
- [7] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Sensitivity to soft errors of nmos and pmos transistors evaluated by latches with stacking structures in a 65 nm fdsoi process," 2018 IEEE International Reliability Physics Symposium (IRPS), pp.P-SE.3-1-P-SE.3-5, March 2018.
- [8] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, "Radiation-induced pulse noise in soi cmos logic," Int'l Symposium on Advanced Semiconductor-on-insulator Technology and Related Physics (in 219th ECS Meeting), May 2011.
- [9] M. Raine, M. Gaillardin, T. Lagutere, O. Duhamel, and P. Paillet, "Estimation of the single-event upset sensitivity of advanced SOI SRAMs," IEEE Trans. Nucl. Sci., vol.65, no.1, pp.339-345, Jan. 2018.
- [10] A. Balasubramanian, B.L. Bhuvu, J.D. Black, and L.W. Massengill, "Rhbd techniques for mitigating effects of single-event hits using guard-gates," IEEE Transactions on Nuclear Science, vol.52, no.6, pp.2531-2535, Dec 2005.
- [11] K. Yamada, J. Furuta, and K. Kobayashi, "Radiation-hardened flip-flops with small area and delay overheads using guard-gates in fdsoi processes," 2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), pp.1-3, Oct 2018.
- [12] M. Ebara, K. Yamada, K. Kojima, Y. Tsukita, J. Furuta, and K. Kobayashi, "Evaluation of soft-error tolerance by neutrons and heavy ions on flip flops with guard gates in a 65-nm thin box fdsoi process," IEEE Transactions on Nuclear Science, vol.67, no.7, pp.1470-1477, 2020.