

# FDSOIプロセスにおけるガードゲート構造を用いた フリップフロップのソフトエラー耐性の実測評価

記伊 智也<sup>1</sup> 榎原 光則<sup>1</sup> 古田 潤<sup>1</sup> 小林 和淑<sup>1</sup>

**概要:** 集積回路の微細化に伴い、信頼性の低下が問題になっている。その要因の一つがソフトエラーである。FDSOI プロセスではスタック構造がソフトエラーに強い。耐ソフトエラー FF としてスタック構造を用いた ALLSTACKEDFF が挙げられるが、一般的な DFF である TGFF と比べ遅延時間が 76%、面積が 24% 大きい。C-element と遅延素子を用いたガードゲート構造はソフトエラーに強靱である。本稿では、ガードゲート構造を用いた回路である FRADFF を提案する。FRADFF は ALLSTACKEDFF と比べ遅延時間が 39%、面積が 10% 小さい。65 nm プロセスで試作した TGFF と ALLSTACKEDFF、FRADFF を重イオン照射によりソフトエラー耐性を評価した。Kr 照射結果より、ALLSTACKEDFF は発生したエラー数が最大で 1 個に対して、FRADFF は TGFF と比べエラー率が 1/3 に低減できたが、発生したエラー数は最大で 100 個以上になった。FRADFF は ALLSTACKEDFF と比べ十分なソフトエラー耐性を持たないことが判明した。しかし、FRADFF はガードゲート構造に遅延素子を追加することで、ソフトエラー耐性が向上する。

## Evaluation of Soft Error Tolerance by Flip-Flop Using Guard Gate Structure in FDSOI Process

TOMOYA KII<sup>1</sup> MITSUNORI EBARA<sup>1</sup> JUN FURUTA<sup>1</sup> KAZUTOSHI KOBAYASHI<sup>1</sup>

**Abstract:** With the miniaturization of semiconductor chips, deterioration of reliability become a problem. One of the factors is the soft error. There is a stack structure that is strong against soft errors in FDSOI process. ALLSTACKEDFF that uses the stack structure is a radiation-hard FF, but its delay time and area are 76% and 24% larger than TGFF. The guard gate structure using the C-element and a delay element is strong against soft errors. In this paper, we propose FRADFF, which utilize a guard gate structure. The delay time and area of FRADFF are 39% and 10% smaller than ALLSTACKEDFF. Soft error resistance of those FFs fabricated in a 65 nm FDSOI process was evaluated by heavy ion irradiation. Based on the result of Kr irradiation, the error rate of ALLSTACKEDFF was 1 at the maximum while the error rate of FRADFF was 1/3 of TGFF, but the error rate becomes 100 or more at the maximum by high-LET heavy ions. It is because FRADFF does not have sufficient soft error tolerance compared with ALLSTACKEDFF. However, the soft error resistance of FRADFF can be improved by adding more delay elements in the guard gate structure.

### 1. 序論

集積回路はムーアの法則に従い微細化、高集積化に伴って動作周波数の向上、低消費電力化が進んでいる [1]。一方、微細化により集積回路の信頼性の低下が問題になっている。主な要因の一つとしてソフトエラーが挙げられる。ソフトエラーとは、粒子線がトランジスタに突入することで

発生した電子正孔対がトランジスタの拡散領域に収集されることで記憶素子の保持値が反転する現象である。ソフトエラーは、永久故障であるハードエラーとは異なり、機器の再起動によって修復可能な一時故障であるが、高い信頼性を求められる自動車や航空機、医療機器、宇宙機などでは対策が必須である。

ソフトエラー対策として、デバイスレベルでは FDSOI (Fully Depleted Silicon on Insulator) が有効である [2]。ト

<sup>1</sup> 京都工芸繊維大学電子システム工学専攻  
Department of Electronics, Kyoto Institute of Technology

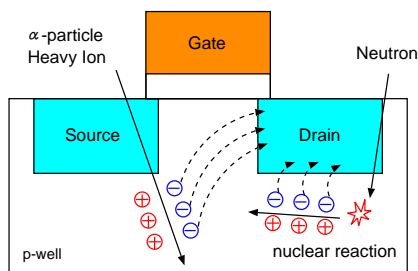


図 1 ソフトエラーの発生機構

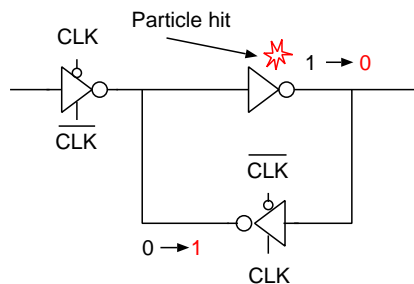


図 2 Single Event Upset

ランジスタの拡散領域の下の酸化膜 (BOX : Buried Oxide) 層により, BOX 層の下で発生した電荷が拡散領域に収集されなくなる. 回路レベルでは多重化回路である TMR (Triple Modular Redundancy) [3] や DICE (Dual Interlocked Storage Cell) [4] が有効である. しかし, 消費電力や遅延時間, 面積が大きくなる.

本稿では FDSOI プロセスにおいて, ガードゲート構造を用いた回路構造を提案し, 回路シミュレーションによる性能評価と 65 nm プロセスで試作した LSI を用いて重イオン照射によるソフトエラー耐性評価を行う. 第 2 節ではソフトエラーの発生機構とその対策方法について述べる. 第 3 節では評価を行うフリップフロップと性能評価について述べる. 第 4 節では重イオンを用いたソフトエラー耐性の評価方法について述べる. 第 5 節では実験結果について述べる. 第 6 節では本稿の結果を述べる.

## 2. ソフトエラー

本節では, 集積回路の一時故障であるソフトエラーについて述べる.

### 2.1 ソフトエラーの発生機構

荷電粒子が集積回路内のトランジスタに突入することにより電子正孔対が発生する. 発生した電荷がトランジスタの拡散領域に収集されることにより, 記憶素子の保持値が反転する現象をソフトエラーと呼ぶ [5]. ソフトエラーの発生機構を図 1 に示す. ソフトエラーが発生する原因となる粒子として, 地上では  $\alpha$  粒子や熱中性子, 高エネルギー中性子, 宇宙では重イオンが挙げられる.

### 2.2 SEU (Single Event Upset)

SRAM やラッチなどの記憶素子で発生するソフトエラーを SEU と呼ぶ [6]. 図 2 に示すように, ラッチを構成するインバータに荷電粒子が突入すると電子正孔対が発生し一時的に出力が反転する. 反転した出力値が元の値に戻る前に, トライステートインバータに反転した値が取り込まれ出力されると保持値が反転する. NMOS トランジスタでは電子起因, PMOS トランジスタでは正孔起因である. 電子は正孔と比べて移動度が大きいいため NMOS トランジスタの方がソフトエラーが発生しやすい [7].

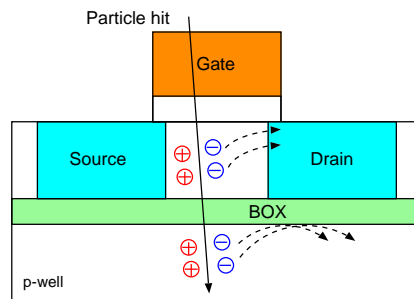


図 3 FDSOI に荷電粒子が突入したときの様子

### 2.3 デバイスレベルでの対策

SOI (Silicon on Insulator) 構造がソフトエラー対策として有効である. SOI 構造はシリコン基板とトランジスタの間に絶縁物の BOX 層が挿入されている. SOI 構造の中でもトランジスタの空乏層が完全に空乏化し BOX 層の界面まで達している FDSOI を本稿では扱う. FDSOI に荷電粒子が突入したときの様子を図 3 に示す. 基板で発生した電荷は BOX 層で遮られるため拡散層に収集されない構造になっている [8]. FDSOI においてソフトエラーの主要因は寄生バイポーラ効果 (PBE : Parasitic Bipolar Effect) である [9]. NMOS トランジスタでは発生した正孔によりボディの電位が上昇し, バイポーラトランジスタが導通するためソフトエラーが発生する.

### 2.4 回路レベルでの対策

#### 2.4.1 スタック構造

FDSOI ではトランジスタを縦積みにしたスタック構造が有効である. スタックトインバータに荷電粒子が突入した様子を図 4 に示す. FDSOI は BOX 層により個々のトランジスタが独立しており, 同時反転が起こりにくいいためスタック構造は FDSOI に適したソフトエラー対策である. 2 つの NMOS トランジスタのうち片方の寄生バイポーラが導通しても, もう一方のトランジスタが導通していないため出力が大きく変化しない.

#### 2.4.2 C-element

スタックトインバータを用いた構造で入力がある構造を C-element と呼ぶ. 図 5 に C-element の回路図を, 表 1 に C-element の真理値表を示す. 2 つの入力が同じとき

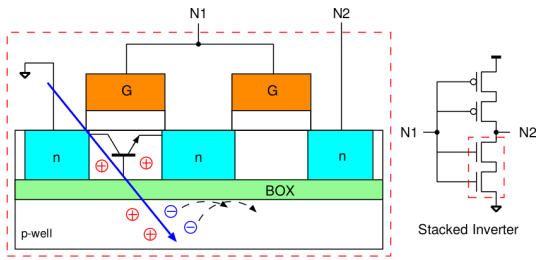


図 4 スタック構造に荷電粒子が突入したときの様子

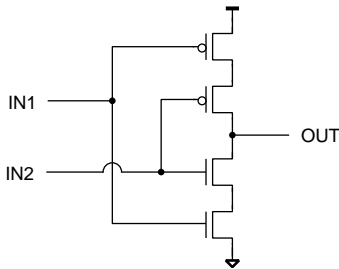


図 5 C-element

表 1 C-element の真理値表

IN1	IN2	OUT
0	0	1
0	1	ハイインピーダンス
1	0	ハイインピーダンス
1	1	0

はインバータと同様の動作をするが、入力が異なるときはハイインピーダンスとなる。C-element は 2 つの入力が同時に変化しない限り出力が反転しない。片方に反転した値が入力されると出力がハイインピーダンスとなり、前の状態を維持するため反転しない。

### 2.4.3 ガードゲート構造

C-element と遅延素子を用いた構造で、片方の入力に遅延素子を追加することで多重化することなく、その遅延時間より短いパルスを除くことができる [10]。図 6(a) のように INV でパルスが発生した場合、図 6(b) のように IN1 側ではパルスが C-element に直接入力されるが、IN2 側では遅延素子を通するため、図 6(c) のように  $\Delta t$  遅延されてから C-element に入力される。INV で発生したパルスが遅延素子での遅延時間 (GG 遅延) より短ければ、C-element の IN1 と IN2 に同時に入力されなくなるため、C-element で出力が反転しない。発生したパルスをガードゲート構造により除去することができる。GG 遅延が大きいほどガードゲート構造は高いソフトエラー耐性を持つ。

## 3. 耐フリップフロップと性能評価

### 3.1 ALLSTACKEDFF

一般的な D 型 FF である TGFF (Transmission Gate FF) のラッチ内のインバータとトライステートインバータをスタック構造にした FF を ALLSTACKEDFF と呼ぶ。図 7

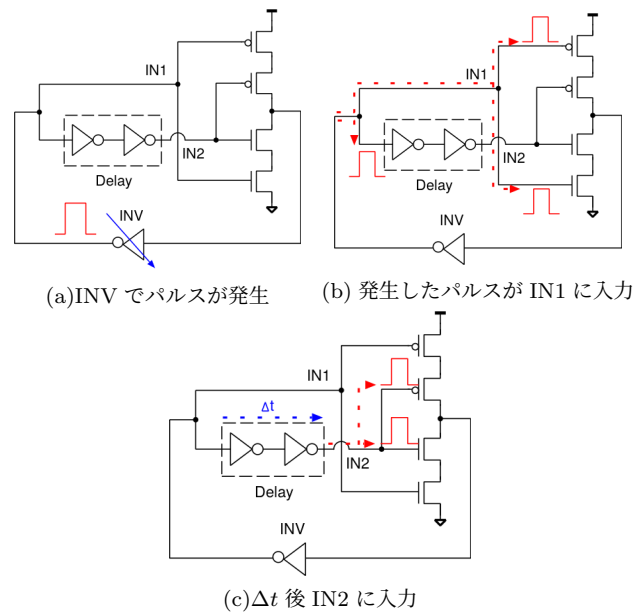


図 6 ガードゲート構造

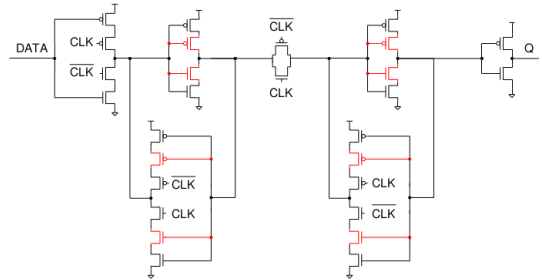


図 7 ALLSTACKEDFF

に ALLSTACKEDFF の回路図を示す。スタック構造を用いることでラッチで発生するソフトエラーを抑制できるが、TGFF と比べてトランジスタを縦積みするため遅延時間と面積が増加する。

### 3.2 FRFF (Feedback Recovery FF)

スレーブラッチのトライステートインバータの NMOS と PMOS の縦積みトランジスタの共有拡散層を配線につなぐ。つないだ配線からの出力とマスターラッチのインバータの出力をマスターラッチのトライステートインバータに入力した FF を FRFF と呼ぶ [11]。図 8 に FRFF の回路図を示す。図 9 のようにクロック信号が 1 で固定されているときにマスターラッチが保持状態になり、スレーブラッチのインバータとトライステートインバータが遅延素子として働くことでマスターラッチのトライステートインバータにガードゲート構造を持っている。ガードゲート構造によりマスターラッチで発生するソフトエラーを抑制できる。スレーブラッチは TGFF と同様のラッチ構造になっておりソフトエラー対策は施されていないため、ソフトエラーに脆弱である。ALLSTACKEDFF と比べ、図 10 のようにデータが入力から出力されるまでに通過するゲートの段

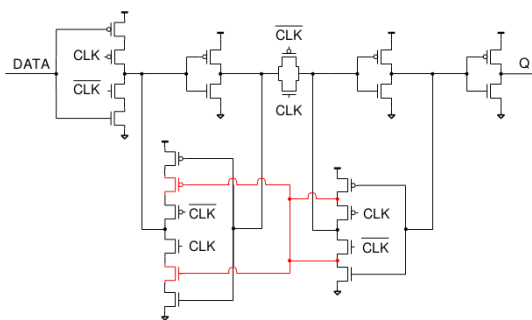


図 8 FRFF

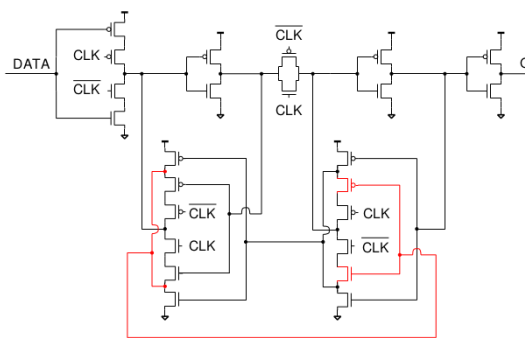


図 11 FRADFF

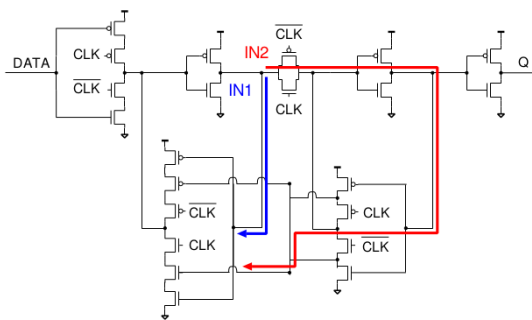
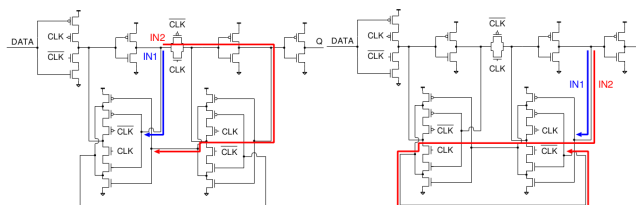
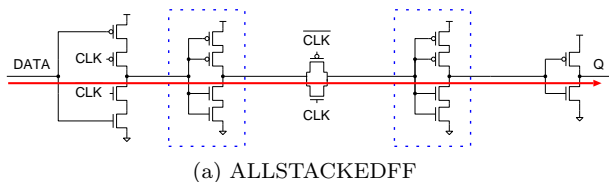


図 9 FRFF のガードゲート構造

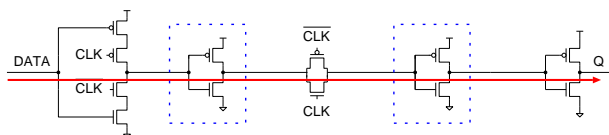


(a) マスターラッチ (b) スレーブラッチ

図 12 FRADFF のガードゲート構造



(a) ALLSTACKEDFF



(b) FRFF/TGFF

図 10 ALLSTACKEDFF と FRFF/TGFF の入力から出力までの信号経路

数は同じだが、FRFF ではスタックインバータを使っていない。ALLSTACKEDFF と比べ遅延時間と面積のオーバーヘッドが小さくなる。

### 3.3 FRADFF (Feedback Recovery Additional Delay FF)

FRFF を基に遅延時間のオーバーヘッドを抑えた耐ソフトウェア FF である FRADFF を提案する。FRFF の回路構造からマスターラッチのトリステートインバータの NMOS と PMOS の縦積みトランジスタの共有拡散層を配線につなぐ。つないだ配線からの出力とスレーブラッチのインバータの出力をスレーブラッチのトリステートインバータに入力した FF を FRADFF と呼ぶ。図 11 に FRADFF の回路図を示す。図 12 のようにスレーブラッチとマスターラッチのトリステートインバータが遅延素子

表 2 性能評価

	消費電力	遅延時間	面積
TGFF	1.00	1.00	1.00
ALLSTACKEDFF	1.05 (1.00)	1.76 (1.00)	1.24 (1.00)
FRFF	1.03 (0.97)	1.06 (0.60)	1.06 (0.86)
FRADFF	1.10 (1.05)	1.08 (0.61)	1.12 (0.90)

として働くことでマスターラッチに加えスレーブラッチのトリステートインバータにもガードゲート構造を持っている。ガードゲート構造によりマスターラッチとスレーブラッチで発生するソフトウェアエラーを抑制できる。FRFF と同様に ALLSTACKEDFF と比べ遅延時間と面積のオーバーヘッドが小さい。

### 3.4 評価フリップフロップの性能評価

TGFF, ALLSTACKEDFF, FRFF, FRADFF の 4 種で消費電力, 遅延時間, 面積を評価する。消費電力, 遅延時間は RC 抽出後のネットリストを用いてシミュレーションを行うことで評価する。表 2 は TGFF を 1 として規格化し、括弧内は ALLSTACKEDFF で規格化している。

遅延時間は TGFF に対し ALLSTACKEDFF は 1.76 倍と 2 倍ほどだが、FRFF は 1.06 倍、FRADFF は 1.08 倍と小さい。ALLSTACKEDFF はスタック構造を用いたことで遅延時間が増加する。ALLSTACKEDFF はデータが伝搬する素子のうちインバータをスタックインバータに変更しているため TGFF と比べ遅延時間のオーバーヘッドが大きい。FRFF と FRADFF はデータが伝搬する素子は TGFF と同様であるため ALLSTACKEDFF よりも遅延時間の増加を抑えている。面積は TGFF に対し ALLSTACKEDFF は 1.24 倍、FRFF は 1.06 倍、FRADFF は 1.12 倍に増加す

る。ALLSTACKEDFF と比べ FRFF はトランジスタ数が 6 個少なく、FRADFF は 4 個少ないため面積の増加を抑えている。

## 4. 重イオンによるソフトエラー耐性の評価

### 4.1 重イオン測定

重イオン実験は高崎量子応用研究所 (TIARA : Takasaki Ion accelerators for Advanced Radiation Application) で実施した。評価チップを円筒型チャンバー内に固定する。重イオンは大気によってエネルギーが減衰するためチャンバー内を真空にする。

### 4.2 衝突断面積 (CS : Cross Section)

CS は、荷電粒子が通過することでソフトエラーを引き起こす面積である。CS の値が小さいほど高いソフトエラー耐性を持つ。CS は式 (1) を用いて計算する。ただし、 $N_{SE}$  はソフトエラーが発生した FF 数、 $\Phi_{ion}$  は  $1 \text{ cm}^2$  あたりに照射されるイオンの総数、 $N_{FF}$  は搭載されている FF 数である。

$$CS [\text{cm}^2/\text{bit}] = \frac{N_{SE}}{\Phi_{ion} \times N_{FF}} \quad (1)$$

#### 4.2.1 評価方法

ソフトエラー耐性を評価するために、FF を数珠つなぎにした回路であるシフトレジスタを使用する。

- (1) シフトレジスタの FF 全段に 0 か 1 を書き込み初期化する。
- (2) クロック信号を 0 か 1 に固定し放射線を照射する。
- (3) 照射終了後、シフトレジスタ全段を読み出す。
- (4) 読み出した値と期待値が異なる FF 数を計算する。

#### 4.2.2 測定条件

実験で使用する重イオンは  $LET = 15.8 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  の Ar と  $LET = 40.3 \text{ MeV}\cdot\text{cm}^2/\text{mg}$  の Kr である。測定条件を以下に示す。

- 電源電圧 : 1.2 V
- 重イオン照射時間 : 30 秒
- 動作状態 : (DATA, CLK) = (0, 1), (1, 1), (1, 0), (0, 0)
- 測定回数 : 各 5 回

## 5. 重イオン照射結果

TGFF, ALLSTACKEDFF, FRADFF の (DATA, CLK) = (0, 1), (1, 1), (0, 0) とその平均の Ar 照射の結果を図 13 に、全動作状態とその平均の Kr 照射の結果を図 14 に示す。異なるチップで測定した TGFF と FRFF の全動作状態の平均の Ar と Kr 照射の結果を図 15 に示す。Ar で (DATA, CLK) = (1, 0) の測定が出来なかったためそのデータが存在しない。エラー率は信頼区間の 95% である。

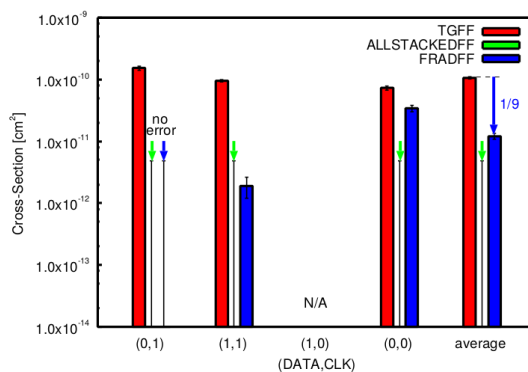


図 13 Ar 照射の結果

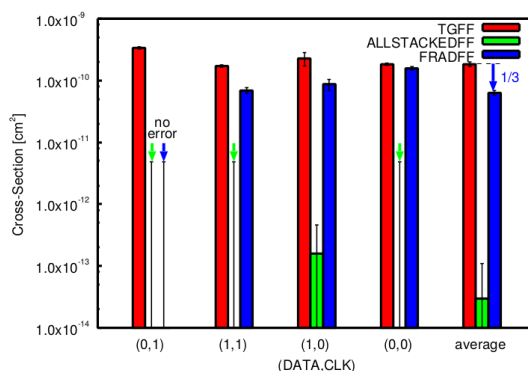


図 14 Kr 照射の結果

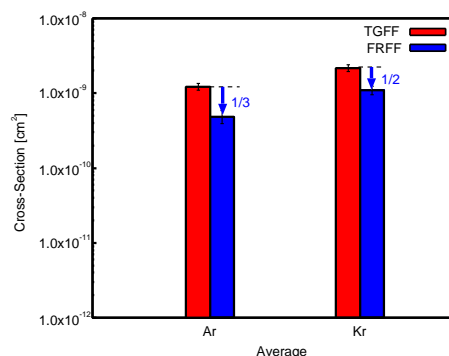


図 15 図 14 と異なるチップでの測定結果

表 3 FRADFF の GG 遅延

	マスターラッチ	スレーブラッチ
FRADFF	1.24	1.00

Ar 照射結果より、ALLSTACKEDFF は測定できた全動作状態でエラーが発生しなかった。FRADFF は (DATA, CLK) = (0, 1) ではエラーが発生しなかったが、(DATA, CLK) = (1, 1), (0, 0) ではエラーが発生した。図 13 の平均値より、FRADFF は TGFF と比べエラー数は 1/9 であった。Kr 照射結果より、ALLSTACKEDFF は (DATA, CLK) = (1, 0) ではエラーが 1 個発生したが、それ以外の条件ではエラーが発生しなかった。FRADFF は (DATA, CLK) = (0, 1) ではエラーが発生しなかったが、それ以外の条件ではエラーが発生した。図 14 の平均値より、FRADFF は TGFF と比べエラー数は 1/3 であった。図 15 より FRFF は

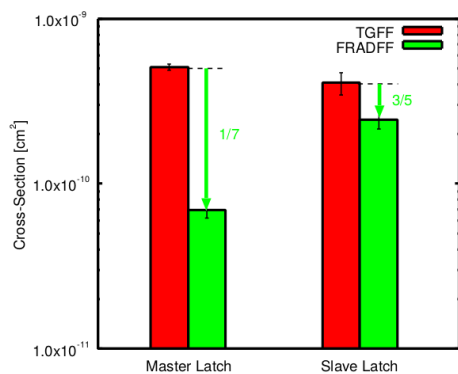


図 16 マスターラッチとスレーブラッチのソフトエラー耐性

TGFF と比べエラー数は Ar 照射では 1/3, Kr 照射では 1/2 になるため, FRADFF は FRFF よりソフトエラーを抑制できる. ALLSTACKEDFF はラッチをスタック構造にすることで十分なソフトエラー耐性を持っていることが分かる. FRADFF はガードゲート構造により, ALLSTACKEDFF より遅延時間と面積のオーバーヘッドを抑えているが, Ar と Kr 照射でエラーが多数発生しているためソフトエラー耐性は十分とは言えない.

その原因として, ガードゲート構造の GG 遅延の不足が挙げられる. 表 3 は FRADFF のマスターラッチとスレーブラッチの GG 遅延について RC 抽出後のネットリストを用いてシミュレーションを行い, その結果をスレーブラッチを 1 として規格化している. 図 16 は Kr 照射時に TGFF と FRADFF のマスターラッチとスレーブラッチで発生したソフトエラーの比較を示す. マスターラッチで発生したソフトエラーは (DATA, CLK) = (0, 1), (1, 1) で, スレーブラッチで発生したソフトエラーは (DATA, CLK) = (1, 0), (0, 0) で評価する. マスターラッチでは FRADFF は TGFF に比べエラー数は 1/7 であったが, スレーブラッチでは 3/5 であった. マスターラッチはスレーブラッチよりも GG 遅延が 1.24 倍でエラー数もより小さくなっていることから, GG 遅延の大きさがソフトエラー耐性に影響したと考えられる. 重イオンが突入することで発生したパルスが GG 遅延より大きいと, ガードゲート構造で C-element に入力されるときに同時に反転する部分が存在するため, パルスを除去できない. 除去できるパルス幅を大きくするため, 遅延素子を追加して GG 遅延を増やすことでソフトエラー耐性を向上できると考えられる.

## 6. 結論

本稿では 65 nm FDSOI プロセスにおいてガードゲート構造により, ソフトエラーに強靱な構造を提案し, 回路シミュレーションで性能を評価し, 重イオン照射によりソフトエラー耐性を評価した.

性能評価より, FRADFF は ALLSTACKEDFF と比べ遅延時間が 39%, 面積が 10%小さい. ALLSTACKEDFF は

Ar ではエラー数が 0, Kr ではエラー数が 1 であるため, 十分なソフトエラー耐性を持っている. FRADFF は Ar ではエラー率が TGFF の 1/9, Kr ではエラー率が 1/3 であるが, エラーが多数発生しているため十分なソフトエラー耐性を持つとは言えない. FRADFF は GG 遅延を増加することでソフトエラー耐性を向上できると考えられる.

謝辞 本研究は, JST-OPERA, JPMJOP1721, 株式会社ソシオネクストの支援を受けたものである. テストチップの試作は東京大学大規模集積システム設計教育センター (VDEC) を通し, ルネサスエレクトロニクス, シノプシス株式会社, 日本ケイデンス株式会社, メンターグラフィックス株式会社の協力で行われたものである. 重イオン照射測定は量子科学技術研究開発機構の施設共用制度にて行われたものである.

## 参考文献

- [1] G.E. Moore, "Cramming more components onto integrated circuits," Proceedings of the IEEE, vol.86, no.1, pp.82-85, 1998.
- [2] P. Roche, J. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: Soi to the rescue," 2013 IEEE International Electron Devices Meeting, pp.31.1.1-31.1.4, Dec 2013.
- [3] D.G. Mavis and P.H. Eaton, "Soft error rate mitigation techniques for modern microcircuits," IEEE Int. Rel. Physics Symp., pp.216-225, 2002.
- [4] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology," IEEE Trans. Nucl. Sci., vol.43, no.6, pp.2874-2878, Dec. 1996.
- [5] 戸坂義春, "知っておきたいソフト・エラーの実態," 日経エレクトロニクス, vol.2005 年 7 月 24 日号, 2005.
- [6] E. Petersen, Single event effects in aerospace, John Wiley & Sons, 2011.
- [7] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Sensitivity to soft errors of nmos and pmos transistors evaluated by latches with stacking structures in a 65 nm fdsoi process," 2018 IEEE International Reliability Physics Symposium (IRPS), pp.P-SE.3-1-P-SE.3-5, March 2018.
- [8] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, "Radiation-induced pulse noise in soi cmos logic," Int'l Symposium on Advanced Semiconductor-on-insulator Technology and Related Physics (in 219th ECS Meeting), May 2011.
- [9] M. Raine, M. Gaillardin, T. Lagutere, O. Duhamel, and P. Paillet, "Estimation of the single-event upset sensitivity of advanced SOI SRAMs," IEEE Trans. Nucl. Sci., vol.65, no.1, pp.339-345, Jan. 2018.
- [10] A. Balasubramanian, B.L. Bhuvana, J.D. Black, and L.W. Massengill, "Rhbd techniques for mitigating effects of single-event hits using guard-gates," IEEE Transactions on Nuclear Science, vol.52, no.6, pp.2531-2535, Dec 2005.
- [11] K. Yamada, J. Furuta, and K. Kobayashi, "Radiation-hardened flip-flops with small area and delay overheads using guard-gates in fdsoi processes," 2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), pp.1-3, Oct 2018.