

温度変化による 3D-TLC-NAND フラッシュメモリの信頼性評価

胡 泊洋^{1,a)} 小林 和淑^{1,b)}

概要: 本稿では 3D(3 次元)TLC フラッシュメモリの信頼性問題として、書き込み回数の増加によって引き起こされた酸化膜の劣化による読み出しエラーと書き込みと読み出し温度の変化による読み出しエラーの実測評価を行った。フローティングゲート型およびチャージトラップ型の商用チップを用い、恒温槽内で、温度を制御し、実測によりこれらの影響を評価した。ランダム値や ALL0 などのデータパターンを多数回書き込み、恒温槽に入れエラー発生率を実測した。

3D-TLC-NAND Flash Memory Reliability Evaluation by Ambient Temperature

HAKUYOU KO^{1,a)} KAZUTOSHI KOBAYASHI^{1,b)}

Abstract: In this paper, as a reliability problem of 3D (three-dimensional) TLC flash memory, the read error due to degradation of the oxide film caused by repeating erase and program operations and the read error due to temperature difference between program and read operations were measured and evaluated. Using a floating gate type and charge trap type commercial flash memories, temperature was controlled in a thermal chamber. Data patterns such as random values and ALL0 were written many times at low and high temperature to measure the error rate.

1. 序論

フローティングゲートフラッシュメモリは、1980 年に電氣的に消去可能なプログラマブル ROM (EEPROM) として最初に開発された。[1] その後、1984 年に NOR タイプのフラッシュメモリが発明され [2]、NAND フラッシュメモリは 1987 年に初めて導入された [3]。

NAND フラッシュメモリが発明されてから 30 年以上が経過したが、不揮発性ストレージの機能サイズと消費電力を削減し、従来のハードドライブの機械部品を削除することで、スマートフォンや IoT デバイスなどの電子機器の信頼性を高めた。ただし、NAND フラッシュメモリの保存期間は通常、ハードドライブよりもはるかに短い約 10 年間程度である。これは、フラッシュメモリセルに蓄積された

電荷が徐々に漏れ出すためである。

NAND フラッシュメモリのスケールが終了したため、マルチレベルセル (MLC) [4], [5] 最大 16 個の値 (クワッドレベルセル、QLC) [6] および 3 次元 (3D) 構造 [7] は、容量を増やすために使用されている。ビットセルはスケールしないため、保持時間やビットエラー率などの信頼性の問題を軽減できる。一方、MLC と 3D 構造は信頼性を悪化させる [8]。最初に、2 種類の商用 3D TLC (トリプルレベルセル) NAND フラッシュメモリの生ビットエラーレート (RBER) を実測評価した。用いたのはローエンド USB スティックと SSD のチャージトラップフラッシュメモリ (CTF)、およびハイエンドサーバーのフローティングゲートフラッシュメモリ (FGF) である。

2. チャージトラップとフローティングゲート

2.1 酸化膜劣化現象

フローティングゲート (FGF) とチャージトラップ (CTF)

¹ 京都工芸繊維大学 工芸科学研究科 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

a) bhu@vlsi.es.kit.ac.jp

b) kazutoshi.kobayashi@kit.ac.jp

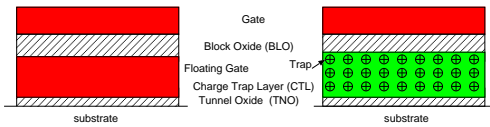


図 1 FG(左)とCT(右)平面 NAND フラッシュメモリのセル構造

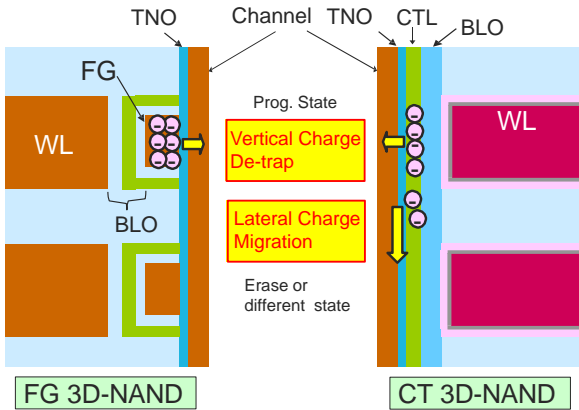


図 2 3D FG(左)とCT(右)平面 NAND フラッシュメモリの 3D ビットセル構造

のセル構造を図 1 に示す。

FGF と CTF のセル 3D 構造を図 2 に示す。

FGF のフローティングゲートは通常ポリシリコンで、CTF のチャージトラップ膜は絶縁体である窒化シリコンできている。ゲートに高い電圧をかけ、電荷がフローティングゲートもしくは、チャージトラップ層にトラップされる。この蓄積電荷は通常の動作電圧ではぬけないため不揮発性であり、データを保存することができる。

CTF の 2D NAND では、CT 膜は隣接するセル間で分離されている。一方、3D NAND では、CT 膜は縦 (垂直) 方向の NAND セルで共有される。したがって、CTF セルは、3D NAND のデータ保持が、垂直電荷損失と横電荷損失という 2 つの異なる影響を受ける。[10] 一方、FGF セルは、3D 構造においてもフローティングゲートは分離されているため、垂直電荷損失は無視できる。

FGF セルの 3D NAND の垂直方向の電荷損失は消去とプログラム (E / P) 操作を繰り返すことにより誘電体トンネル層 (TNO) が損傷することにより発現する、電荷を保持する能力が低く、電圧が低くなる。この損傷を抑えるために CT セルの書き込みフェーズと消去フェーズの電圧レベルは、通常、FG セルよりも低い。

一方、FGF セルでは誘電体トンネル層 (TNO) が薄いため、CTF セルよりも速く損傷する。共有電荷トラップ層 (CTL) は、隣接するセルへの電荷の横移動 [9] を引き起こす。FGF、CTF とともに、ビット線はメモリユニットのすべての垂直ユニットで共有される。FG セルでセル毎の TNO、CT セルではセル間のチャージトラップ膜が E / P の繰り返しによるビットエラーの主な要因となる。

CT 膜の消去はホール FN トンネリングにより引き起こされ、ホールの移動度は温度が低くなると低下する。[11], [12] つまり、高温でデータを書き込み、室温で読出すと、デー

タを保持する能力が強くなり、電荷がぬけにくく、エラー率が小さくなる。逆に、室温でデータを書き込み、高温でデータを読出すと、エラー率が多くなる。

2.2 しきい値電圧変動による劣化現象

温度変化によるしきい値電圧方向を図 3 に示す [13]。

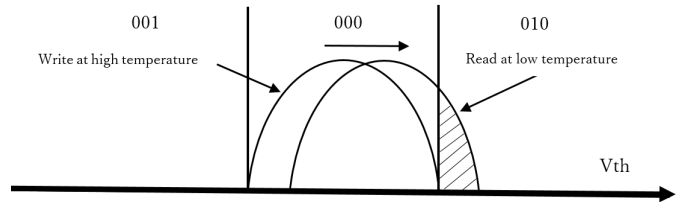


図 3 温度による、しきい値電圧変動範囲

書き込みと読出し温度が同じ場合はエラー率が増えない。高温で書き込み動作を行い、室温で読み出し動作を行うとエラーが増える。温度が高いと、熱電子が生じ、書き込み時にメモリセルに流れこむ電流総量が増え、FG 膜やチャージトラップ膜の保持電圧が高くなる、室温で読み出すと、しきい値が高くなり、電流が減るため、読み出し電圧を高くする必要がある。室温で書き込み、高温で読み出すとしきい値電圧が低くなりエラーも増える [10]。

市販のチャージトラップを使ったチップの保存データパターンを図 4 に示す。CTF に高温で 000 を書き込む、低温でしきい値が上がると 010 になる。

	M	C	L	M	C	L
	1	1	0	1	0	1
	0	1	0	1	0	0
	0	0	0	1	1	0
V_{th}	1	0	0	0	1	0
	1	0	1	0	0	0
	0	0	1	0	0	1
	0	1	1	0	1	1
ERASE	1	1	1	1	1	1
	FGF			CTF		

図 4 FGF および CTF TLC のデータパターン

酸化膜による劣化は書き込み回数の増加により、誘電体トンネル層 (TNO) が損傷し、電荷を保持する能力が低くなり、E/P 回数により低くなる。

3. 測定系と測定方法

本研究の測定装置を図 5 に示す、消去、書き込みと読出しはフラッシュメモリ測定専用の装置で行った。USB でパソコンと接続し、フラッシュメモリを恒温槽に入れ、書き込み温度と読出し温度を制御する。恒温槽に放置して、

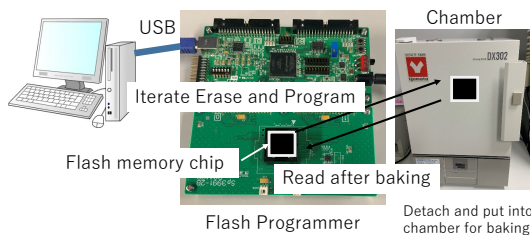


図 5 測定のセットアップ。コントローラ PC(左)、消去/読み出す/書き込む (中間)、チャンバー (右)

読出したデータと書き込んだデータを比べて、ビットエラー率を計算し、フラッシュメモリの信頼性を評価する。フラッシュメモリの測定手順を以下に示す。

- (1) 高温書き込み、室温読出し: チップを恒温槽に入れて、100 °Cに設定、チップに各データ数千回を書き込み、温度を室温に下げ、恒温槽に 24 時間放置、データを読出し、エラー率を計算する。
- (2) 室温書き込み、高温読出し: チップを恒温槽に入れて、27 °Cに設定、チップに各データ数千回を書き込み、温度を 100 °Cに上げて、恒温槽に 24 時間放置、データを読出し、エラー率を計算する。
- (3) 高温書き込み、高温読出し: チップを恒温槽に入れて、100 °Cに設定、チップに各データ数千回を書き込み、恒温槽に 24 時間放置、データを読出し、エラー率を計算する。

4. 実験結果と考察

4.1 高温で書き込み、高温で読出し

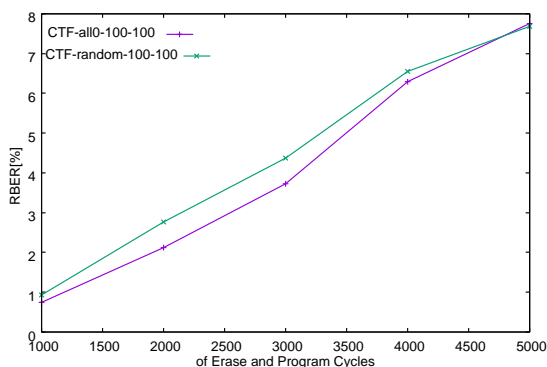


図 6 100 °Cで CT にデータを書き込み、100 °Cで一日中放置し、そして 100 °Cのまま読み出した結果

CTF のビットエラー率 (BER) を図 6 に示す。100 °Cの恒温槽に All 0 とランダム値を CTF に書き込み、100 °Cのまま 1 日放置、データを読出した。

CTF の初期ビットエラー率は 0.1% 以下である、温度差がなければ、しきい値電圧が変わらない、劣化の原因は書き込み回数の増加による酸化膜の劣化であり、5000 回は 1000 回よりもランダム値でエラー率が 8.3 倍に、All 0 では 10 倍増えた。ランダムを千回書いたエラー率は All 0 より高く、エラー率の増加率は All 0 のほうが速い。All

0 は書き込み回数を増やすとエラー率が急速に上がる、一方、ランダム値では 5000 回の書き込み後に飽和する傾向がある。

CTF では、電荷トラップ層 (CTL) は、直列に接続された NAND セルによって共有される。ランダム値が書き込まれる場合、隣接するセルは異なる値を格納する可能性があり、All 0 が書き込まれる場合はすべてのセルに同じ値 000 を格納する。ランダム値では垂直方向のセル間に電位差が発生し、トラップされた電荷が同じデータを格納する ALL0 よりも速く隣接セルに移動するため、ビットエラーが増加する。

4.2 高温で書き込み、室温で読出し

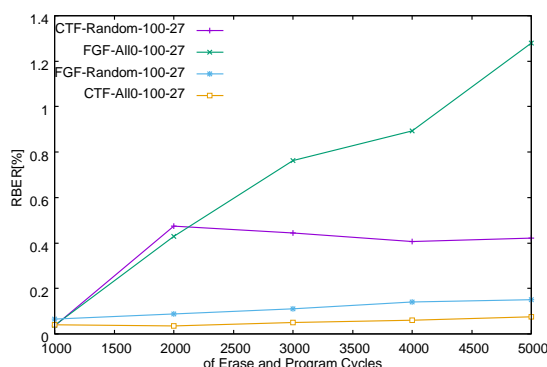


図 7 100 °Cで CT と FG にデータを書き込み、27 °Cで一日中放置し、読み出した結果

CTF と FGF のビットエラー率 (BER) を図 7 に示す。100 °Cの恒温槽に All 0 とランダム値を書き込み、室温に温度を下げ、1 日放置後、データを読出した。

室温で一日放置すると、ホールの移動度が低くなるため、電荷の保持する能力が向上し、5000 回では、最もエラー率が高い All 0 を書いた FG では 1.28% と高温で読み出しと書き込みを行う場合と比べて、低いエラー率となった。ほかのデータのエラー率はほぼ 0.5% 以下となった。

図 4 により、CTF の All0 のしきい値は平均値より低い。CTF はランダムのデータを書き込みのために、All 0 を書き込むより高い電圧が必要である、CTF にランダムを書き込んだエラー率は All 0 より全体的に BER が高くなる。書き込み回数の増加による、エラー率の増加はなく、0.4% 程度のエラーとなった。書き込み回数を 5000 回以上に増やしても、エラー率は飽和する傾向にある。FGF に All0 とランダムを書き込んだエラー率は CTF と比べると、エラーが多く、高温で書き込み、室温で読出し条件で、CTF の信頼性は FGF より良い。全体的に見ると、各 5000 回を書き込んだとき、FGF は All0 を書き込んだエラー率がランダムより 1.13% 多くなった、CT はランダムを書き込んだエラー率が All0 より 0.346% 多くなった。

4.3 TLC のビット位置によるエラー率

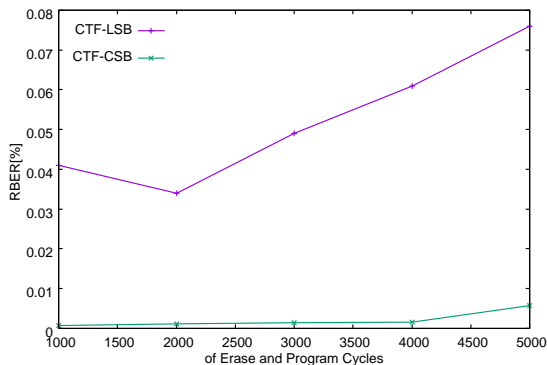


図 8 100 °C で CT にデータを書き込み、27 °C で一日中放置し、読み出した結果

図 8 は図 6 の結果により TLC のビット位置毎のエラー率を求めたものである。酸化膜の劣化により、電荷が抜けことにより、しきい値電圧がより低くなる、高温で書き込み、室温で読出すと、しきい値が高くなり、エラー率が高くなる。

CSB のエラーは図 4 に示すとおり 000 から 010 に記憶値が変化した結果である。これはしきい値電圧の変動により、しきい値が高い記憶値になることによる、酸化膜の劣化による電荷が抜けることにより発生する。CSB に出たエラーデータは書き込み回数の増加による、エラー率が少し増える、LSB では 2000 回時のエラー率が 1000 回より低い。これはエラー率のばらつきによるものと考えられる。エラーデータが出た大部分の原因は酸化膜の劣化効果である。一部はしきい値電圧の変動に影響されたエラーデータである。

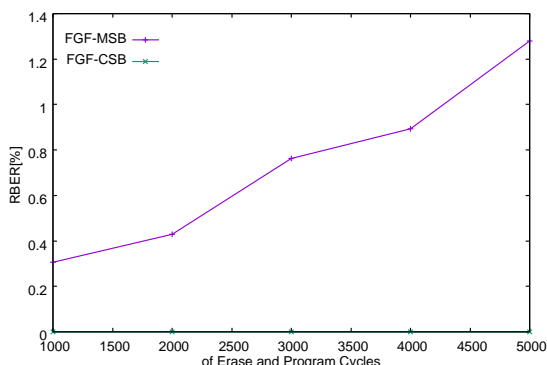


図 9 100 °C で FG にデータを書き込み、27 °C で一日中放置し、読み出した結果

FGF に All0 を書き込んださいの CSB と LSB のエラー率を図 9 に示す。図 4 より FGF の MSB のエラーは、酸化膜の劣化による電荷が抜けることにより発生する。CSB ではエラーがほとんど起こらない。MSB のエラーは書き込み回数により、エラー率が増える、5000 回は 1000 回より 1% エラー率が増加した。CSB に出たエラーも少し増えた。エラーデータの大部分も CTF と同じ、大部分の原因

は酸化膜の劣化によるものであり、しきい値電圧の変動に影響されたエラーは非常に少ない。

4.4 室温書き込み、高温読み出し

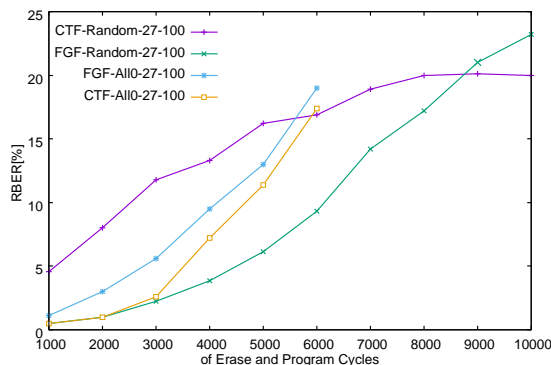


図 10 27 °C で CT と FG にデータを書き込み、150 °C で一日中放置し、読み出した結果

室温で All 0 と擬似ランダムデータで CTF に書き込み、恒温槽に 150 °C で 1 日放置、データを読出した。CTF と FGF の BER を図 10 に示す。FGF は、消去と書き込み回数が少ない場合は、エラー率が小さいが、ランダム値を書き込むと、9000 回で、BER が CTF より多くなった。書き込み回数の増加に従って、エラー率が増え続けるという傾向がある。一方、CTF は、書き込み回数は 8000 回以下の場合、エラーが FGF よりエラーが多くなった。CTF に 9000 回以上データを書き込むと、エラー率は飽和する。

ランダム値を書き込むと、CTF は垂直電荷損失と横電荷損失二つの劣化現象に影響されが、FGF は垂直電荷損失だけに影響される、CTF のエラー率が飽和するまでにエラー率が FGF より高い原因である。All 0 を書き込んだとき、FGF、CTF とともに、書き込み回数の増加に従って、エラー率が増え続ける。FGF の初期エラー率は小さく、プログラム回数を増やしても CTF を上回ることではない。

All 0 が書き込まれる場合はすべてのセルに同じ値 000 を格納するため、二つのゲートは垂直電荷損失だけに影響される。飽和する傾向も見られない。

5. 結論

NAND フラッシュメモリの多層セルと 3D 構造は温度変化に起こされた酸化膜の劣化としきい値電圧変動を脅かす。

フローティングゲート型とチャージトラップ型 TLC NAND フラッシュメモリ (FGF および CTF) は、ともに 3D 64 層で、消去とプログラム (E/P) を繰り返して、室温 (27 °C)、高温 (100 °C) で E/P を行った。100 °C の高温で書き込み、室温で読出す実験で、分離されたフローティングゲートを備えた FGF は、ランダム値では、トンネル酸化膜が 64 個の NAND セルすべてで共有される CTF よりも耐久性が高くなった。

しかし、E/PP 回数を増やすと、FGF の BER は急速に上がり、9,000 回の繰り返しで CTF よりも悪くなる。室温で書き込み、100 °C の高温で読み出す実験で、結果は高温書き込みを室温読み出しとほぼ同じだが、All 0 を書き込んだとき、CTF の BER が FGF より高くなった。この実験で、温度変化による酸化膜劣化は信頼性に影響する主な原因となった。

ビットエラーを減少するために、書き込みと読出すとき、異なる温度で制御し、信頼性の向上に役立つ。

謝辞

測定治具に関して、株式会社シグリードにご協力いただきました。

参考文献

- [1] W. Johnson, G. Perlegos, A. Renninger, G. Kuhn, and T. Ranganath. A 16kb electrically erasable nonvolatile memory. In *1980 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, volume XXIII, pp. 152–153, Feb 1980.
- [2] F. Masuoka, M. Asano, H. Iwahashi, T. Komuro, and S. Tanaka. A new flash e2prom cell using triple polysilicon technology. In *1984 International Electron Devices Meeting*, pp. 464–467, Dec 1984.
- [3] F. Masuoka, M. Asano, H. Iwahashi, T. Komuro, and S. Tanaka. A new flash e2prom cell using triple polysilicon technology. In *1984 International Electron Devices Meeting*, pp. 464–467, Dec 1984.
- [4] G. J. Hemink, T. Tanaka, T. Endoh, S. Aritome, and R. Shirota. Fast and accurate programming method for multi-level nand eeproms. In *1995 Symposium on VLSI Technology. Digest of Technical Papers*, pp. 129–130, June 1995.
- [5] Tae-Sung Jung, Young-Joon Choi, Kang-Deog Suh, Byung-Hoon Suh, Jin-Ki Kim, Young-Ho Lim, Yong-Nam Koh, Jong-Wook Park, Ki-Jong Lee, Jung-Hoon Park, Kee-Tae Park, Jang-Rae Kim, Jeong-Hyong Lee, and Hyung-Kyu Lim.
- [6] N. Shibata, H. Maejima, K. Isobe, K. Iwasa, M. Nakagawa, M. Fujiu, T. Shimizu, M. Honma, S. Hoshi, T. Kawaai, K. Kanebako, S. Yoshikawa, H. Tabata, A. Inoue, T. Takahashi, T. Shano, Y. Komatsu, K. Nagaba, M. Kosakai, N. Motohashi, K. Kanazawa, K. Imamiya, and H. Nakai. A 70nm 16gb 16-level-cell nand flash memory. In *2007 IEEE Symposium on VLSI Circuits*, pp. 190–191, June 2007.
- [7] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama. Bit cost scalable technology with punch and plug process for ultra high density flash memory. In *2007 IEEE Symposium on VLSI Technology*, pp. 14–15, June 2007.
- [8] K. Mizoguchi, T. Takahashi, S. Aritome, and K. Takeuchi. Data-retention characteristics comparison of 2d and 3d tlc nand flash memories. In *2017 IEEE International Memory Workshop (IMW)*, pp. 1–4, May 2017.
- [9] S. Suzuki, Y. Deguchi, T. Nakamura, and K. Takeuchi. Endurance-based dynamic vthdistribution shaping of 3d-tlc nand flash memories to suppress both lateral charge migration and vertical charge de-trap and increase data-retention time by 2.7x. In *2018 48th European Solid-State Device Research Conference (ESSDERC)*, pp. 150–153, Sep. 2018.
- [10] K. Mizoguchi, S. Kotaki, Y. Deguchi and K. Takeuchi, Lateral charge migration suppression of 3D-NAND flash by vth nearing for near data computing, In *2017 IEEE International Electron Devices Meeting (IEDM)*, pp. 19.2.1-19.2.4, Dec. 2017
- [11] J. Levinson, F. R. Shepherd, P. J. Scanlon, W. D. Westwood, G. Este, and M. Rider, Conductivity behavior in polycrystalline semiconductor thin film transistors, *Journal of Applied Physics*, vol. 53, no. 2, pp. 1193-1202, 1982
- [12] D. Resnati, A. Goda, G. Nicosia, C. Miccoli, A. S. Spinelli, and C. Monzio, In *IEEE Electron Device Letters*. Page 461 - 464, Feb. 2017
- [13] K. Chun, K. Itoh, T. H. Lee, R. Micheloni, T. Sakurai, W. M. C. Sansen, D. Schmitt-Landsiedel, *Inside Solid State Drives (SSDs) Second Edition*, 164-166, (2013-2018);