

デバイスモデルの静特性の合わせこみによる ソフトエラー耐性の評価と実測結果との比較

森 風馬¹ 榎原 光則¹ 小島 健太郎¹ 古田 潤¹ 小林 和淑¹

概要：ソフトエラーのメカニズムを詳細に解析するにはデバイスシミュレーションが有効である。SPICEモデルは通常 PDK に含まれているが、詳細なデバイス構造は開示されていない。本稿では、回路シミュレーションモデルを元にデバイスシミュレーションモデルの合わせこみを行い、ソフトエラー耐性のシミュレーションを行った。静特性の差の RMSPE が 11%以下となる精緻なモデルを用いることにより、保持値、クロック入力値ごとのラッチのエラー耐性の傾向が測定値と一致することを確認した。

Evaluation of Soft-Error Tolerance by Matching Static Characteristics of Device Model and Comparison with Measurement Results

FUMA MORI¹ MITSUNORI EBARA¹ KENTARO KOJIMA¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: Device simulation is effective to analyze the mechanism of soft error in detail. SPICE models are included in process design kits. But the detailed device structure are not disclosed. In order to, we matched device simulation model based on circuit simulation model and simulated soft-error tolerance. The tendency of the error tolerance of a latch by the states of stored values and clock states agrees with the measurement results by using a sophisticated model in which the RMSPE of the difference of static characteristics is 11% or less.

1. 序論

集積回路はムーアの法則に従って微細化が進み、動作速度の高速化、集積度の向上や消費電力の低下が進んでいる。一方で微細化に伴い集積回路の信頼性の低下が進行し問題となっている [1]。ソフトエラーとは、放射線がデバイスに突入、衝突することで電子正孔対が発生し、記憶素子の保持値や論理回路の論理値が反転する一過性のエラーである。永久故障であるハードエラーと異なり、機器の再起動で修復が可能であるが、高い信頼性が求められる航空機や宇宙機などでは対策が必須である。

本稿では、65nm bulk プロセスにおける、デバイスシミュレーションを用いたソフトエラー耐性評価手法の精度を評価する。第2節ではソフトエラーの発生原理について述べる。第3節ではデバイスモデルの作成について説明す

る。第4節では作成したデバイスモデルによるソフトエラー耐性の評価と実測結果との比較について述べる。第5節では静特性に影響を与えずにソフトエラー耐性を変化させるパラメータの検討と評価について述べる。第6節で結論を述べる。

2. ソフトエラー

本節では、集積回路の一時故障であるソフトエラーについて述べる。

2.1 ソフトエラーの発生原理

放射線が集積回路に突入するとデバイス内に電子正孔対が生じる。発生した少数キャリアが拡散層に収集されると記憶素子の保持値や論理回路の論理値が反転する。この現象をソフトエラーと呼ぶ [2]。電子の移動度が正孔と比べて大きいと、PMOS より NMOS の方が電荷を収集しやすく、ソフトエラーが発生しやすい [3]。地上では α 線・熱

¹ 京都工芸繊維大学電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

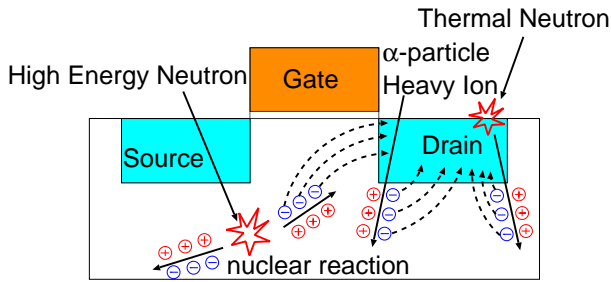


図 1 ソフトエラー発生機構

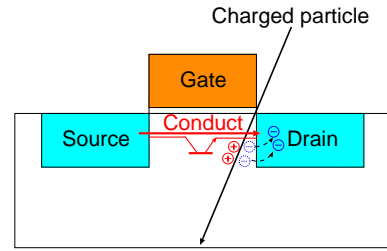


図 3 寄生バイポーラ効果によるソフトエラー発生機構

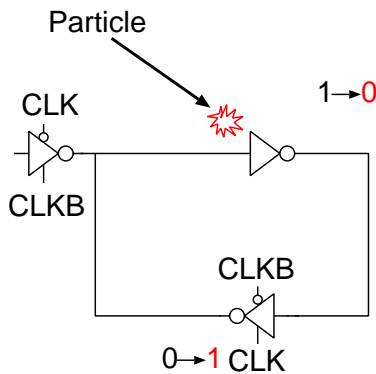


図 2 Single Event Upset

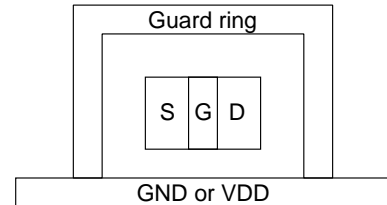


図 4 ガードリングの概略図

中性子・高エネルギー中性子、宇宙では重イオンがソフトエラーを引き起こす主要因である [4][5][6]。各粒子でのソフトエラーの発生機構を図 1 に示す。トランジスタサイズの微細化に伴いゲートの容量が減少しているため、ソフトエラーが顕在化している [7]。

2.2 SEE (Single Event Effect)

トランジスタに 1 つの放射線が突入することで発生する一時的もしくは永久的な故障を SEE (Single Event Effect) と呼ぶ。SEE の中でも一時故障は放射線の突入箇所によって分類されている。図 2 に示すように、SRAM やラッチなどのデータを保持するためのループ状の構造に粒子線が突入することによってデータが保持値が直接反転するものを SEU (Single Event Upset)[8]、組み合わせ回路に粒子線が突入することによって電荷が生じ、パルスが発生するものを SET (Single Event Transient) と呼ぶ。本稿では、主に SEU について取り扱う。

2.3 寄生バイポーラ効果

ソフトエラーは電荷収集以外の要因で生じることがある。その一例として寄生バイポーラ効果が挙げられる。寄生バイポーラ効果の様子を図 3 に示す。放射線の突入より発生した電子正孔対のうち、基板に残留した正孔 (PMOS では電子) によってチャネル部分の電位が変動する。チャネル部分の電位の変動に伴いドレイン・基板・ソースで構成される寄生バイポーラトランジスタが ON となりソースとドレインが導通し、トランジスタの出力が反転する。

2.4 ガードリング

ガードリングとは、ウェルに生じた電荷を GND または電源ラインに逃がすための n+拡散層または p+拡散層の経路である (図 4)。トランジスタ付近の基板電位の変動を抑える効果がある。主にラッチアップの対策として取り付けられるが、寄生バイポーラ効果を抑制することもできる。

3. デバイスモデルの作成

本節では、TCAD シミュレーションで作成した 3D デバイスモデルの静特性の合わせこみについて説明する。

3.1 TCAD シミュレーション

TCAD (Technology Computer Aided Design) はデバイスシミュレータやプロセスシミュレータなどの複数のシミュレータを統合したツールである。ここでは Synopsys 社の Sentaurus を用いる。TCAD では、デバイスのアナログ動作の他に、デバイス外部の物理現象による影響をシミュレーションすることができる。

3.2 静特性の合わせこみ

65nm bulk プロセスの回路シミュレーション結果を用いて、3D のデバイスモデルを作成する。TCAD 上で作成したデバイスモデルの $C_{gg}-V_{gs}$ 特性および $I_{ds}-V_{gs}$ 特性が SPICE モデルに近づくように各種パラメータを決定する。調節する主なパラメータとシンボルを表 1 に示す。

それぞれのパラメータが $C_{gg}-V_{gs}$ 特性、 $I_{ds}-V_{gs}$ 特性にどのような影響を与えるかを図 5 に示す。合わせこみの精度は平方平均二乗誤差率 (式 1) を用いて計算する。

表 1 調節する主なパラメータ

パラメータ	シンボル
ゲート酸化膜厚	T_{ox}
ゲートの仕事関数	ϕ
ゲートの不純物密度	σ_g
チャネルの不純物密度のピーク値	σ_c
ハロの不純物密度のピーク値	σ_h
チャネル長	L_c

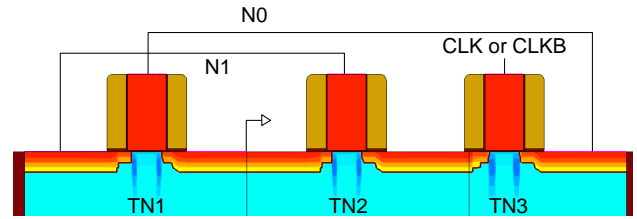
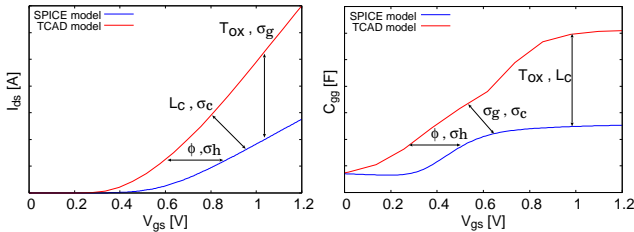
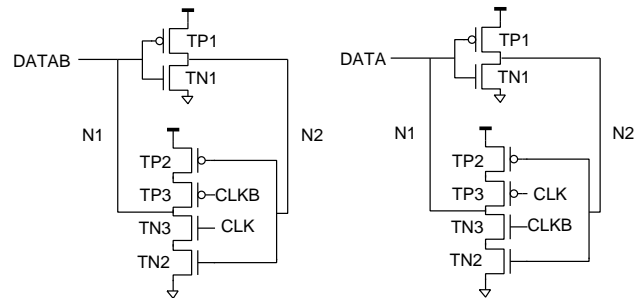


図 7 拡散層を共有した縦積み NMOS トランジスタの 3D デバイスモデルの断面図



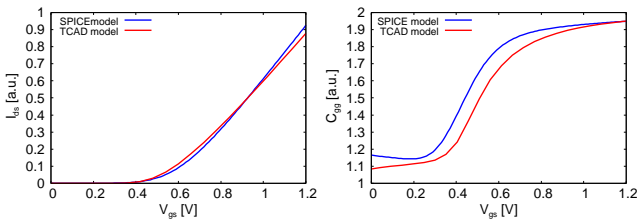
(a) $I_{ds}-V_{gs}$ 特性 (b) $C_{gg}-V_{gs}$ 特性

図 5 パラメータ変更による静特性への影響



(a) マスターラッチ (b) スレーブラッチ
(CLK=1 でループ) (CLK=0 でループ)

図 8 作成したラッチ回路



(a) $I_{ds}-V_{gs}$ 特性 (b) $C_{gg}-V_{gs}$ 特性

図 6 合わせこみ後の静特性 (NMOS)

表 2 作成したデバイスモデルの RMSPE

トランジスタ	RMSPE	
	$I_{ds}-V_{gs}$ 特性	$C_{gg}-V_{gs}$ 特性
NMOS	10.38%	5.44%
PMOS	5.33%	3.61%

$$RMSPE = \sqrt{\frac{1}{N} \sum_{i=0}^N \frac{([TCAD_i] - [SPICE_i])^2}{[SPICE_i]^2}} \quad (1)$$

$TCAD_i$: TCAD のシミュレーション結果

$SPICE_i$: SPICE のシミュレーション結果

作成した NMOS トランジスタの $C_{gg}-V_{gs}$ 特性、 $I_{ds}-V_{gs}$ 特性を図 6 に、NMOS、PMOS それぞれの RMSPE を表 2 に示す。 $C_{gg}-V_{gs}$ 特性は全測定点、 $I_{ds}-V_{gs}$ 特性は V_{gs} が 0.6V 以上のときの測定点で計算した。RMSPE は 11% 以下となった。

4. TCAD によるソフトエラー耐性評価

本節では、前節で示したデバイスモデルに荷電粒子の照射を行い、ソフトエラー耐性を評価し、実測結果と比較する。

4.1 シミュレーションのセットアップ

縦積み MOS トランジスタの拡散層を共有しているデバイスモデルを NMOS、PMOS それぞれで作成する (図 7)。上記のデバイスモデルと SPICE モデルを用いて図 8 に示すラッチ回路を TCAD 上で構成する。ループ状の構造で生じるソフトエラーを調査するため、CLK=0 のときはスレーブラッチ、CLK=1 のときはマスターラッチに着目する。荷電粒子を垂直照射するシミュレーションを行い、ソフトエラー耐性を CS (Cross Section) で評価する。CS とは、粒子が突入するとソフトエラーが発生する面積のことである。CS が小さいほどソフトエラー耐性が高いと言える。ノード N1、N2 の電圧波形を確認することでソフトエラーが発生した領域を求める。保持値 (DATA) とクロック入力値 (CLK) あるいは電源電圧やガードリングの有無によるソフトエラー耐性の変化をシミュレーションと実測と比較する。それぞれの評価方法について説明する。
保持値・クロック入力値依存性

α 線を照射した実測結果と比較する。実測で用いた α 線源のエネルギーは 5MeV である。このとき、 α 線の LET (Linear Energy Transfer) 値は 0.8 ~ 1.5MeV-cm²/mg まで変化する [9]。ただし、10fC/ μ m = 1MeV-cm²/mg である。ここでは LET 値が 1.5MeV-cm²/mg の荷電粒子を用いる。LET とは荷電粒子が単位長さを通過するときに物質に与えるエネルギーである。LET 値の大きさは発生する電荷量と比例する。デバイスモデルを 100nm 四方の格子状の領域 (メッシュ) に分ける (図 9)。各メッシュの中心に荷電粒子を垂直照射する。NMOS はガードリングの付いているデバイスモ

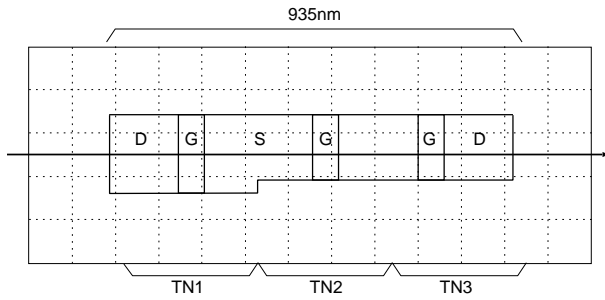


図 9 3D デバイスモデルの概略図とメッシュと軸
(スレーブラッチの NMOS)

デル、PMOS はガードリングの付いていないデバイスモデルを用いて、電源電圧 1.2V でシミュレーションを行う。

電源電圧・ガードリング依存性

重イオンを照射した実測結果と比較する。重イオンは α 線より LET 値が高く、CS が大きくなる。そのため、重イオンの CS 評価シミュレーションには膨大な時間がかかる。ここではシミュレーション時間短縮のために CS の横幅のみを調べる。デバイスモデル上に軸を決定し、軸上の点に一定の間隔を空けて荷電粒子を照射して、CS の横幅を調べる。軸の位置はインバータの中心である (図 9)。実測で照射した荷電粒子は Kr (LET 値:40.2MeV-cm²/mg) であるが、本稿では、Ne (LET 値:6.5MeV-cm²/mg) と Ar (LET 値:15.8MeV-cm²/mg) を模擬した荷電粒子を用いる。スレーブラッチの NMOS に荷電粒子を照射し、評価する。

4.2 実測結果との比較

シミュレーション結果を実測結果と比較する。

保持値・クロック入力値依存性

シミュレーション結果を表 3 と図 10 に示す。実測結果は、10 回測定した結果の平均値である。実測ではソフトエラーが発生した箇所の特定ができないためソフトエラーの合計数しか結果を数値として得ることができない。(DATA, CLK) が (0, 0) あるいは (1, 1) のとき、ソフトエラーが起こる箇所は NMOS ではトライステートインバータ、PMOS ではインバータである。同じ構造であれば、NMOS より PMOS の方がソフトエラー耐性が高いが、インバータよりトライステートインバータの面積が大きいため、PMOS より NMOS 方が CS が大きくなっている。

(DATA, CLK)= (0, 0) のときが最もソフトエラー耐性が高く、(DATA, CLK)= (1, 0) ときが最もソフトエラー耐性が低いという点で実測結果とシミュレーション結果が一致する。

表 3 α 線照射時の CS 評価結果

トランジスタ	(DATA, CLK)	CS [cm ² /ion]	実測のエラー数
NMOS	(0, 0)	0.3×10^{-9}	-
	(0, 1)	1.0×10^{-9}	-
	(1, 0)	1.1×10^{-9}	-
	(1, 1)	0.5×10^{-9}	-
PMOS	(0, 0)	1.0×10^{-9}	-
	(0, 1)	0.8×10^{-9}	-
	(1, 0)	0.4×10^{-9}	-
	(1, 1)	1.0×10^{-9}	-
合計	(0, 0)	1.3×10^{-9}	203.1
	(0, 1)	1.8×10^{-9}	304.9
	(1, 0)	1.5×10^{-9}	225.5
	(1, 1)	1.5×10^{-9}	265.2

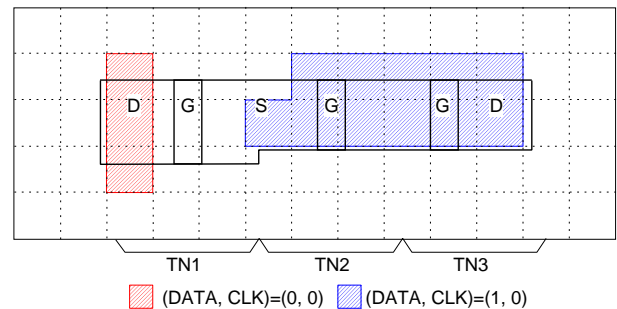


図 10 CS 評価結果 (スレーブラッチの NMOS)

電源電圧・ガードリング依存性

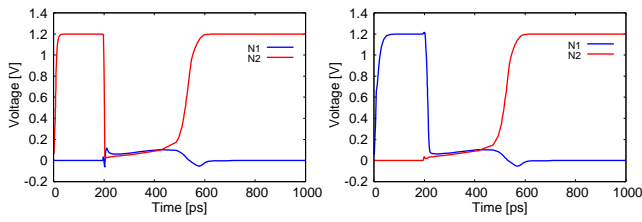
シミュレーション結果を表 4、実測結果を表 5 に示す。シミュレーションにおいて、DATA=0 のときはソフトエラーが確認できなかった。実測結果は、5 回測定した結果の平均値である。

同じ照射位置のときの保持値ごとの電圧波形を図 11 に示す。インバータとトライステートインバータのどちらでも電荷収集や寄生バイポーラ効果が起こり導通するため、ノード N1、N2 の電位がともに 0V 付近になる。インバータの方がトライステートインバータと比較して駆動力が高いため、先に発生した電荷を掃き出しきってインバータの NMOS がオフ状態になり、ノード N2 の電位が上昇する。そのため、DATA=0 のときには、ソフトエラーが生じず、DATA=1 のときのみソフトエラーが発生する。

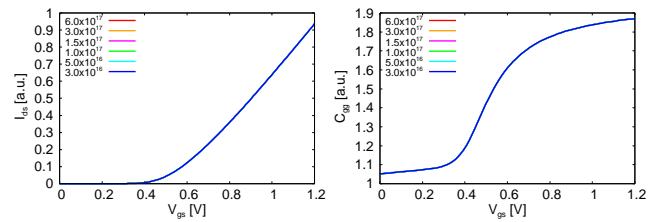
ガードリングがある場合、電源電圧が下がるとソフトエラー耐性が低くなり、ガードリングがない場合、電源電圧が下がるとソフトエラー耐性が高くなるという点で実測結果とシミュレーション結果が一致する。

5. ソフトエラー耐性に影響を与えるパラメータの検討

本節では、静特性に影響を与えずにソフトエラー耐性に影響を与えるパラメータの検討とパラメータを変更したときの静特性とソフトエラー耐性の変化を評価する。



(a)DATA=0 (b)DATA=1
図 11 荷電粒子照射時の保持値ごとの電圧波形



(a) I_{ds} - V_{gs} 特性 (b) C_{gg} - V_{gs} 特性
図 13 不純物密度のピーク値を変化させるときの静特性の変化

表 4 電源電圧とガードリングによる CS の幅の変化
(シミュレーション結果、DATA=1)

電源電圧 [V]	CS の幅 [μm]			
	ガードリング有り		ガードリング無し	
	Ne	Ar	Ne	Ar
1.2	1.7	4.8	5.4	6.5
1.0	1.7	4.9	5.3	6.5
0.8	1.8	4.9	5.1	6.3

表 5 電源電圧とガードリングによるソフトエラー数の変化
(実測結果)

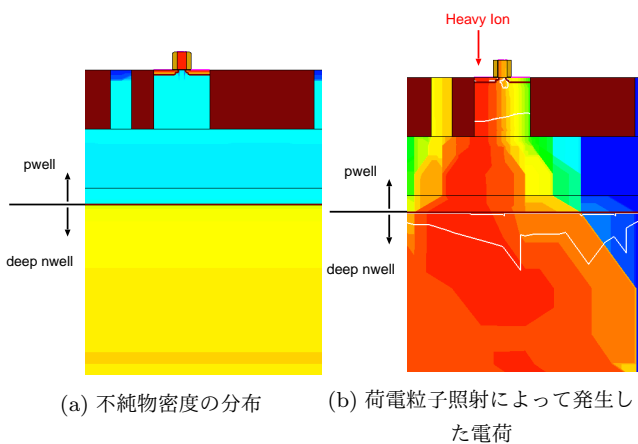
電源電圧 [V]	エラー数の平均値	
	ガードリング有り	ガードリング無し
1.2	143.8	1900.6
1.0	142.8	1441.8
0.8	141.2	1421.4

表 6 不純物密度と CS の変化

不純物密度のピーク値 [cm^{-3}]	CS [cm^2/ion]
6.0×10^{17}	2.25×10^{-10}
3.0×10^{17}	2.25×10^{-10}
1.5×10^{17}	2.50×10^{-10}
1.0×10^{17}	2.50×10^{-10}
5.0×10^{16}	3.25×10^{-10}
3.0×10^{16}	3.75×10^{-10}

表 7 不純物密度と電荷収集量の変化

不純物密度のピーク値 [cm^{-3}]	電荷収集量 [fC]
6.0×10^{17}	2.34
1.0×10^{17}	3.93
5.0×10^{16}	4.39
3.0×10^{16}	4.34



(a) 不純物密度の分布 (b) 荷電粒子照射によって発生した電荷

図 12 NMOS トランジスタの断面図

5.1 パラメータの決定

図 12 に NMOS トランジスタの断面図と荷電粒子を照射したときに発生する電荷の分布を示す。pwell の底まで電荷が発生していることが確認できる。3 章で静特性の合わせこみをした際は、トランジスタの上部のパラメータしか考慮していなかったため本章では pwell に着目する。

5.2 パラメータ変更時の静特性とソフトエラー耐性の評価

NMOS において pwell の不純物密度のピーク値を変化させて静特性と CS の変化を確認する。インバータの NMOS (TN1) のみを作成したデバイスモデル、その他のトランジスタを SPICE モデルを用いて図 8(b) に示すラッチ回路

を作成した。ソフトエラー耐性評価のシミュレーションでは α 線を想定した LET 値が $0.8\text{MeV}\cdot\text{cm}^2/\text{mg}$ の荷電粒子を用いる。デバイスモデル上のメッシュは 50nm 四方とする。不純物密度のピーク値を $3.0 \times 10^{16} \sim 6.0 \times 10^{17}\text{cm}^{-3}$ まで変更する。静特性の変化を図 13 に示す。同様にこのときの CS の変化を図 14 と表 6 に示す。不純物密度のピーク値が $3.0 \times 10^{16} \sim 6.0 \times 10^{17}\text{cm}^{-3}$ まで変化したとき、 $V_{gs}=1.2\text{V}$ のときの I_{ds} は 0.40% 減少し、 C_{gg} は 0.026% 減少する。このとき CS は 40% 減少する。pwell の不純物密度のピーク値が大きいほどソフトエラー耐性が向上する。

図 14 中の (1) の位置に荷電粒子を照射したときのドレイン電流の時間変化を図 15 に示す。210ps 以降は不純物密度が低いほど電流量が多くなっている。電流量を時間で積分することでドレインに収集された電荷量を計算したものを表 7 に示す。ソフトエラーが発生している場合はほぼ同じ電荷を収集している。これは、ソフトエラーが発生すると、デバイス内の電界が逆向きになり、それ以上電荷が収集されなくなるためであると考えられる。ソフトエラーが発生していない場合は不純物密度が高くなるほど電荷収集量が少なくなっている。これは、pwell の不純物密度の上昇に伴って、抵抗が上昇して電荷の移動が妨げられたことが原因と考えられる。よって、pwell の不純物密度が上昇すると静特性に影響を与えずにソフトエラー耐性が向上する。

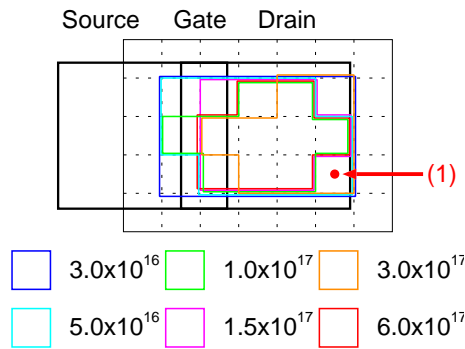


図 14 不純物密度のピーク値を変化させるときの CS の変化

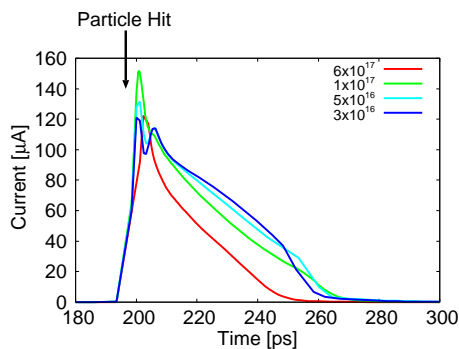


図 15 不純物密度のピーク値を変化させるときの荷電粒子照射によるドレイン電流の時間変化

6. 結論

本稿では、TCAD を用いてソフトエラー耐性を評価するために 6 つのパラメータを調節し、SPICE シミュレーションの結果と比較して C_{gg} - V_{gs} 特性と I_{ds} - V_{gs} 特性の RMSPE が 11% 以下となる 65nm bulk 構造の 3D デバイスモデルを作成した。

作成したデバイスモデルを用いて、ソフトエラー耐性評価シミュレーションを行ったところ、 α 線と重イオンのどちらの実測結果とも同じ傾向のシミュレーション結果が得られた。

荷電粒子の突入によって電荷が pwell の底まで発生していることが確認できた。そこで、pwell のドーピング濃度のピーク値を $3.0 \times 10^{16} \sim 6.0 \times 10^{17} \text{ cm}^{-3}$ まで変更させて静特性とソフトエラー耐性を調べたところ、静特性は 0.4% 以下しか変化せずに CS が 40% 減少した。このことから pwell のドーピング濃度のピーク値が静特性以上にソフトエラー耐性に影響を与えることが確認できた。

謝辞 本研究は、JSPS 科研費 P17K14667、(株) ソシオネクストの助成を受けたものである。また、シミュレーション用の EDA 及びパラメータは、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、ルネサスエレクトロニクス株式会社の提供である。

参考文献

- [1] G. Moore: Cramming more components onto integrated circuits, *Proceedings of the IEEE*, Vol. 86, No. 1, pp. 82–85 (1998).
- [2] 戸坂義春: 知っておきたいソフトエラーの実態, 日経エレクトロニクス, Vol. 2005 年 7 月 24 日号 (2005).
- [3] K. Yamada, H. Maruoka, J. Furuta and K. Kobayashi: Sensitivity to soft errors of NMOS and PMOS transistors evaluated by latches with stacking structures in a 65 nm FDSOI process, *2018 IEEE International Reliability Physics Symposium (IRPS)*, pp. P-SE.3-1–P-SE.3-5 (online), DOI: 10.1109/IRPS.2018.8353691 (2018).
- [4] : ソフト・エラー対策, 待ったなし SRAM や論理回路が狙上に, 日経エレクトロニクス, No. 903, pp. 63–70 (2005).
- [5] S. Wen, R. Wong, M. Romain and N. Tam: Thermal neutron soft error rate for SRAMS in the 90nm-45nm technology range, *Proc. Int. Reliability Phys. Symp.*, pp. 1036–1039 (online), DOI: 10.1109/IRPS.2010.5488681 (2010).
- [6] J. Ziegler: Terrestrial cosmic rays, *IBM Journal of Research and Development*, Vol. 40, No. 1, pp. 19–39 (1996).
- [7] H. Liu, M. Cotter, S. Datta and V. Narayanan: Technology assessment of Si and III-V FinFETs and III-V tunnel FETs from soft error rate perspective, *2012 International Electron Devices Meeting*, pp. 25.5.1–25.5.4 (online), DOI: 10.1109/IEDM.2012.6479103 (2012).
- [8] E. Petersen: *Single event effects in aerospace*, John Wiley & Sons (2011).
- [9] G. Hubert, J. Palau, K. Castellani-Coulie, M. Calvet and S. Fourtine: Detailed analysis of secondary ions' effect for the calculation of neutron-induced SER in SRAMS, *IEEE Transactions on Nuclear Science*, Vol. 48, No. 6, pp. 1953–1959 (online), DOI: 10.1109/23.983156 (2001).