

デバイスシミュレーションを用いた FDSOIプロセスにおけるラッチ構造の違いによる ソフトエラー耐性の基板電圧依存性の評価

小島 健太郎¹ 古田 潤¹ 小林 和淑¹

概要: 集積回路の微細化により製品の高性能化が進む一方で、信頼性の低下が問題となっている。その原因として、放射線起因の一時故障であるソフトエラーの顕在化が挙げられる。65 nm FDSOI プロセスにおいてスタンダードラッチと、高ソフトエラー耐性のスタック構造のラッチにおいて、基板電圧によるソフトエラー耐性の変化をデバイスシミュレーションを用いて評価する。ソフトエラーに対する有感領域 (CS: Cross Section) と、ソフトエラーが発生する放射線エネルギー強度の臨界点を表す臨界 LET の2通りで耐性評価を行う。NMOSにおいて、基板バイアスを正に印加するとソフトエラー耐性は低下し、一方で負に印加すると向上した。異なるラッチ構造においてソフトエラー耐性の基板電圧依存性を比較する。

Soft Error Tolerance of Different Latches in a FDSOI Process Depending on Substrate Bias Evaluated by Device Simulation

KENTARO KOJIMA¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: While the miniaturization of integrated circuits improves products, the reliability decline become a problem. One of the factor is a soft errors, which are temporary failures caused by radiation. We evaluate the soft error tolerance depending on substrate bias with a standard latch and a stacked latch which has high soft error tolerance in a 65 nm FDSOI process, by device simulation. We evaluate soft error tolerance with two ways of threshold LET and Cross Section. Threshold LET means the critical point of radiation energy of soft errors. Cross Section is sensitive area for soft errors. In NMOS, positive substrate bias weaken the soft error tolerance. On the other hand, negative bias improve the soft error tolerance. We compare substrate bias dependence of soft error tolerance in different latch structures.

1. 序論

集積回路は製造プロセスの微細化や高集積化が進むことで小型化、高性能化が進み様々な用途で用いられる。一方、近年微細化に伴う信頼性の低下が問題となっている [1]。信頼性低下の要因の1つとして、放射線起因の一時故障であるソフトエラーの顕在化が挙げられる。ソフトエラーとは、デバイスへ荷電粒子が突入することにより電子正孔対が生成され、メモリの保持値や FF (Flip-Flop) の論理値が反転するエラーのことである。物理的故障であるハードエ

ラーと異なり、一過性のエラーであるため、再起動により回復するが、近年の集積回路の微細化に伴う高集積化や電源電圧の低下により、ソフトエラーの影響が顕在化している。実測におけるソフトエラー耐性の評価にはチップの製作から評価試験まで、多額の費用と時間がかかるため、シミュレーションによる評価が重要視されている。

ソフトエラー対策として、多重化回路である TMR (Triple Modular Redundancy) [2] や DICE (Dual Interlocked Storage Cell) [3] が効果的である。しかし、これらの対策では面積や遅延時間、消費電力が大きくなるため多重化に依らない対策が求められている。回路構造による対策ではなく、デバイスレベルの対策として FDSOI

¹ 京都工芸繊維大学電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

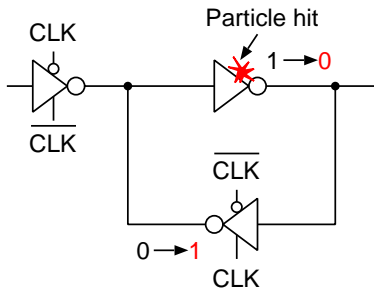


図 1 Single Event Upset

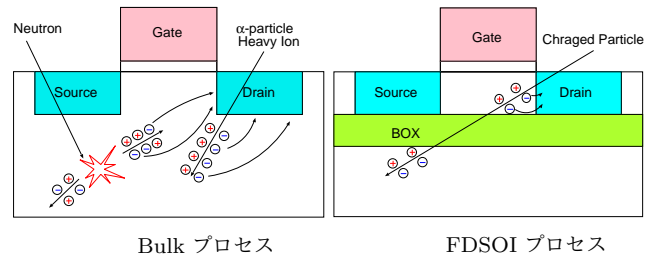


図 2 デバイス構造によるソフトエラー耐性

(Fully-depleted Silicon on Insulator) プロセスが有効である [4][5]. FDSOI 構造においてはソフトエラーの主要因が寄生バイポーラ効果 (PBE : Parasitic Bipolar Effect) [6] であり、基板バイアスを変更することで PBE に影響を与えソフトエラー耐性が変化すると考えられる。

本稿では、65 nm FDSOI プロセスにおいて、デバイスシミュレーションを用いてデバイス構造と基板バイアスを変更することでソフトエラー耐性への影響を評価する。第 2 節ではソフトエラーの発生起因とその対策手法について述べる。第 3 節ではデバイスシミュレーションの方法とソフトエラー耐性の評価方法について述べる。第 4 節では BOX 層の厚さと基板バイアスを変化させソフトエラー耐性のシミュレーション結果を比較する。第 5 節ではラッチ構造によるソフトエラーの発生メカニズムと基板電圧依存性について考察する。第 6 節では本稿の結論を述べる。

2. ソフトエラー

本章では集積回路の一時故障の原因の 1 つであるソフトエラーについて述べる。

2.1 ソフトエラーの発生原因

ソフトエラーとは集積回路に粒子線が突入することにより電子正孔対が生成され、発生した電荷が拡散層に収集されることで回路の保持値が反転する一時故障である。ソフトエラーの原因となる粒子線として、地上では α 線、熱中性子、高エネルギー中性子、宇宙では重イオンが挙げられる。本稿では主に重イオンによるソフトエラーを模擬する。

2.2 SEE (Single Event Effect)

1 つの粒子線の突入により発生する一時的もしくは永久的な故障を総称して SEE (Single Event Effect) と呼ぶ。SEE は粒子線の突入部分によって分類されている。図 1 に示すように、ラッチなどの記憶素子に粒子線が突入することによってデータが反転するものを SEU (Single Event Upset) [7]、データ保持部以外の組み合わせ回路に電荷が生じ、パルスが発生するものを SET (Single Event Transient) と呼ぶ。NMOS では電子起因、PMOS では正孔起因の電流が発生する。電子の移動度は正孔に比べ大きいため、

PMOS に比べ NMOS の方が SEE が発生しやすい [8]。本稿では主に NMOS における SEU について取り扱う。

2.3 FDSOI 構造

SOI プロセスはシリコン基板とトランジスタの間に、絶縁物である埋め込み酸化膜 (BOX : Buried Oxide) 層が挿入されている。SOI プロセスには空乏層が BOX 層まで達しない PDSOI (Partially-Depleted SOI) と空乏層が BOX 層まで達する FDSOI の 2 種類が存在する [9]。本稿では FDSOI プロセスを対象にする。図 2 に示すように、Bulk プロセスにおいて粒子線が突入することで電子正孔対が発生し、ドレインに収集されることでソフトエラーが発生する。一方で SOI プロセスに荷電粒子が突入すると、BOX 層以下の基板で発生した電荷は BOX 層によって遮られるためドレイン領域に収集されない。そのため、Bulk プロセスと比較してソフトエラー耐性に優れている [10]。

2.3.1 FDSOI 構造におけるソフトエラー発生機構

Bulk プロセスにおいて、粒子線の突入により発生した電荷が収集されることでソフトエラーが発生する。FDSOI プロセスにおいて、ソフトエラーの主要因となるのは、寄生バイポーラ効果 (PBE) である。OFF 状態のトランジスタに粒子線が突入することで、発生した電荷のうち電子がドレイン、ソース領域に、正孔がチャネル領域に収集される。収集された正孔によりボディの電位が上昇することで、寄生バイポーラが ON して、出力と GND が導通しソフトエラーが発生する。

2.3.2 スタック構造

図 3 に Stacked Inverter を示す。並列入力の拡散層を共有した縦積トランジスタがスタック構造である。図に示すように、2 つのうち片方の OFF 状態の NMOS トランジスタで寄生バイポーラが ON したとしても、出力と GND は導通しない。スタック構造においてソフトエラーが発生するためには、2 つの NMOS トランジスタが同時に導通する必要があるため、ソフトエラー耐性に優れている。スタック構造は、BOX 層以下の電荷が収集されない FDSOI において有効な構造である。

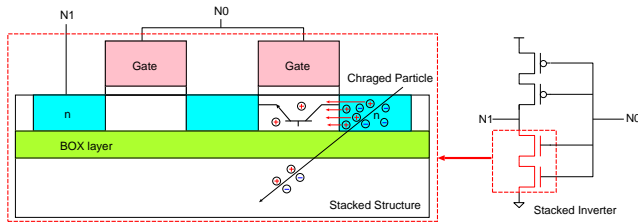


図 3 スタック構造

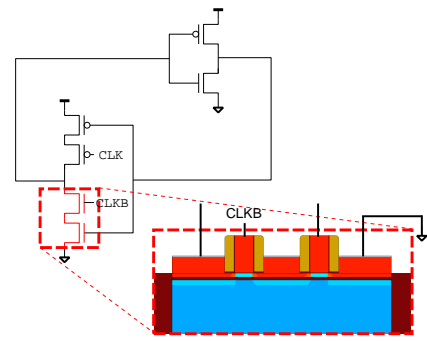


図 4 Standard Clocked Latch

3. シミュレーションによる評価方法

本章では TCAD を用いたデバイスシミュレーションの評価方法を述べる。TCAD ツールを用いてデバイスモデルを作成する。BOX 層の厚さと基板バイアスを変更しつつ、重イオン照射シミュレーションを行い、ソフトエラー耐性の変化を評価する。

3.1 TCAD シミュレーション

TCAD (Technology Computer Aided Design) はプロセスシミュレータやデバイスシミュレータなどの各種シミュレータを統合したツールである。本稿では Synopsys 社の Sentaurus を用いる。TCAD では、デバイスのアナログ動作の他に、デバイス外部の物理現象による影響をシミュレーションすることができる。

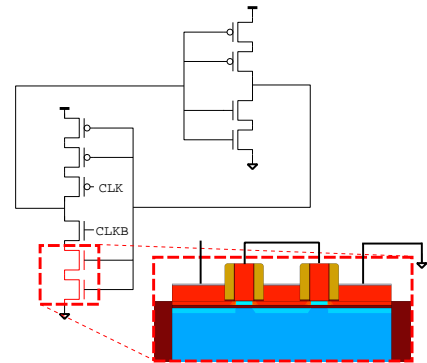


図 5 Standard Clocked Latch

3.2 ソフトエラー耐性の評価方法

拡散層を共有した 2 入力の 3D NMOS 構造を TCAD で作成し、Standard Clocked Latch とスタック構造を用いた Stacked Clocked Latch の 2 種類のラッチを作成する。図 4,5 に示すように、3D 構造自体は全く同じものを用いており、回路構造だけが異なる。3D 構造以外の部分は SPICE モデルを用いて、Mixed Mode シミュレーションを行う。

電源電圧は 0.8 V として、CLKB = '1' で、照射対象の NMOS は OFF 状態である。重イオンは全て垂直照射を行い、ソフトエラー耐性は臨界 LET と Cross Section (CS) の 2 通りで評価する。

3.2.1 臨界 LET

LET (Linear Energy Transfer) とは、粒子線の単位長さあたりのエネルギー付与を表している。LET 値と発生する電荷量は比例するため、LET 値が高いほどソフトエラーは発生しやすくなる。臨界 LET とは、ソフトエラーが発生するしきい値であり、高いほど高ソフトエラー耐性である。各種ラッチの最も脆弱と考えられる部分、Standard Latch においては入力ゲートの中央部分、Stacked Latch においては、2つのゲート中央部分に重イオンを照射する。エネルギー値を 0.1 MeV-cm²/mg ずつ上昇させ、初めてソフトエラーが発生した値を臨界 LET とする。その際の重イオン半径 r_t は式 (1) [11] より求める。

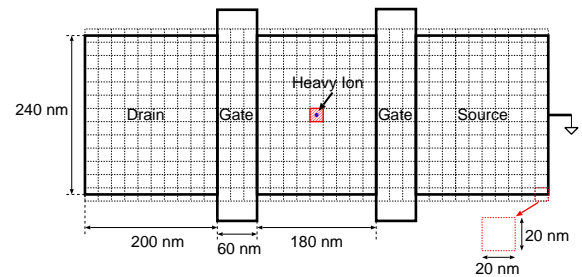


図 6 トランジスタ寸法とグリッド

$$r_t [\text{nm}] = 7.16765 \times \sqrt{LET [\text{MeV-cm}^2/\text{mg}]} \quad (1)$$

3.2.2 Cross Section

Cross Section (CS) とはソフトエラーの有感領域である。CS はある特定の粒子に対して、ソフトエラーに脆弱な面積を表す。本稿では図 6 に示すように、トランジスタを 20 nm 四方のグリッドに区切り、各グリッドの中心に重イオンを照射することで CS の評価を行う。重イオンを照射した際にソフトエラーが発生するグリッドの合計が CS である。CS は小さいほどソフトエラーに強いと考えられる。本稿では LET 値は Ar を模擬し 15.8 MeV-cm²/mg として、 r_t は式 (1) より 28.5 nm とする。

3.3 BOX 層の厚さと基板バイアス

基板バイアスを印加することで拡散層ボディ層の電荷分布が変化し、トランジスタ特性が変化する。寄生バイポーラ効果にも影響を与え、これに伴いソフトエラー耐性が変

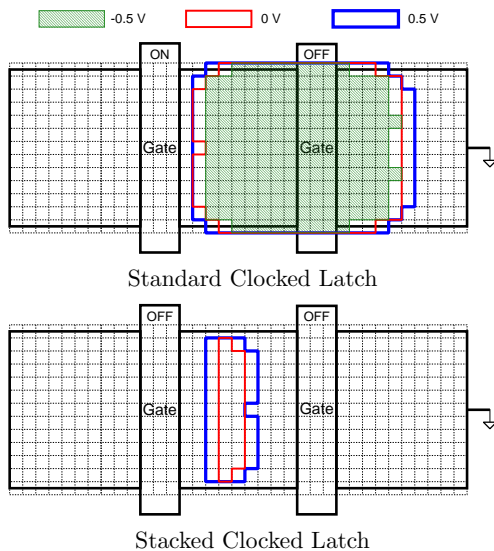


図 7 Cross section at BOX thickness = 10 nm.

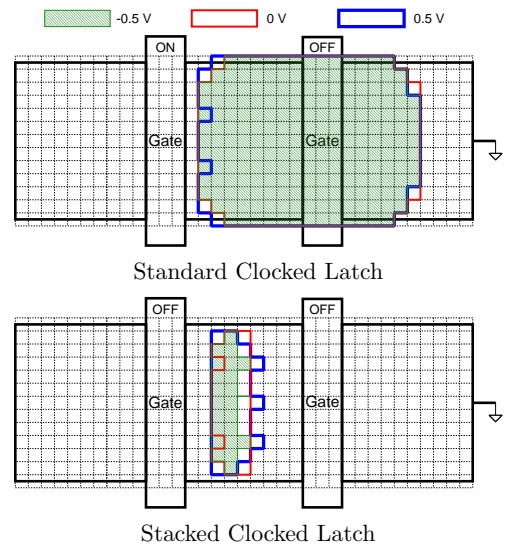


図 8 Cross section at BOX thickness = 100 nm.

化すると考えられる。本稿では、基板バイアスを-0.5, 0, 0.5 V の3条件でソフトエラー耐性を評価する。

一般的なFDSOIトランジスタのBOX層は100 nmである。本稿で用いるTCADモデルはBOX層の厚さ (T_{BOX}) が10 nmのThin BOX FDSOIプロセスのSPICEモデルをもとに作成されている[12]。Thin BOX FDSOIと呼ばれるプロセスは T_{BOX} が10~25 nmである[13]。 T_{BOX} を変更することでトランジスタ特性が変化し、厚くなるほど基板バイアスの影響が小さくなると考えられる。 T_{BOX} = 10, 25, 50, 100 nmの4条件でソフトエラー耐性を評価する。

4. シミュレーション結果

基板バイアスとBOX層の厚さを変更しソフトエラー耐性を評価する。

4.1 シミュレーション結果

基板バイアスを-0.5, 0, 0.5 Vとする3条件でソフトエラー耐性を評価する。このとき、 T_{BOX} = 10, 100 nmのときの臨界LETとCSを表1,2と図7,8に示す。

4.1.1 T_{BOX} = 10 nmのとき

0.5 Vから-0.5 Vとするととき、Standard Latchにおいて臨界LETは2.83倍、CSは0.82倍となる。Stacked Latchにおいて臨界LETは1.33倍、CSは $1.64 \times 10^{-10} \text{ cm}^2$ が 0 cm^2 となる。0 Vを基準に考えると、逆方向バイアスの場合ソフトエラー耐性は向上し、順方向バイアスの場合ソフトエラー耐性は低下する。

4.1.2 T_{BOX} = 100 nmのとき

同様に基板バイアスが-0.5, 0, 0.5 Vの3条件でソフトエラー耐性を評価する。0.5 Vから-0.5 Vの変化するとき、Standard Latchにおいて臨界LETは1.03倍、CSは0.99倍となる。Stacked Latchにおいて臨界LETは1.13倍、

表 1 臨界 LET の変化

基板 バイアス	臨界 LET [MeV-cm ² /mg]			
	$T_{\text{BOX}} = 10 \text{ nm}$		$T_{\text{BOX}} = 100 \text{ nm}$	
	Standard	Stacked	Standard	Stacked
0.5 V	4.0	12.5	2.9	10.4
0 V	6.1	13.2	3.1	11.7
-0.5 V	11.3	16.6	3.0	11.8

表 2 Cross Section の変化

基板 バイアス	Cross Section [cm ² /ion]			
	$T_{\text{BOX}} = 10 \text{ nm}$		$T_{\text{BOX}} = 100 \text{ nm}$	
	Standard	Stacked	Standard	Stacked
0.5 V	8.52×10^{-10}	1.64×10^{-10}	8.36×10^{-10}	1.36×10^{-10}
0 V	7.88×10^{-10}	0.8×10^{-10}	8.36×10^{-10}	1.16×10^{-10}
-0.5 V	6.96×10^{-10}	0	8.28×10^{-10}	0.92×10^{-10}

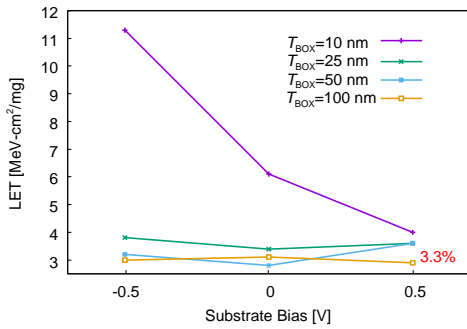
CSは0.68倍となる。 $T_{\text{BOX}} = 10 \text{ nm}$ のときと比較して、基板バイアスがソフトエラー耐性に与える影響は小さくなる。特にStandard Latchにおいてはその傾向が顕著である。

4.1.3 基板バイアス依存性

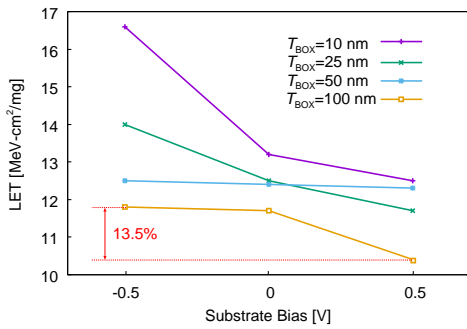
BOX層の厚さを10, 25, 50, 100 nmの4条件、基板バイアスを-0.5, 0, 0.5 Vの3条件でそれぞれ変化させるときの臨界LETを図9に、CSを図10に示す。BOX層が厚くなるほど基板バイアス依存性が小さくなっていることがわかる。 $T_{\text{BOX}} = 100 \text{ nm}$ のときStandard Latchのソフトエラー耐性は3.3%以下の変化であるのに対し、Stacked Latchは13.5%以上変化する。基板電圧依存性とBOX層の厚さの関係はラッチ構造により異なる。

4.2 BOX層がソフトエラー耐性に与える影響

基板バイアスが0 Vのときに注目すると、BOX層が厚くなるにつれて臨界LETが下がり、CSが大きくなることで、ソフトエラー耐性が低下していることが確認できる。BOX層が厚くなることで基板バイアスが寄生バイポーラ

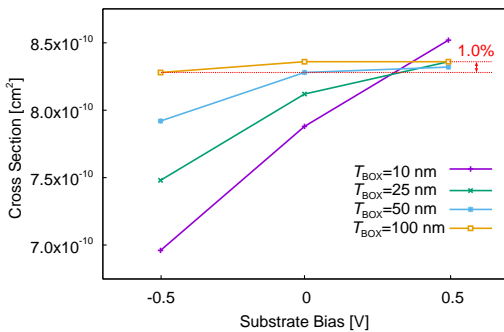


Standard Clocked Latch における臨界 LET

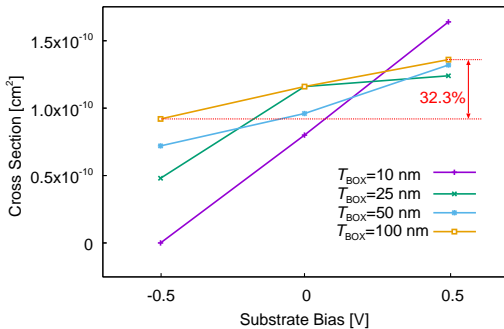


Stacked Clocked Latch における臨界 LET

図 9 臨界 LET の基板バイアス依存性



Standard Clocked Latch における CS



Stacked Clocked Latch における CS

図 10 Cross Section の基板バイアス依存性

効果に与える影響は小さくなり、ソフトエラー耐性が変化することについて本稿では考察する。しかし、BOX 層の厚さがソフトエラー耐性に直接的な影響を与える原因については現在調査中である。

5. 考察

$T_{BOX} = 10 \text{ nm}$ の Standard Latch において、OFF 状

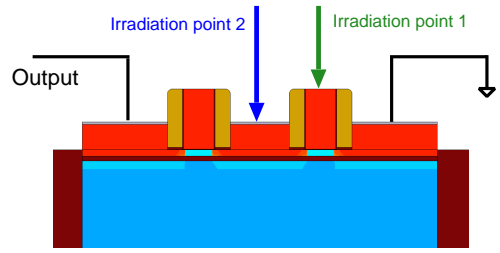
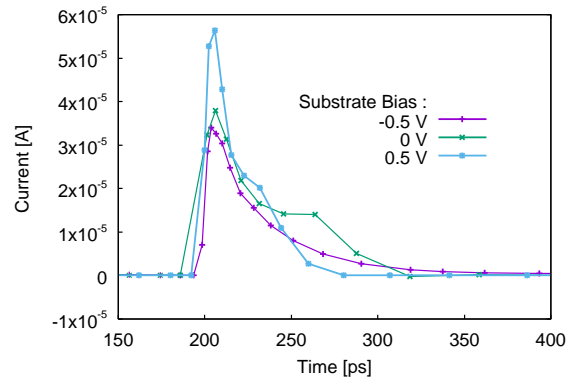
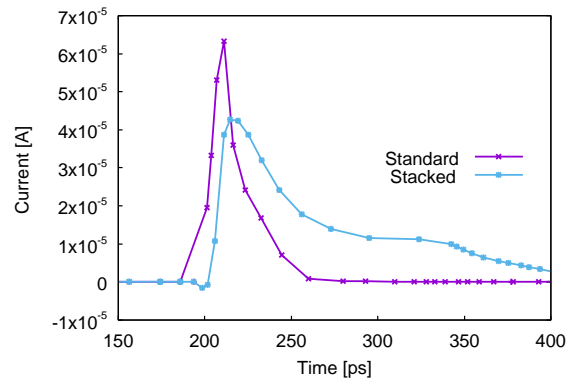


図 11 電流比較するときの重イオン照射点



(a) 基板バイアスによる電流の違い



(b) ラッチ構造による電流の違い

図 12 基板バイアスと BOX 層による電流の変化

態ゲートの中心 (図 11 照射点 1) に $6.0 \text{ MeV-cm}^2/\text{mg}$ の重イオンを照射する。基板バイアスが $-0.5, 0, 0.5 \text{ V}$ のそれぞれのドレイン電流を図 12 (a) に示す。表 1 より、 $6.0 \text{ MeV-cm}^2/\text{mg}$ は基板バイアスが -0.5 V のときは臨界 LET 以下、 0 V のときは臨界 LET 付近である、 0.5 V のときは臨界 LET 以上である。基板バイアスが 0.5 V のとき電流はピークに達したあと、急激に低下している。このような電流の流れ方は、重イオンにより発生した電子が電位の高いドレインに収集されることで発生した電流である。電子の収集が直接的にソフトエラーを発生させている。 $0, -0.5 \text{ V}$ において、電流は 0.5 V のときより低いピークに達した後緩やかに減衰している。寄生バイポーラ効果で導通するとき電子は急激に収集されないため、電流のピーク値は低い。そして、電荷は緩やかに拡散することで流れる電流は緩やかに減衰する Standard Latch においては、片側のゲートが ON しているため、寄生バイポーラ効果だけでは

なく、電荷収集が直接的にソフトエラーを発生させることがある。

$T_{\text{BOX}} = 100 \text{ nm}$ において、CSを求めるときは $15.8 \text{ MeV-cm}^2/\text{mg}$ の重イオンを照射する。CSは、Standard Latchでは1.0%の変化、Stacked Latchでは32.3%変化している。2つのゲートの中心(図11照射点2)に重イオンが照射されたときのドレイン電流を図12(b)に示す。Standard Latchにおいては、高いピーク値と急激な減衰から電荷収集によりソフトエラーが発生している。一方で、Stacked Latchにおいては、低いピーク値と緩やかな減衰により寄生バイポーラがONし、ソフトエラーが発生していることが確認できる。臨界LETより高い粒子線が突入してもStacked Latchにおいては、寄生バイポーラ効果のみでソフトエラーが発生していることがわかる。

ドレインへの電荷収集は基板バイアスの影響を受けないが、BOX層が厚くとも基板バイアスは寄生バイポーラ効果に影響を与える。Standard Latchは電荷収集と寄生バイポーラ効果が原因で、Stacked Latchは寄生バイポーラ効果のみでソフトエラーが発生しているため、BOX層の厚さにより基板バイアス依存性に差が現れたと考えられる。

6. 結論

本稿ではStandard Latchと、Stacked Latchの2種類のラッチを構成し基板バイアスBOX層の厚さを変化させソフトエラー耐性を評価した。いずれの条件においてもStacked LatchはStandard Latchに比べ高ソフトエラー耐性であった。基板バイアスを順方向にかけた場合ソフトエラー耐性は低下し、逆方向の場合は向上した。FDSOIプロセスにおいてBOX層を厚くすることで、基板バイアスの影響は小さくなる。FDSOIプロセスにおいてはソフトエラーの主要因が寄生バイポーラ効果であり、基板バイアスは寄生バイポーラ効果に大きな影響を与える。ドレイン電流を確認することで、Standard Latchは寄生バイポーラ以外にも、電荷収集が原因でソフトエラーが発生することがわかった。BOX層を厚くすることで基板バイアスの影響は小さくなり、寄生バイポーラだけが原因でソフトエラーが発生するStacked Latchにおいては、BOX層が厚くなるほどStandard Latchよりも顕著に基板バイアス依存性が確認できた。

謝辞 本研究は、JSPS 科研費 JP17K14667、(株) ソシオネクストの助成を受けたものである。また、シミュレーション用のEDA及びパラメータは、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、ルネサスエレクトロニクス株式会社の提供である。

参考文献

[1] N. Seifert, P. Slankard, M. Kirsch, B. Narasimham, V. Zia, C. Brookreson, A. Vo, S. Mitra, B. Gill, and

J. Maiz, "Radiation-induced soft error rates of advanced cmos bulk devices," 2006 IEEE International Reliability Physics Symposium Proceedings, pp.217–225, March 2006.

[2] D.G. Mavis and P.H. Eaton, "Soft error rate mitigation techniques for modern microcircuits," IEEE Int. Rel. Physics Symp., pp.216–225, 2002.

[3] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology," IEEE Trans. Nucl. Sci., vol.43, no.6, pp.2874–2878, Dec. 1996.

[4] P. Dodd, M. Shaneyfelt, K. Horn, D. Walsh, G. Hash, T. Hill, B. Draper, J. Schwank, F. Sexton, and P. Winokur, "SEU-sensitive volumes in bulk and SOI SRAMs from first-principles calculations and experiments," IEEE Trans. Nucl. Sci., vol.48, no.6, pp.1893–1903, Dec. 2001.

[5] K. Hirose, H. Saito, Y. Kuroda, S. Ishii, Y. Fukuoka, and D. Takahashi, "Seu resistance in advanced soi-srams fabricated by commercial technology using a rad-hard circuit design," IEEE Transactions on Nuclear Science, vol.49, no.6, pp.2965–2968, Dec 2002.

[6] M. Raine, M. Gaillardin, T. Lagutere, O. Duhamel, and P. Paillet, "Estimation of the single-event upset sensitivity of advanced SOI SRAMs," IEEE Trans. Nucl. Sci., vol.65, no.1, pp.339–345, Jan. 2018.

[7] E. Petersen, Single event effects in aerospace, John Wiley & Sons, 2011.

[8] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Sensitivity to soft errors of nmos and pmos transistors evaluated by latches with stacking structures in a 65 nm fdsoi process," 2018 IEEE International Reliability Physics Symposium (IRPS), pp.P-SE.3-1–P-SE.3-5, March 2018.

[9] N.H. Weste and D. Harris, CMOS VLSI DESIGN A circuits and systems perspective Forth Edition, Addison Wesley, 2011.

[10] P. Roche, J.L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: Soi to the rescue," 2013 IEEE International Electron Devices Meeting, pp.31.1.1–31.1.4, Dec 2013.

[11] K. Warren, L. Massengill, R. Schrimpf, and H. Barnaby, "Analysis of the influence of mos device geometry on predicted seu cross sections," IEEE Transactions on Nuclear Science, vol.46, no.6, pp.1363–1369, Dec 1999.

[12] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Radiation-hardened flip-flops with low-delay overhead using PMOS pass-transistors to suppress SET pulses in a 65 nm FDSOI process," IEEE Trans. Nucl. Sci., early access, 2018.

[13] Y. Morita, R. Tsuchiya, T. Ishigaki, N. Sugii, T. Iwamatsu, T. Ipposhi, H. Oda, Y. Inoue, K. Torii, and S. Kimura, "Smallest vth variability achieved by intrinsic silicon on thin box (sotb) cmos with single metal gate," VLSI Tech. Symp., pp.166–167, June 2008.