

環境変動を打ち消し経年劣化の電圧依存性を観測するリング オシレータの提案

小高 孔頌^{†1,a)} 岸田 亮^{†1} 小林 和淑^{†2} 兵庫 明^{†1}

概要：集積回路内のトランジスタの微細化に伴い、バイアス温度不安定性 (BTI) などの経年劣化による信頼性の問題が現れている。BTI による劣化の評価には数日にわたる長期間を要するため、測定結果は温度またはバイアス変動 (環境変動) の影響を受ける。環境変動を除去するため BTI 発生型および抑制型リングオシレータ (RO) を提案する。BTI 実測結果から環境変動分を除去し、BTI の電圧依存性を評価できることを確認する。また、ストレス期間中に V_{gs} (ゲート・ソース間電圧) を 0V に維持することで、BTI に起因する劣化をさらに減らすための、さらなる BTI 抑制型 RO を提案する。

Ring Oscillator to Cancel Environmental Fluctuation and Measure Voltage Dependency of Aging Gradation

KOSYO KODAKA^{†1,a)} RYO KISHIDA^{†1} KAZUTOSHI KOBAYASHI^{†2} AKIRA HYOGO^{†1}

Abstract: With the miniaturization of transistors in integrated circuits, reliability issues due to aging degradations such as bias temperature instability (BTI) have appeared. To evaluate BTI-induced degradation for a very-long period over days, measurement results suffers from temperature or bias fluctuations. We propose BTI-sensitive and -insensitive ring oscillators (ROs) to remove the fluctuations. Measurement results on voltage dependence of BTI degradations were successfully measured. We also propose a revised BTI-insensitive RO to further reduce BTI-induced degradation by keeping gate-source voltage to 0 V during stress period.

1. 序論

近年、デジタル電子機器の小型化、低消費電力化などの性能向上が求められている。これらの要求を満たすためにデジタル電子機器で使用される電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) などの集積回路素子の微細化が進められている。微細化により、素子の寄生容量および動作電圧が減少し、その結果、スイッチング時間および消費電力が減少している。また、微細化により素子の集積化が可能となり、コストダウンや統合システムの高機能化が実現している。

しかし、MOSFET の微細化に伴って、集積回路の信頼性の問題が顕在化してきている。集積回路の信頼性とは動作の正確さを指す。信頼性の問題が生じる要因の一つとして集積回路で使用する MOSEFT のしきい値電圧の変動が挙げられる。集積回路で使用する MOSEFT のしきい値電圧が変動すると回路動作に大きく影響を及ぼし、最悪の場合回路が動作しなくなっている。MOSEFT のしきい値電圧が変動してしまう原因の一つとして MOSEFT のゲート酸化膜の欠陥が挙げられる。MOSEFT のゲート酸化膜の欠陥に起因する経年劣化には MOSFET に V_{gs} (ゲート・ソース間電圧) をかけ続けた場合のバイアス温度不安定性 (Bias Temperature Instability, BTI) などの経年劣化がある [1]。BTI の電圧依存性を評価するためには長時間 (1000 秒から数万秒) に渡って MOSFET に電圧ストレスを与える必要がある。長時間の測定を行う場合、電源電圧の揺れなどにより測定途中で温度またはバイアス変動 (環境変動) が生じ

^{†1} 東京理科大学 理工学研究科 電気工学専攻
Department of Electrical Engineering, Graduate School of Science and Technology, Tokyo University of Science

^{†2} 京都工芸繊維大学 工芸科学研究科 電子システム工学専攻
Department of Electronics, Graduate School of Science and Technology, Kyoto Institute of Technology

a) kodaka@vlsi.ee.noda.tus.ac.jp

て測定値が影響を受ける問題がある。この問題を解決するために BTI 発生型と抑制型を同時に並列測定し、これらの差分を用いることで BTI による劣化量を評価することができる。本稿では、試作に用いた 65 nm プロセスで環境変動を打ち消し BTI の電圧依存性を評価するためのリングオシレータ (RO) を用いて、MOSFET における BTI の電圧依存性を RO の発振周波数変動量を用いて評価する。また、BTI の電圧依存性を評価するための BTI 発生型/抑制型 RO について検討する。

本稿の構成を述べる。2 節で BTI について述べる。3 節では経年劣化の電圧依存性を調べるために試作した回路とその測定方法を述べる。4 節で測定結果を示す。5 節で経年劣化の電圧依存性を評価するために提案するリングオシレータについて述べ、最後に 6 節で結論を述べる。

2. ゲート酸化膜の欠陥による経年劣化 (BTI)

2.1 BTI の概要

バイアス温度不安定性 (Bias Temperature Instability, BTI) とは経年劣化の一種で MOSFET のゲート・ソース間電圧 (V_{gs}) に電圧をかけた状態 (ストレス状態) で生じる MOSFET のしきい値電圧の劣化現象である [1]。PMOS トランジスタで発生する経年劣化現象 (Negative BTI, NBTI), NMOS トランジスタで発生する経年劣化現象 (Positive BTI, PBTI) がある。図 1 に PMOS における NBTI のモデル図を示す。PMOS の V_{gs} が負の時、PMOS のゲート酸化膜の欠陥が時間に比例して生じる。PMOS のチャネル中の正孔がゲート酸化膜中の欠陥にトラップされる。チャネル中の正孔の量が減ることにより、ドレイン・ソース間電流が減少する。電流量の減少はしきい値電圧の上昇となって表れる。このようにしきい値電圧が変動してしまう現象を BTI と呼ぶ。NMOS では V_{gs} が正のときに生じる。NMOS ではキャリアである電子がゲート酸化膜容量に生じる欠陥にトラップされることで PBTI が生じる。65nm プロセスまでは NBTI が PBTI よりも顕在化していた。しかし、ゲート酸化膜容量の材料として高誘電率ゲート絶縁膜 (High-k) が使われている 40nm 以降のプロセスでは PBTI は NBTI と同等もしくはそれ以上の劣化が生じることが知られている [2]。BTI の影響は MOSFET がストレス状態から解放されると回復することも知られている。したがって、電源を任意に ON/OFF しても問題にならない電子機器においてはあまり問題にならない。しかし、24 時間 365 日間電源を ON にしておかなければならない電子機器においては大きな問題となる。そのため、BTI によるしきい値電圧がどのように変動していくのかをモデル化し、使用年数からしきい値電圧の変動量 (ΔV_{th}) を予測することが必要である。それにより得られたしきい値電圧の変動量 ΔV_{th} だけのマージンを持たせた集積回路の設計を

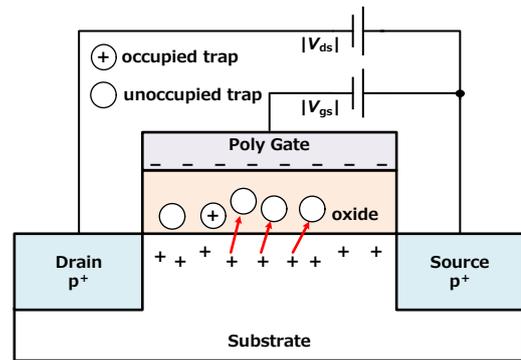


図 1 PMOS における NBTI の発生原理。

することにより電子機器の誤動作を設計段階で防ぐことが可能となる。

3. 測定条件及び方法

はじめに環境変動を打ち消した BTI の電圧依存性について調べるための方法を述べ、次に測定及び評価方法を述べる。

3.1 環境変動除去方法

BTI の評価においてリングオシレータ (RO) の発振周波数を使用して BTI による経年劣化の評価をする。RO における発振周波数が減少することはキャリアの減少を意味するので BTI による劣化をしていることがわかる。BTI の電圧依存性を評価するためには長時間 (1000 秒から数万秒) に渡って MOSFET に電圧ストレスを与える必要がある。長時間の測定における課題の一つとして、環境変動がある。環境変動とは、測定中の周辺温度や測定に使用している定電圧電源の揺れなどが挙げられる。これらの変動に起因する周波数の変動量が測定値に含まれることは好ましくない。そのため、BTI の評価をするうえで環境変動を起因とする RO の発振周波数の変動分を除去し、BTI による変動のみを起因とする RO の発振周波数を測定する必要がある。環境変動を除去する方法の一つとして、BTI 発生型 RO と BTI 抑制型 RO を用いる方法がある [3]。BTI 発生型 RO は BTI の影響を受けやすい構成を用いている。BTI 抑制型 RO は BTI の影響を受けにくい構成を用いている。これら二つの構成を用いた RO を同チップ内に構成し、測定することで、それぞれの測定値に同じ環境変動による周波数変動が含まれる。図 2 に示すように二つの測定値の差分を取ることによって電圧ストレスに起因する周波数変動量を得ることができる。つまり、これにより得られた周波数変動量を評価することで BTI の電圧依存性を評価することが可能となる。

3.2 測定及び評価方法

測定チップ写真を図 3 に示す。チップには NAND, NOR

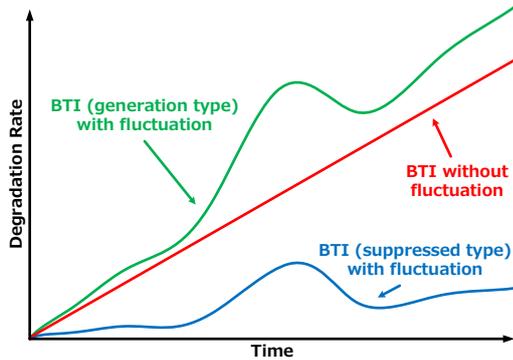


図 2 BTI から環境変動を除去する方法.

によって構成されているリングオシレータ (RO) をそれぞれ BTI 発生型と BTI 抑制型を搭載している. 図 4(a), (b) にそれぞれ PBTI 発生型と PBTI 抑制型の NAND を示す. 図 4(a), (b) に示す EN は発振制御端子である. 図 5(a), (b) にそれぞれ NBTI 発生型と NBTI 抑制型の NOR を示す. 図 5(a), (b) に示す ENB は発振制御端子である.

PBTI 発生型と抑制型について図 4(a), (b) を用いて説明する. PBTI は NMOS のゲート・ソース間に電圧がかかり続けることで発生する. PBTI により NMOS のしきい値電圧が劣化する. このとき, ゲート・ソース間にかかる電圧が大きいほど NMOS のしきい値電圧の変動量は大きくなる. また, ゲート・ソース間に電圧がかかる時間が長くなるほど, しきい値電圧の変動量も大きくなる. 図 4(a) に示す NAND の PBTI が発生する NMOS_{GND} には電源電圧分の電圧がかかっている. 図 4(b) に示す NAND の PBTI が発生する NMOS_{OUT} には最大でしきい値電圧 (V_{th}) 分の電圧がかかっている. V_{th} は VDD に比べて低電圧なので, 図 4(b) に示す NAND で構成される RO は図 4(a) に示す NAND で構成される RO に比べて PBTI が抑制される.

NBTI 発生型と抑制型について図 5(a), (b) を用いて説明する. NBTI は PMOS のゲート・ソース間に電圧がかかり続けることで発生する. NBTI により PMOS のしきい値電圧が変動する. このとき, ゲート・ソース間にかかる電圧が大きいほど PMOS の V_{th} の変動量は大きくなる. また, ゲート・ソース間に電圧がかかる時間が長くなるほど, V_{th} の変動量も大きくなる. 図 5(a) に示す NOR の NBTI が発生する PMOS_{VDD} には電源電圧分の電圧がかかっている. 図 5(b) に示す NOR の NBTI が発生する PMOS_{OUT} には最大で V_{th} 分の電圧がかかっている. V_{th} は VDD に比べて低電圧なので, 図 5(b) に示す NOR で構成される RO は図 5(a) に示す NOR で構成される RO に比べて NBTI が抑制される.

3.3 BTI の測定

測定条件を表 1 に示す. 今回は経年劣化の電圧依存性を評価するためにストレス電圧として 0.5~2.0V を使用する.

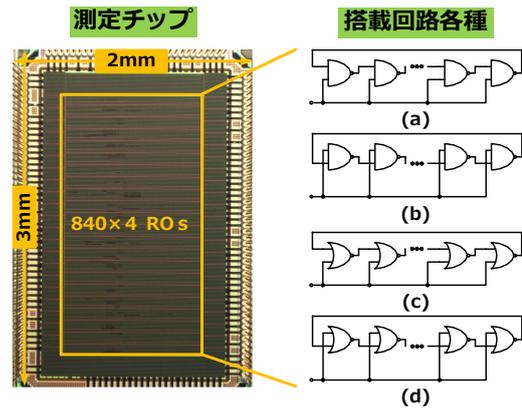


図 3 測定チップ (左) と各測定回路 (右). (a)PBTI 発生型 RO. (b)PBTI 抑制型 RO. (c)NBTI 発生型 RO. (d)NBTI 抑制型 RO.

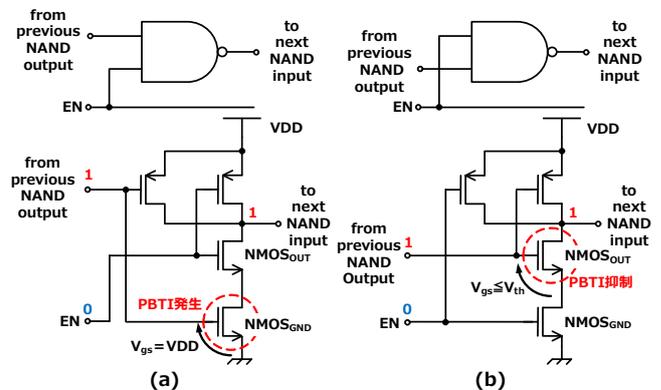


図 4 (a)PBTI 発生型 NAND. (b)PBTI 抑制型 NAND.

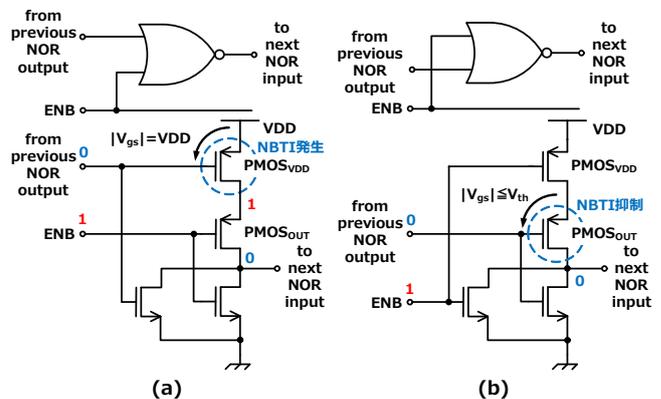


図 5 (a)NBTI 発生型 NAND. (b)NBTI 抑制型 NAND.

また, 発振させるときは電源電圧による発振周波数の差が生じないように発振時の電圧を 1.0V に統一するようにする. 温度は加速劣化試験を行うために 120°C に設定する.

BTI 測定のタイミングチャートを図 6 に示す. 縦軸は各 RO の出力電圧 V_{RO_OUT} であり, 横軸は測定時間である. 各電圧の測定で, 10,000 秒間のストレスをかける. 10,000 秒間のストレス中に計 42 回 RO を発振させる. 42 回の発振の内 1~10 回目は 20 秒, 11~20 回目は 60 秒, 21~30 回目は 200 秒, 31~42 回目は 600 秒である. また一回の

表 1 BTI の測定条件.

発振時の電圧	1.0V
ストレス電圧	0.5~2.0V
温度	120°C

表 2 各ストレス電圧における対数近似の係数 (PBTI)

Stress	A	B
0.5V	1.126	1.113
1.0V	6.038	-4.469
1.5V	14.06	2.867
2.0V	25.39	33.10

表 3 各ストレス電圧における対数近似の係数 (NBTI)

Stress	A	B
0.5V	1.120	-4.727
1.0V	6.667	-19.71
1.5V	17.66	-17.07
2.0V	40.89	-47.98

発振では RO を 840×4 個順次発振させる. 今回の一回当たりの発振回数は 840 個分の発振回数の平均値を用いる.

4. 測定結果

4.1 BTI の測定結果

3 節で述べた回路で発振周波数を測定した結果を示す. 図 7, 8 に NAND 型 RO と NOR 型 RO のストレス電圧 1.5V における BTI による発振周波数の変動量を示す. 横軸はストレス時間, 縦軸は発振周波数の変動量である. 図 7, 8 における発振周波数変動量は $t = 0$ 秒における発振周波数を基準としたときの各時刻における発振周波数の変動量を導出している.

図 9, 10 に NAND 型 RO と NOR 型 RO における BTI による発振周波数の変動量を示す. 横軸はストレス時間, 縦軸は発振周波数の変動量である. NAND 型 RO, NOR 型 RO ともに電圧ストレスを 0.5V~2.0V まで 0.5V ずつストレス電圧を変化させている. 図 9, 10 における発振周波数変動量は $t = 0$ 秒における発振周波数を基準としたときの各時刻における発振周波数の変動量を導出している. また, 各電圧における発振波数の変動量に対して式 (1) を用いて対数近似する. A, B はフィッティングパラメータである. 表 2 に図 9 より得られる各電圧における PBTI のフィッティングパラメータ A, B の値を示す. 表 3 に図 10 より得られる各電圧における NBTI のフィッティングパラメータ A, B の値を示す.

$$\Delta f(t) = A \log(t) + B \quad (1)$$

ストレス電圧が大きいほど PMOS, NMOS に発生する BTI による経年劣化が大きくなる. 表 2 よりストレス電圧 0.5V に対してストレス電圧 2.0V における単位時間当たり

の PBTI による劣化量は約 25 倍になる. 表 3 よりストレス電圧 0.5V に対してストレス電圧 2.0V における単位時間当たりの NBTI による劣化量は約 40 倍になる. したがって, NBTI の方が PBTI より電圧依存性が高い. また, BTI 発生型 RO と BTI 抑制型 RO の差分を用いることで各電圧ストレスにおいて環境変動分が除去できている.

5. BTI の電圧依存性評価用基準回路の提案

4 節で, BTI 発生型と BTI 抑制型を用いた差分評価による環境変動除去に関する有効性が実測結果から示された. 本節ではさらなる BTI 抑制型回路について検討する. はじめに, さらなる BTI の抑制手法について示し, 次に抑制手法に基づく回路で回路シミュレーションを用いて検討する.

5.1 さらなる BTI 抑制手法

図 11 はさらなる PBTI を抑制するための回路であり, 図 12 はさらなる NBTI を抑制するための回路である.

図 11 について説明する. これまでの PBTI 抑制型 NAND との変更点はプルアップトランジスタ PMOS_{PULL} を NMOS_{OUT} のソースと VDD の間に設けた点である. プルアップトランジスタ PMOS_{PULL} のゲート端子は EN に接続する. これにより, EN = 0 のとき, NMOS_{OUT} の V_{gs} は 0V となるので PBTI による経年劣化を抑制できる.

図 12 の NBTI 抑制型 NOR も同様にプルダウントランジスタ NMOS_{PULL} を PMOS_{OUT} のソースと GND の間に設ける. プルダウントランジスタ NMOS_{PULL} のゲート端子は ENB に接続する. これにより, ENB = 1 のとき, PMOS_{OUT} の V_{gs} は 0V となるので NBTI による経年劣化を抑制できる.

5.2 回路シミュレーション結果

検討回路を用いた RO が実際に機能するかを確認するために回路シミュレーションを行う. 電源電圧は 0.75V, 温度は 80°C に設定する. NAND 型 RO では EN 端子を 20 μ s で立ち下げる (1 \rightarrow 0), 60 μ s で立ち上げる (0 \rightarrow 1) になるように制御している. NOR 型 RO では ENB 端子を 20 μ s で立ち上げる (0 \rightarrow 1), 60 μ s で立ち下げる (1 \rightarrow 0) になるように制御している.

はじめに, さらなる PBTI 抑制のための NAND 型 RO の結果を示す. 比較対象は PBTI 抑制型 NAND で構成された RO である. 図 13 は NMOS_{OUT} のゲート・ソース間電圧 V_{gs} を過渡解析した結果である. 検討回路では, 発振をしていないときの NMOS_{OUT} の V_{gs} が 0V になっていることが確認出来る. 一方で, 比較対象の PBTI 抑制型 NAND では NMOS_{OUT} の $|V_{gs}|$ が 0.2~0.4V 生じることが確認出来る. したがって, プルアップトランジスタを用い

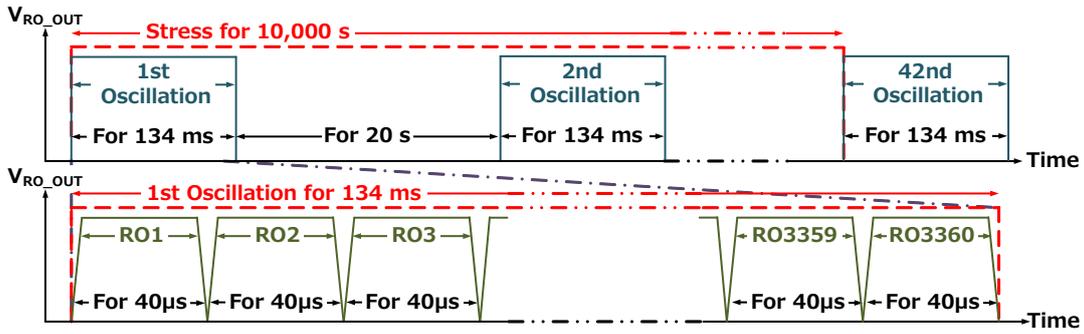


図 6 BTI 測定におけるタイミングチャート.

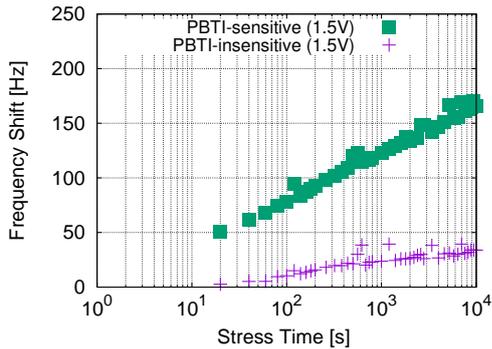


図 7 ストレス電圧 1.5V における PBTI による発振周波数の変動量. $t = 0$ 秒における発振周波数を基準発振周波数としている.

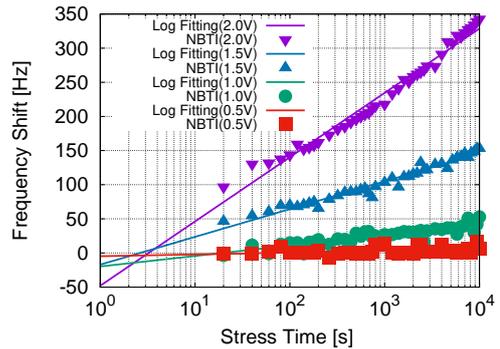


図 10 各電圧ストレスによる NBTI の測定結果.

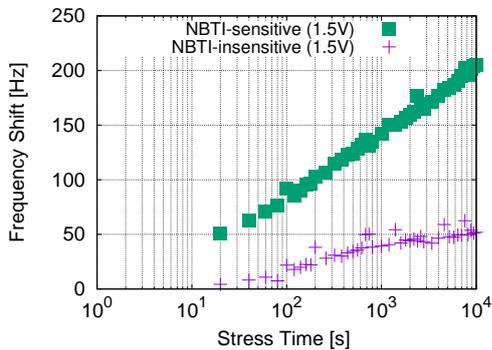


図 8 ストレス電圧 1.5V における NBTI による発振周波数の変動量. $t = 0$ 秒における発振周波数を基準発振周波数としている.

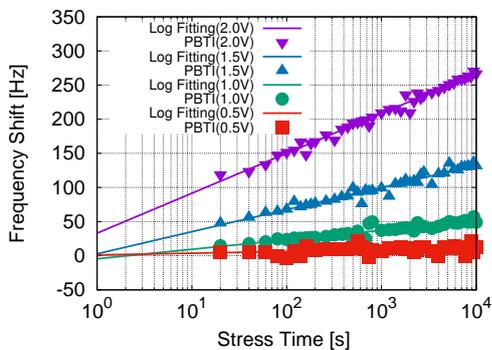


図 9 各電圧ストレスによる PBTI の測定結果.

ることが $NMOS_{OUT}$ の V_{gs} を低減することに有効であると言える. また, プルアップトランジスタを用いることに

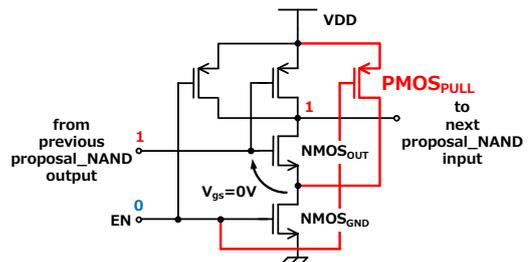


図 11 さらに PBTI 抑制のための NAND 型 RO

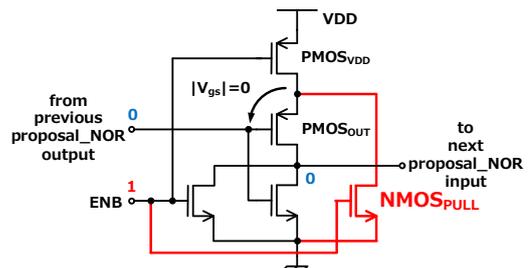


図 12 さらに NBTI 抑制のための NOR 型 RO

よる RO の動作への影響がないことも図 14 から確認できる. 比較対象共に約 463MHz であり, プルアップトランジスタを追加することによるリングオシレータとしての動作への影響はない. 同様にさらに NBTI 抑制のための NOR 型 RO についても図 15, 図 16 からプルダウントランジスタを用いることが BTI ストレス時に $PMOS_{OUT}$ の $|V_{gs}|$ を低減することに有効であると言える. 比較対象共に約 422MHz であり, プルダウントランジスタを追加するこ

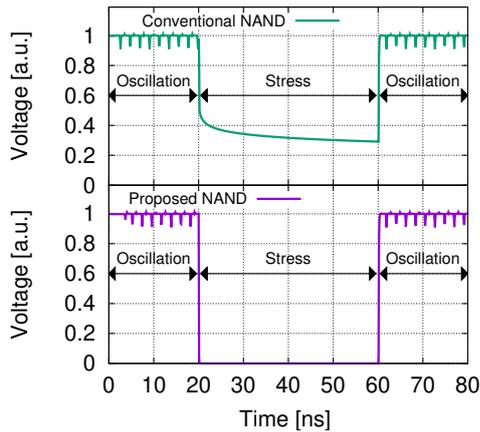


図 13 従来の抑制型 NAND(上) とさらなる抑制型 NAND(下) による $NMOS_{OUT}$ のゲート・ソース間電圧 V_{gs}

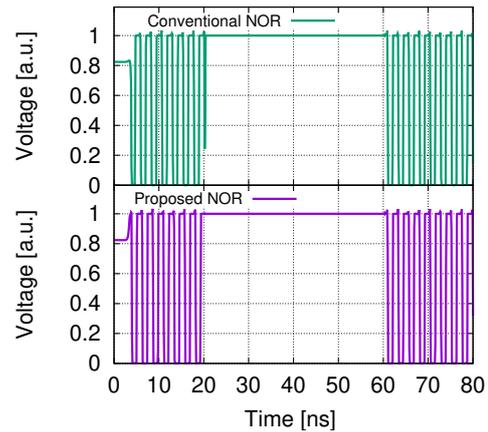


図 16 従来の抑制型 NOR(上) とさらなる抑制型 NOR(下) による RO の出力電圧シミュレーション結果

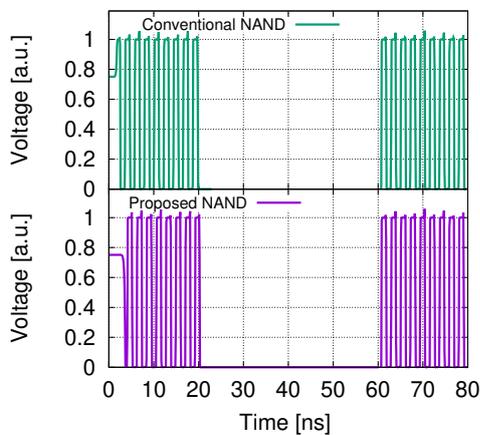


図 14 従来の抑制型 NAND(上) とさらなる抑制型 NAND(下) による RO の出力電圧シミュレーション結果

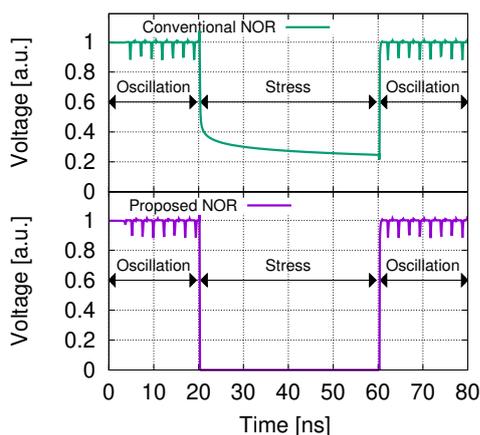


図 15 従来の抑制型 NOR(上) とさらなる抑制型 NOR(下) による $PMOS_{OUT}$ のゲート・ソース間電圧 $|V_{gs}|$

とによるリングオシレータとしての動作への影響はない。

6. 結論

環境変動を取り除くために BTI 発生型 RO と BTI 抑制型 RO の差分を用いることで BTI による経年劣化の評価

を行った。BTI 抑制型では V_{gs} (ゲート・ソース間電圧) を低減することで劣化を抑制した。環境変動を打ち消し経年劣化の電圧依存性を評価するためのリングオシレータを用いた実測評価を行い環境変動分を除去し、経年劣化の電圧依存性を評価できることを確認した。また、経年劣化の電圧依存性を観測するための BTI 発生型/抑制型リングオシレータについて検討した。プルアップまたはプルダウントランジスタを追加することで、 V_{gs} を低減した。回路シミュレーションの結果より、BTI 抑制型リングオシレータの動作に影響することなく、MOSFET に生じるしきい値電圧分の V_{gs} を 0V にすることが出来た。今後、今回検討した回路を試作し、実測評価する予定である。

謝辞 本試作チップの測定に携わってくださった京都工芸繊維大学電子回路工学研究室に深く感謝いたします。本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンターグラフィックス株式会社の協力で行われたものである。

参考文献

- [1] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, L. Camus, "NBTI degradation: From transistor to SRAM arrays," 2008 IEEE International Reliability Physics Symposium, Phoenix, AZ, pp. 289-300, 2008.
- [2] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, M. Chudzik, "A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO_2/HfO_2 Stacks with FUSI, TiN, Re Gates," 2006 Symposium on VLSI Technology, 2006. Digest of Technical Papers., Honolulu, HI, pp. 23-25, 2006.
- [3] R. Kishida, T. Asuke, J. Furuta and K. Kobayashi, "Extracting BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive ring Oscillators," 2019 IEEE 32nd International Conference on Microelectronic Test Structures (ICMTS), Kitakyushu City, Fukuoka, Japan, pp. 24-27, 2019.