

PMOS パストランジスタを用いた非多重化耐ソフトエラー FF の提案及び評価

山田 晃大¹ 丸岡 晴喜¹ 古田 潤¹ 小林 和淑¹

概要: 集積回路素子の微細化に伴いソフトエラーによる集積回路の信頼性低下が問題となっている。本研究では、65 nm FDSOI (Fully Depleted Silicon on Insulator) プロセスにおける PMOS パストランジスタを用いた非多重化耐ソフトエラー FF (Flip-Flop) を 2 種類提案する。TCAD シミュレーションを用いて、提案 FF の臨界 LET (Linear Energy Transfer) が 20 MeV-cm²/mg 以上であることを確認し、提案 FF を搭載したチップを試作した。提案 FF は既存の非多重化耐ソフトエラー FF である Stacked FF に比べて遅延時間が約 20%、消費電力が約 50% 削減できた。電源電圧 0.8 V において、中性子線起因のソフトエラー率を 2 種類の提案した FF はどちらも Stacked FF と比べて 1/7 以下に低減できることが判明した。この結果から、地上で利用する高信頼性 FF では NMOS トランジスタで起きるソフトエラー対策を施すことで高いソフトエラー耐性を得ることを明らかにした。

Non-Redundant Radiation-Hardened Flip Flops Using PMOS Pass-Transistors in a 65 nm FDSOI Process

KODAI YAMADA¹ HARUKI MARUOKA¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: According to the Moore's law, LSIs are miniaturized and the reliability of LSIs is degraded. In this paper, we propose two radiation-hardened Flip-Flops (FFs) with small dynamic power and short delay overheads in a 65 nm Fully Depleted Silicon on Insulator (FDSOI) process using PMOS pass-transistors. We evaluated the radiation hardness of the proposed FFs by TCAD simulations and confirmed their threshold LET values are higher than 20 MeV-cm²/mg. The Proposed FFs have about 20% shorter delay and about 50% smaller dynamic power overheads than the conventional Stacked FF. We measured their soft-error reliance by neutron irradiation. Experimental results show that Soft Error Rate (SER) of the Proposed FFs are less than 1/7 smaller than the Stacked FF at VDD=0.8 V. In addition, it is clear that semiconductor chips in the terrestrial region can obtain high reliability using only radiation-hardened techniques to suppress soft errors from NMOS transistors.

1. 序論

集積回路 (LSI) の微細化・高集積化によって、トランジスタ数はムーアの法則に従って増加している [1]。一方で、微細化に伴い LSI の信頼性低下が問題となっている。信頼性低下の要因の 1 つとして、放射線起因のソフトエラーが挙げられる。ソフトエラーとは、LSI に粒子線が通過、または衝突することにより電子正孔対が生成され、一時的にメモリの保持値や FF (Flip-Flop) の論理値が反転する現

象である [2]。ソフトエラーは一過性のエラーであり、再起動やデータの書き換えを行うことにより元の値へと戻ることができる。しかし、近年の集積回路の微細化に伴う高集積化や電源電圧の低下によって、ソフトエラーの影響が顕在化している。自動車用安全規格 ISO26262 によると自動運転技術に求められる故障率は 10 FIT 以下である。1 FIT とは 1 チップが平均 10⁹ 時間に 1 回の確率で不良が発生することを示し、10 FIT とは約 1 万年間に 1 回の確率でエラーが発生することを意味する。10 FIT 以下という高い信頼性を満たすためには地上においてもソフトエラー対策は必須である。ソフトエラーの主な対策には、多重化回路

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

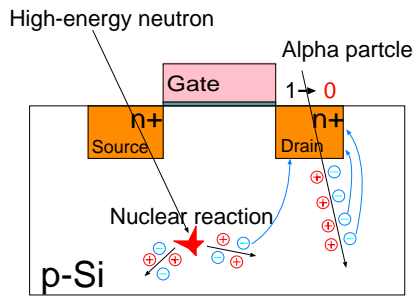


図 1 ソフトエラーの発生機構.

が用いられる。しかし、面積や遅延時間、消費電力が大きくなるため多重化に寄らない対策が求められている。

本稿では 65 nm FDSOI (Fully Depleted Silicon on Insulator) プロセスにおいて、PMOS パストラジスタを用いた非多重化 FF を提案し、デバイスシミュレーションと実測によりソフトエラー耐性を評価した。第 2 節ではソフトエラーの発生起因とその対策技術について述べる。第 3 節では提案する PMOS パストラジスタを用いた非多重化 FF の回路構造について述べる。第 4 節では TCAD シミュレーションを用いて提案 FF のソフトエラー耐性評価し、SPICE シミュレーションを用いて回路性能を評価する。第 5 節では中性子線起因のソフトエラーについて、実測方法と結果を述べる。第 6 節では本稿の結論を述べる。

2. ソフトエラーについて

本章では LSI の一時的な誤動作の要因の 1 つであるソフトエラーについて説明する。

2.1 ソフトエラーの発生要因

荷電粒子が LSI 内を通過することによって電子正孔対が生じる。発生したキャリアが拡散層に収集され、ソフトエラーが引き起こされる。ソフトエラーの発生機構を図 1 に示す。地上でソフトエラーを引き起こす要因となる主な粒子は、 α 粒子、高エネルギー中性子の 2 種類である。

2.2 SEU (Single Event Upset)

ソフトエラーがラッチなどのデータ保持部で生じるものを SEU (Single Event Upset) と呼ぶ。粒子線がトランジスタに突入することで SET (Single Event Transient) パルスと呼ばれる一過性の電圧パルスが発生する。SET パルスが SRAM やラッチの内部で発生した場合は保持値を直接反転させる。本稿では、FF の SEU 耐性を評価する。

ラッチを構成する一方のインバータの拡散層付近に粒子線が突入すると、一時的に出力が反転する。この反転が元に戻るまでに、もう一方のインバータの出力が反転すると保持値が反転してしまう。一定以上の電荷がトランジスタの拡散層に収集されると出力が反転する。NMOS トランジスタでは電子起因、PMOS トランジスタでは正孔起因である。電子の移動度は正孔に比べ大きいので、NMOS トランジスタに比べて PMOS トランジスタでソフトエラーが生じにくい [3]。

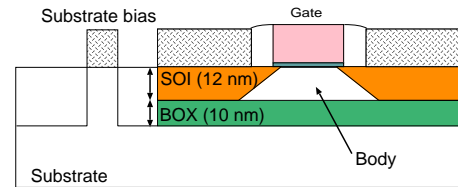


図 2 SOTB (Silicon On Thin Box) の断面図.

2.3 ソフトエラーの対策

ソフトエラー対策として、一般的に回路レベルとデバイスレベルでの対策がある。

2.3.1 回路レベルのソフトエラー対策

回路レベルのソフトエラー対策として多重化回路が提案されている。多重化回路である TMRFF (Triple Modular Redundancy FF) は、FF を 3 重にして出力に多数決回路を挿入することで出力の多数決をとる [4]。1 つのラッチで SEU が発生したとしても、残り 2 つの出力が反転していなければ多数決回路により正常な値が出力される。しかし、FF の 3 重化や多数決回路の挿入により、通常 FF に比べ面積や消費電力が約 3 倍、遅延時間が 1.5 倍以上となる。そのため、多重化によらないソフトエラー対策が必要である。

2.3.2 デバイスレベルでの対策

デバイスレベルでの対策として SOI (Silicon On Insulator) 構造が用いられる [5]。シリコン基板とトランジスタの間に、絶縁層として BOX (Buried Oxide) 層が挿入されている。SOI の利点としては、BOX 層を挿入することにより、トランジスタの寄生容量を小さくすることができ、高速動作、低電圧での動作が可能である。さらに BOX 層以下の基板で発生したキャリアは BOX 層によって遮られ、拡散層では収集されないためバルク構造と比較してソフトエラーに強い [6]。

SOI の中でも BOX 層が非常に薄い SOTB (Silicon On Thin BOX) がルネサスエレクトロニクスにより研究開発されている。図 2 に SOTB の断面図を示す。SOTB は、トランジスタのチャネルが完全に空乏化して BOX 層まで達する構造の FDSOI の一種である。SOTB はシリコン基板の上に 10nm の極薄の絶縁膜と 12nm のシリコン薄膜 (SOI 層) が SOI 基板上に形成されたトランジスタである [7]。

3. 提案する非多重化耐ソフトエラー FF

本節では低消費電力動作が可能な ACFF (Adaptive Coupling FF) を基に提案する非多重化耐ソフトエラー FF の回路構造を説明する。最初に従来提案されている非多重化耐ソフトエラー FF の Stacked FF について述べる。次に今回提案する FF の基となっている ACFF について述べ、最後に提案 FF について述べる。

3.1 Stacked FF

図 3 に Stacked FF の回路図を示す [8]。一般的な D 型 FF である TGFF (Transmission Gate FF) のラッチ内の

インバータをスタックドインバータに置き換えた FF を Stacked FF と呼ぶ。スタックドインバータはトランジスタを縦積みにした構造で、縦積みにしたトランジスタが同時に ON しない限り出力が反転しない。SOI を用いることで拡散層を基板と分離でき、複数 bit 反転する MCU (Multiple Cell Upset) が起きにくくスタックドインバータでのソフトエラーを抑制できる。このため、スタックドインバータは SOI に適した対策である。Stacked FF ではスタックドインバータで発生するソフトエラーは抑制できるが、それ以外で発生するソフトエラーは抑制できない。多重化に比べてオーバーヘッドは削減できるが、TGFF と比べるとトランジスタ数が増えて面積や遅延時間が増加する。

3.2 ACFF (Adaptive Coupling FF)

図 4 に ACFF の回路図を示す [9]。トランスミッションゲートやトライステートインバータの代わりにパストラジスタを使用しているため、単一のクロック信号で動作する。これにより、消費電力の大部分を占めるローカルクロックバッファが不要となり低消費電力で動作が可能となる。マスターラッチ (ML) の保持値を書き換えやすくするために AC 素子が ML に追加されている。AC 素子とは PMOS トランジスタと NMOS トランジスタを並列に接続した素子である。ACFF は AC 素子により、ML で高いソフトエラー耐性を示す [10]。インバータの NMOS トランジスタに荷電粒子が通過することによって発生する [1, 0, 1] の SET パルスは AC 素子内の PMOS パストラジスタを通過することによって [1, V_{tp} , 1] の SET パルスへと抑制され保持値が反転しにくくなる。一方で、PMOS トランジスタを荷電粒子が通過した場合は AC 素子内の NMOS パストラジスタによって SET パルスの振幅が抑制される。しかし、AC 素子はスタックドインバータと同様に遅延時間が増加する。ACFF のスレーブラッチ (SL) は通常インバータで構成されておりソフトエラー対策が施されておらず、ソフトエラーに脆弱である。

3.3 提案した非多重化耐ソフトエラー FF

ACFF を基に遅延時間のオーバーヘッドを抑えた低消費電力動作が可能で非多重化耐ソフトエラー FF を 2 種類提案する。図 5 に PBLDPFF (Pulse Blocking Low Dynamic Power FF) の回路図を示す。第 2 節で述べたように、NMOS トランジスタに比べて PMOS トランジスタでソフトエラーが生じにくいことから、PMOS パストラジスタのみでソフトエラー率が低減可能であると考えられる。PBLDPFF の ML には、AC 素子の代わりに常に ON 状態である PMOS パストラジスタを用いる。これにより、AC 素子より高速に動作し NMOS トランジスタで発生する SET パルスを抑制する。PBLDPFF の SL はスタックドインバータで構成し、ソフトエラー対策を施している。ML から出力まで、SL 内のインバータを介さずに接続されているためス

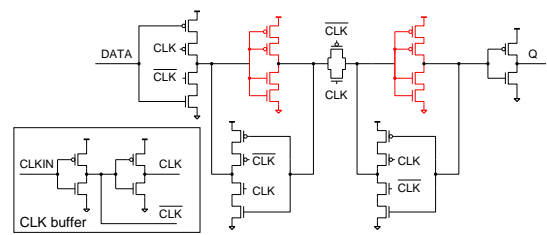


図 3 Stacked FF.

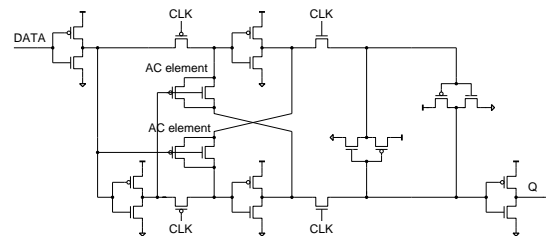


図 4 ACFF (Adaptive Coupling FF).

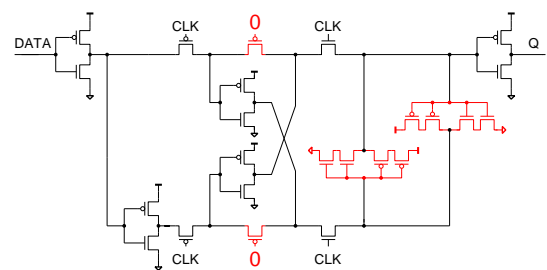


図 5 PBLDPFF (Pulse Blocking Low Dynamic Power FF).

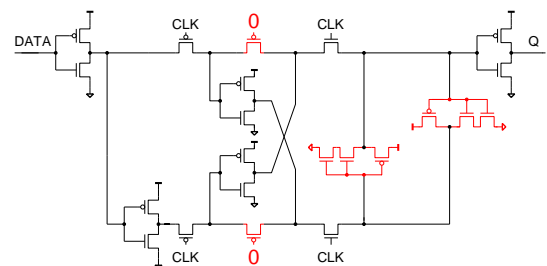


図 6 Pulse Blocking Low Dynamic Power FF with Stacked NMOS (PBLDPFF_SN).

タックドインバータによる遅延時間の影響は小さい。図 6 に PBLDPFF_SN (PBLDPFF with Stacked NMOS) の回路図を示す。PBLDPFF_SN は、同様に PMOS トランジスタでソフトエラーが生じにくいことから ML を PBLDPFF と同じ構造にし、SL は NMOS トランジスタのみスタックしたインバータを用いている。PBLDPFF よりトランジスタ数が削減され面積を小さくする。PBLDPFF_SN は、NMOS トランジスタで起きるソフトエラー対策のみ施した構造となる。

4. シミュレーションによる提案 FF の性能評価

本節では、提案 FF の ML のソフトエラー耐性をデバイスシミュレーションを用いて評価する。耐性を確認後、試作したレイアウトから面積を比較する。遅延時間、消費電力は RC 抽出によって得られたネットリストを用いて回路シミュレーションで評価する。

4.1 TCAD による SEU 耐性の評価

ソフトエラー耐性の評価方法には実測とシミュレーションがある。実測では特定の施設で限られた時間内にしか測定することができない上、対象回路を設計し製造する必要があるため多大な時間を要する。シミュレーションでは回路を製造する必要がないために低コスト、短時間で評価が行え、回路構造の変更が容易である。デバイスシミュレーションではトランジスタを構築して任意の LET (Linear Energy Transfer) 値をもつ荷電粒子を任意の場所の照射することができる。チップの設計前に提案 FF のソフトエラー耐性を見積ることができる。今回のソフトエラー耐性の評価では、トランジスタのゲート中心に荷電粒子を垂直照射して SEU の内の 1bit 反転のエラーである SBU (Single Bit Upset) を評価する。評価法としては、LET 値を 0 から 60 MeV-cm²/mg まで変化させて保持値が反転する (臨界)LET を求める。荷電粒子の照射によって発生する電荷は、標準偏差が荷電粒子の軌跡を中心に半径 30 nm 以内に存在するようにガウス分布で生成される [11]。ここでは、Synopsys 社の Sentaurus という TCAD ツールを用いた。

4.1.1 ソフトエラー耐性の評価法

CLK=1 で提案 FF は ML と SL の両方で同じ値を保持する。SL で保持値が反転しても ML を構成するインバータの駆動力が大きいことから仮に保持値が反転しても元の値に書き換えられる。そのため、ML に粒子が衝突した場合において、ソフトエラー耐性を評価する。図 7 (a) に評価回路を示し、TCAD 上で構築した 3D モデルの断面図を図 7 (b) に示す。図 7 (a) の ML では、インバータの NMOS、PMOS トランジスタだけでなく PMOS パストランジスタでも SET パルスが発生する可能性があるため、それぞれに荷電粒子を照射して臨界 LET を求める。評価時間短縮のため SL は 3D 構造ではなく SPICE モデルを用いている。

4.1.2 ソフトエラー耐性の評価結果

(1) NMOS トランジスタに照射

ノード N3 を 0 に設定して、ラッチの片方のインバータの NMOS トランジスタに LET 値が 60 MeV-cm²/mg の荷電粒子を照射したときの、ノード N1 と N2 の電圧時間変化を比較する。ノード N1 とノード N2 の電圧時間変化を図 8 (a) に示す [12]。通常のラッチの NMOS トランジスタに照射したときの臨界 LET の 10 倍以上の LET 値である 60 MeV-cm²/mg の荷電粒子を照射しても保持値の反転は見られなかった。ノード N1 と N2 を比べると SET パルスの振幅は 55%となる。NMOS トランジスタで発生する SET パルスが PMOS パストランジスタを通過することにより振幅を小さくし保持値が反転しないことを明らかにした。

(2) PMOS トランジスタに照射

ノード N0 を 1 に設定して、ラッチの片方のインバータの PMOS トランジスタに荷電粒子を照射したときの、臨界 LET を求める。臨界 LET は 26.2 MeV-cm²/mg であり、

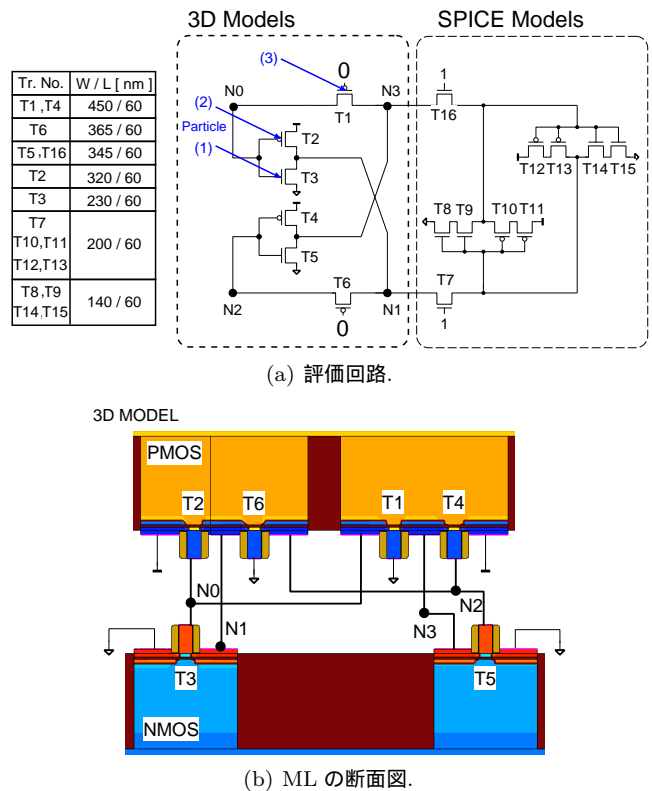


図 7 (a) CLK=1 での提案 FF のソフトエラー耐性評価回路。各 FF のトランジスタサイズを横の表にまとめている。電源電圧 0.8 V において、図内の矢印の示す位置に順に荷電粒子を照射して臨界 LET をそれぞれ求める。(b) TCAD 上で構築した提案 FF の ML の断面図。

通常のラッチの PMOS トランジスタに照射したときの臨界 LET の約 3 倍となる。PMOS で発生する 0 から 1 に変わる SET パルスが PMOS パストランジスタを通過する際に、PMOS パストランジスタが抵抗として働く。この抵抗成分によりソフトエラー耐性が向上する。加えて、SL で元の値を保持しているため反転しにくく耐性が向上している。

(3) PMOS パストランジスタに照射

ノード N3 を 0 に設定して、ラッチの片方の PMOS パストランジスタに LET 値が 60 MeV-cm²/mg の荷電粒子を照射する。しかし、SOI 構造のため電荷収集量が少なく保持値の反転は見られなかった。

通常のラッチでは NMOS トランジスタがソフトエラーに脆弱であるが、PMOS パストランジスタを追加したラッチでは PMOS トランジスタのほうが脆弱となる。高エネルギー中性子が基板の Si などの原子核に衝突し核反応が起き生成される α 線や Al イオンなどの重イオンがもつ LET 値は 20 MeV-cm²/mg 以下であり、このラッチの臨界 LET がそれ以上である [13]。

4.2 SPICE による回路性能評価

遅延時間、消費電力は試作したレイアウトから配線抵抗や容量などを加味したネットリストを用いて SPICE シミュレーションで求めた。遅延時間および消費電力において、電源電圧は 1.2 V で評価した。各 FF の遅延時間は入力信号

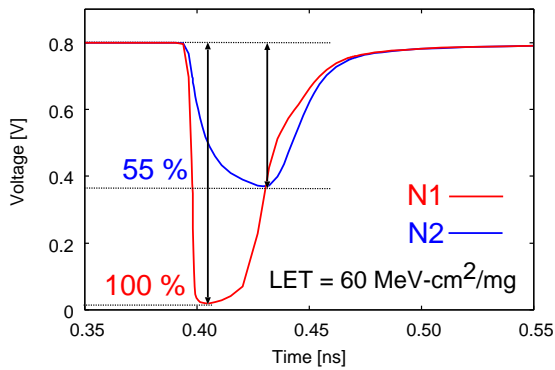


図 8 電源電圧 0.8 V において、図 7 (a) のインバータを構成する NMOS トランジスタに 60 MeV-cm²/mg の荷電粒子を照射時のノード N1 とノード N2 の電圧時間変化。SET パルスが PMOS パストラジスタを通過することで抑制されている [12].

の振幅の 50% から出力信号の振幅の 50% までの時間を評価する。消費電力は、活性化率 10% におけるスイッチ動作に伴う動的電力と漏れ電流による静的電力について評価する。各 FF の面積は設計する際にスタンダードセルの高さを一定にしているため、レイアウトの幅で比較する。

4.2.1 回路性能評価結果

各 FF の遅延時間、動的電力、静的電力、面積を TGFF のそれぞれで規格化した結果とトランジスタ数を表 1 に示す。括弧内は Stacked FF で規格化している。遅延時間は TGFF に対し Stacked FF は約 1.7 倍、提案 FF はどちらも約 1.3 倍に増加した。提案 FF は PMOS パストラジスタを ON 状態で用いているため ACFF よりも高速動作している。Stacked FF と比べても約 20% 速くなった。面積は TGFF に対し Stacked FF は約 1.1 倍、PBLDPFF は約 1.3 倍、PBLDPFF_SN は約 1.2 倍に増加した。トランジスタ数は PBLDPFF の方が Stacked FF に比べて少ないが、PMOS トランジスタの数が多いためレイアウト上大きくなってしまふ。提案 FF の動的電力は ACFF を基にしているためローカルクロックバッファが不要となり、TGFF に対しどちらも約 0.5 倍となった。一方で、静的電力が TGFF に対し Stacked FF は約 1.1 倍、提案 FF は PMOS パストラジスタを追加しているためどちらも約 40 倍となった。これは、PMOS パストラジスタの入力が 0 の時に出力電位が V_{tp} 分増加してしまい、次段のインバータで貫通電流を起していることが原因である。

ソフトエラー耐性を維持して、静的電力を抑制する方法は、2 つのアプローチがある。スリープ時では、NMOS トランジスタの基板に -1 V 印加することで NMOS トランジスタの閾値電圧を上げ、静的電力が電圧を印加する前の約 1/11 となる。提案 FF の PMOS パストラジスタを低い閾値モデルを使うことによって中間電位が減少して約 1/3 となる。低い閾値パストラジスタに変更後のソフトエラー耐性を先ほどと同様に TCAD シミュレーションを用いて確認したが、この中間電位減少によるソフトエラー

表 1 各 FF の遅延時間・消費電力・面積・トランジスタ (Tr.) 数の比較。TGFF で規格。括弧内は Stacked FF で規格。

FF	遅延時間	消費電力		面積	Tr. 数
		動的	静的		
TGFF	1	1	1	1	24
ACFF	1.44	0.470	2.35	1.00	22
Stacked FF	1.66	1.02	1.13	1.12	28
PBLDPFF	1.30 (0.783)	0.488 (0.478)	38.9 (34.4)	1.29 (1.15)	24
PBLDPFF_SN	1.33 (0.801)	0.483 (0.474)	41.8 (37.0)	1.18 (1.05)	22

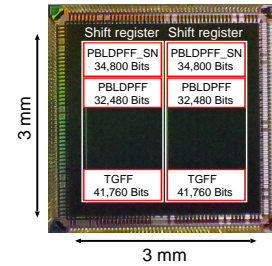


図 9 テストチップのフロアプラン

耐性の低下は見られなかった。

5. 中性子照射試験による SEU 耐性の評価

本節では第 3 節で説明した回路を搭載したテストチップの概要と試験方法、中性子照射試験結果について述べる。

5.1 テストチップ

非多重化 FF のソフトエラー耐性を評価するため、テストチップを 65 nm SOTB プロセスで設計し、中性子照射試験を行った。図 9 にテストチップの詳細を示す。テストチップは 3 mm×3 mm であり、TGFF が 83,520bit、PBLDPFF が 60,320bit、PBLDPFF_SN が 69,600bit 搭載されている。

5.2 中性子照射試験

中性子照射試験は大阪大学 RCNP (Research Center for Nuclear Physics) で実施した。中性子線によるソフトエラーは、中性子線が Si 原子と核反応を起し発生した荷電粒子が SOI 層を通過することによって起きる。そのため、α 線に比べソフトエラーが発生しにくい。限られた実験時間内でより多くのソフトエラーを観測するため、複数ボードをスタックすることで測定を行った。1 ボードに 4 チップが搭載された DUT (Device Under Tests) ボードを 4 枚積層した。電源電圧 0.8 V において各 FF の SER (Soft Error Rate) の全動作状態依存性を評価した。中性子照射時間は 5 分で各 (DATA, CLK) の条件を 20 回測定を行った。中性子によるソフトエラー数が 0 個の場合、信頼区間を 68% のエラーバーで評価する。

5.3 試験結果

図 10 に SER の全動作状態依存性の試験結果を示す。Stacked FF の SER は、文献 [14] の TGFF と Stacked FF の中性子起因の SER の比率より今回得られた TGFF の中性子起因の SER から算出している。図 11 に全動作状

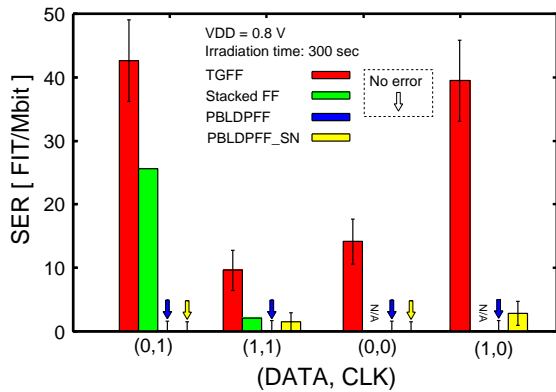


図 10 電源電圧 0.8 V において中性子照射による SER の全動作状態依存性. Stacked FF の SER は, 文献 [14] の TGFF と Stacked FF の中性子起因の SER の比率より算出している.

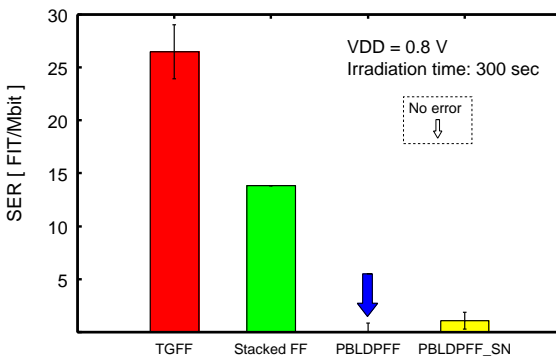


図 11 電源電圧 0.8 V において全動作状態の平均 SER.

態の平均から求めた SER の結果を示す. Stacked FF の結果は, Stacked FF の ML と SL が同じ構造であることから (DATA, CLK)=(1, 1), (0, 1) の平均より求めている. Stacked FF は (DATA, CLK)=(1, 1) において, 非常に低く 2.1 FIT/Mbit であり TGFF の SER の約 1/5 であった. この結果からスタックドインバータでソフトエラーが起きにくいことが分かる. PBLDPFF では全動作状態においてソフトエラーが発生しなかった. PBLDPFF_SN は (DATA, CLK)=(0, 1), (0, 0) において 20 回の測定全てでエラー数 0 個であり, ソフトエラーが発生しなかった. (DATA, CLK)=(1, 1) において 20 回の測定の合計エラー数は 1 個で TGFF の SER の約 1/6 であった. (1, 0) においても 20 回の測定の合計エラー数は 2 個で TGFF の SER の約 1/14 であった. 全動作状態の平均結果より, エラーバーの最悪値で Stacked FF と比べてとしても PBLDPFF の SER は約 94%, PBLDPFF_SN の SER は約 84% 低いことがわかる. Stacked FF と比べると面積と静的電力のオーバーヘッドはあるものの, ソフトエラー耐性をより高めることができる.

6. 結論

本稿では FDSOI の一種である 65 nm SOTB プロセスを用いた非多重化耐ソフトエラー FF を設計し, TCAD シミュレーションと中性子照射試験によりソフトエラー耐性を評価した. TCAD シミュレーションの結果から, 提案構

造のラッチは地上でソフトエラーが発生する荷電粒子のもつ LET 値以上であることが分かった. 提案 FF である PBLDPFF と PBLDPFF_SN の回路性能を SPICE シミュレーションにより評価した. SPICE シミュレーションの結果から両提案 FF の遅延時間, 動的電力は従来非冗長化耐ソフトエラー FF である Stacked FF よりも, 遅延時間が約 20%, 動的電力が約 50% 小さいことが分かった. 静的電力は TGFF と比べると約 40 倍大きくなってしまいが, ソフトエラー耐性を維持して抑制することが可能である. 全動作状態の試験結果の平均から電源電圧 0.8 V において Stacked FF とエラーバーの最悪値で比べたとしても中性子線起因の SER は PBLDPFF で約 1/16, PBLDPFF_SN で約 1/7 に低減できることが判明した. PBLDPFF_SN は NMOS トランジスタで発生するソフトエラー対策のみを施した回路であるが, 中性子照射試験において高いソフトエラー耐性をもつことが分かった. このことから, 地上で利用する 65 nm SOTB プロセスを用いた FF では NMOS トランジスタで起きるソフトエラー対策を施すことで十分に高い信頼性を得ることを明らかにした.

謝辞 本研究は JSPS 科研費 15H02677 および, (株) ソシオネクストの助成を受けて実施したものである. 本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり, 東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社, 日本ケイデンス株式会社, メンター株式会社の協力で行われたものである.

参考文献

- [1] G.E. Moore, *Proceedings of the IEEE*, Vol. 86, pp. 82–85, (1998).
- [2] 戸坂義春, 日経エレクトロニクス, 2005 年 7 月 24 日号, pp. 145–156, (2005).
- [3] P. Hazucha and C. Svensson, *TNS*, Vol. 47, No. 6, pp. 2586–2594, (2000).
- [4] L. Anghel, D. Alexandrescu, and M. Nicolaidis, *SBCCI '00*, p. 237, (2000).
- [5] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, *ECS Meeting*, (2011).
- [6] P. Roche, J. L. Autran, G. Gasiot, et al., *2013 IEEE IEDM*, pp. 31.1.1–31.1.4, (2013).
- [7] Y. Morita, R. Tsuchiya, T. Ishigaki, et al., *VLSI Tech. Symp.*, pp. 166–167, (2008).
- [8] A. Makihara, M. Midorikawa, T. Yamaguchi, et al., *TNS*, Vol. 52, No. 6, pp. 2524–2530, (2005).
- [9] C. K. Teh, T. Fujita, H. Hara, et al., *ISSCC*, pp. 338–340, (2011).
- [10] H. Maruoka, M. Hifumi, J. Furuta, et al., *RADECS*, (2016).
- [11] S. Abe, Y. Watanabe, N. Shibano, et al., *TNS*, Vol. 59, No. 4, pp. 965–970, (2012).
- [12] 山田晃大, 丸岡晴喜, 梅原成宏, et al., 電子情報通信学会技術報告, No. VLD2016-49, pp. 31–36, (2016).
- [13] H. Asai, K. Sugimoto, I. Nashiyama, et al., *IEEE TNS*, Vol. 59, No. 4, pp. 880–885, (2012).
- [14] J. Furuta, J. Yamaguchi, and K. Kobayashi, *TNS*, Vol. 63, No. 4, pp. 2080–2086, (2016).