

# 低電力向け 65nm プロセスにおける回路およびレイアウト構造の相違によるソフトエラー耐性の評価

京都工芸繊維大学 工芸科学研究科  
山口 潤己 張 魁元 古田 潤 小林 和淑

## 概要

集積回路の微細化・高集積化に伴い、一過性の故障であるソフトエラーの影響が深刻化してきている。本研究ではマスターラッチとスレイブラッチをトランスミッションゲートで接続した TGFF と、トライステートインバータで接続した TIFF を取り扱う。回路およびデバイスシミュレーションを用いて、両者のソフトエラー耐性の評価を行った。回路シミュレーションでは、遅延時間や消費電力の評価を行い、TGFF は TIFF より小さいことがわかった。しかし TGFF のソフトエラー率は TIFF の約 1.2 倍で、ソフトエラーに対して脆弱である。TGFF ではマスターラッチとトランスミッションゲートのドレインが共有され、TIFF ではマスターラッチとトライステートインバータのドレインが共有されない。デバイスシミュレーションにより、それぞれの構造のソフトエラー耐性の比較・評価も行った。

## Evaluation of Soft Error Tolerance due to the Difference in the Layout and Structure of the Circuit for Low Power 65nm Process

Junki Yamaguchi, Kuiyuan Zhang, Jun Furuta, Kazutoshi Kobayashi

Dept. of Design Engineering, Graduate School of Science and Technology, Kyoto Institute of Technology

**Abstract** With the miniaturization of integrated circuits in recent years, the impact of soft errors has been serious. In this study, we deal with TGFF that master and slave latch connected with a transmission gate and TIFF that master and slave latch connected with a tri-state inverter. We evaluate the soft error tolerance of TGFF and TIFF by device and circuit simulation. In the circuit simulation, we evaluate the power consumption and delay time, TGFF is smaller than TIFF. But the soft error rate of TGFF is about 1.2 times of TIFF. TGFF is vulnerable to soft errors. Drain region of the transmission gate and the master latch are shared in TGFF, but those of the tri-state inverter and the master latch are separated in TIFF. By the device simulation, we evaluate in the soft error tolerance of the structure of each.

## 1 序論

集積回路は微細化・高集積化により高性能になり、それによって計算機の性能が上がりまた微細化が進むというサイクルを歩んできた。近年、微細化が進むことで、今までは過酷な宇宙線にさらされる宇宙においての問題であったソフトエラーの影響が、地上でも無視できなくなっている。微細化により、1台のコンピュータに搭載できるチップ数が増えてきており、ソフトエラーはより起こりやすくなっている。1980年代は1チップあたりのSERは1000 FIT以下に抑え込むことが一般的に要求された。1 FITとは、1チップが平均 $10^9$ 時間に1回の確率で不良が発生することを示す。1000 FITとは、約100年間に1回の確率でソフトエラーが発生することを意味する。1000 FITのチップを1つ使用する場合には大きな問題ではないかのように見える。しかし、多くのチップを搭載する場合や高い信頼性が求められる航空機や医療機器などでは、1つのエラーが重大な問題となる。これからのLSIはソフトエラー対策が必須となる。ソフトエラー対策として、デバイスレベルでの対策と回路レベルでの対策が考えられている。デバイスレベルではSOI (Silicon On Insulator) 技術を用いることがある。回路レベルでは冗長化などがあげられる。[1]

本稿では標準的なD型フリップフロップであるTGFF (Transmission Gate Flip-Flop) とTIFF

(Tristate-Inverter Flip-Flop)を用いて、回路およびレイアウト構造の相違によるソフトエラー耐性の評価を行う。次に本稿の構成を述べる。第2節ではソフトエラーの発生要因とその対策について述べる。第3節では回路シミュレーションを用いて2種類のDFFの各特性の評価を行う。第4節ではデバイスシミュレーションによるソフトエラー耐性の評価を行う。第5節では本稿の結論を述べる。

## 2 ソフトエラー

### 2.1 ソフトエラーとは

ソフトエラーとは、集積回路 (LSI) に粒子線が通過、または衝突することにより電子正孔対が生成され、一時的にメモリの保持値やフリップフロップの論理値が反転するエラーのことである。粒子線によるソフトエラー発生機構を図1に示す。半導体チップや電子回路に物理的な損傷が生じるハードエラーとは異なり一過性のエラーであるので、コンピュータの再起動やデータの書き換えによって正常な動作が回復する。近年の集積回路の微細化にともなう集積化や電源電圧の低下によって、ソフトエラーの影響が顕在化してきた。これからの集積回路にとってソフトエラー対策は不可欠であるといえる。

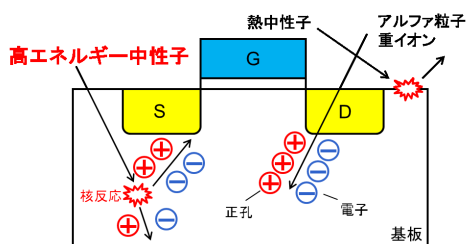


図 1: ソフトエラー発生機構

## 2.2 ソフトエラーの種類

ソフトエラーは 1bit エラーの SEU (Single Event Upset) と複数 bit エラーの MCU (Multiple Cell Upset) に大別される。ソフトエラーは電子正孔対によるパルスの発生場所によって種類が分けられており、ラッチなどのデータを保持している部分に電子正孔対が収集されることによって、データが反転するものを SEU、ラッチなどのデータ保持部以外の組み合わせ回路に電荷が生じパルスが発生するものを SET (Single Event Transient) と呼ぶ。MCU とは一度の粒子の通過、衝突により複数のデータ保持部が反転するエラーである。発生機構としては電荷共有や寄生バイポーラ効果などがあり、いずれも素子間の距離に強く依存し、素子が隣接していると発生しやすくなる。nMOS では電子起因、pMOS では正孔起因であり、電子の移動度は正孔に比べ大きいので、nMOS のほうがソフトエラーが発生しやすくなっている。本稿では電子起因のものについてのみ考える。

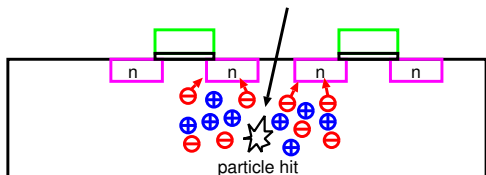


図 2: 電荷共有

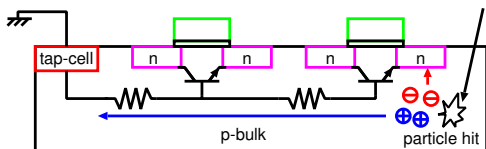


図 3: 寄生バイポーラ効果

## 2.3 ソフトエラー対策

SOI (Silicon On Insulator) はプレーナ型の CMOS 回路構造の一種である。チャンネルに不純物を添加しないで済むため特性のばらつきを抑えやすく、22 nm 世代以降のトランジスタ技術の有力候補となっている。シリコン基板とトランジスタ (表面シリコン) の間に、絶縁物の層 (BOX 層, Buried OXide) を挿入する。絶縁物としては主に  $\text{SiO}_2$  が用いられる。SOI に粒子線が突入した様子を図 4 に示す。SOI は BOX 層を挿入することにより、トランジスタの寄生容量を小さくすることができる。高速または低消費電力動作が可能であり、ソフトエラー耐性も強い。粒子線の衝突により発生した電荷は、従来のバルク構造ではドレイン領域に収集されてしまう。対して SOI 構造では、SOI 層で発生した電荷はドレイン領域に収集されてしまうものの、基板で発生した電荷は BOX 層により遮られるため、収集されることなく基板へ逃げる。[2]

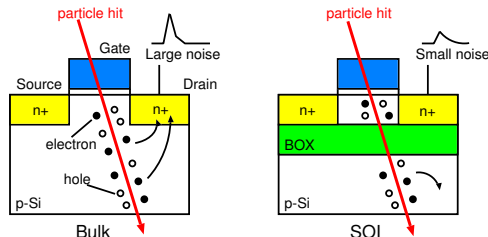


図 4: バルクと SOI に粒子線が突入した様子

## 2.4 薄膜 BOX SOI (SOTB: Silicon On Thin BOX)

SOTB を図 5 に示す。通常の SOI の BOX 層の厚みはおおよそ 100 nm であるのに対し、SOTB はシリコン基板の上に 10 nm 程度の極薄の絶縁膜 (シリコン酸化膜からなる埋め込み絶縁層) とおおよそ 12 nm のシリコン薄膜 (SOI 層) が形成された SOI 基板上に形成されたトランジスタである。トランジスタの動作を行う極薄シリコン薄膜には、不純物が極めてわずかしか含まれないため、SOTB ではトランジスタ特性のばらつきを大幅に減らすことが可能となった。SOTB の特徴として BOX 層の下の基板に電圧を印加することでしきい値電圧を制御でき、逆バイアスの印加でリーク電流を低減できることが挙げられる。[3]

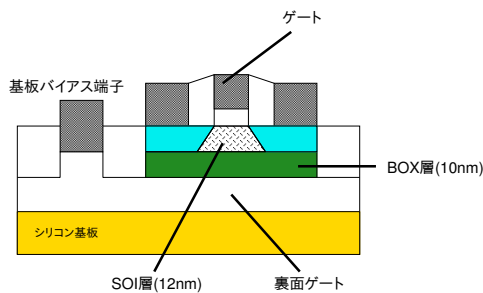


図 5: SOTB

### 3 回路シミュレーションを用いたソフトエラー耐性評価

本節では回路構造の異なる DFF のソフトエラー耐性や消費電力などの各特性を回路シミュレーションによって評価する。

#### 3.1 ソフトエラー評価方法

前節で示したとおり、ソフトエラーは電子正孔対によるパルスの発生場所によって種類が分かれており、本稿ではラッチなどのデータを保持している部分にキャリアが収集されることによって、データが反転する SEU について考える。ラッチなどのデータ保持値を反転させるためには一定以上の電荷が必要で、これを臨界電荷量  $Q_{crit}$  と呼ぶ。回路シミュレーションにより、回路の各ノードに電流源を粒子線により誘起された電流として付加し、 $Q_{crit}$  を求める。[4] 式 (1) を用いてエラーが起こりうる全てのノードについてソフトエラー率 (SER) を計算した。[5-7]  $F$  は中性子量であり、 $0.00565/cm^2s$ 、 $K$  は比例定数で値は  $2.2 \times 10^{-15}$ 、 $A$  は粒子が衝突するノードの面積である。 $Q_s$  は電荷収集効率で、プロセスにより異なる値をとる。nMOS と pMOS では、キャリアの移動度の違いによりエラーの発生率が異なるが、回路シミュレーションでは基板内での電子と正孔の移動度を考慮できないため、nMOS と pMOS で異なる値を設定することでソフトエラーの発生率を調整している。本稿では nMOS 起因のエラーのみを考慮し、実測値から求めた  $6.92fC$  を用いた。

$$N_{SER} = F \times K \times A \times \exp\left(-\frac{Q_{crit}}{Q_s}\right) \quad (1)$$

#### 3.2 ソフトエラー耐性を比較する回路

TGFF、TIFF の回路図を図 6、図 7 に示す。TGFF はマスターラッチとスレイブラッチはトランスミッションゲートで接続されており、マスターラッチが

ラッチ状態ではデータは双方向に伝搬する。一方で TIFF は、マスターラッチとスレイブラッチはトライステートインバータで接続されており、データはマスターラッチからスレイブラッチへ単方向へ伝搬する。

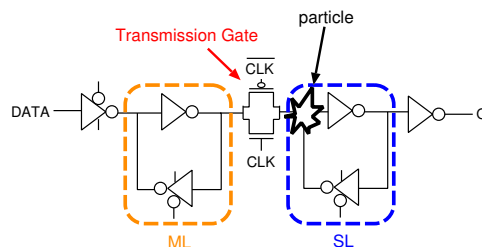


図 6: TGFF

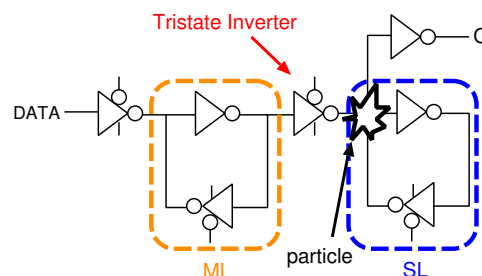


図 7: TIFF

CLK=1、DATA=1 で図 6、図 7 のように粒子線が衝突した場合を考える。このとき TGFF ではトランスミッションゲートは ON 状態なので、粒子線の衝突により発生した電荷がマスターラッチのインバータのドレイン部分に収集され、保持データが反転してしまう可能性がある。しかし TIFF では CLK=1、DATA=1 で図 7 で示したノードに粒子線が衝突した際に発生した電荷はマスターラッチに到達せず、保持値が反転することはない。ソフトエラーが引き起こされるノードの数が TGFF の方が多くなるため、ソフトエラー率は異なる。

#### 3.3 ソフトエラー率の評価

電源電圧を変化させたときのそれぞれのマスターラッチのソフトエラー率を図 8、スレイブラッチのソフトエラー率を図 9 に示す。標準電圧 1.2V 印加時では、マスターラッチにおける TIFF のソフトエラー率は TGFF に対し 25.9% 小さくなった。同様にスレイブラッチでは TIFF の方が TGFF より 17.3% 小さく、マスターラッチの方がソフトエラー率の差は顕著であった。CLK=1、DATA=1 で図 6 で示した

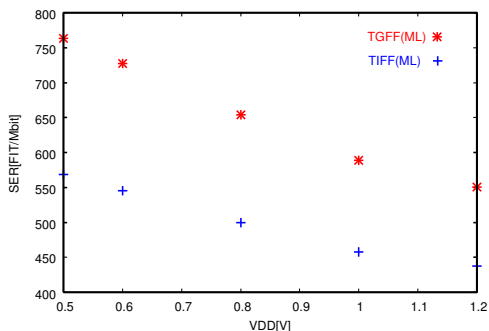


図 8: ML のソフトエラー率

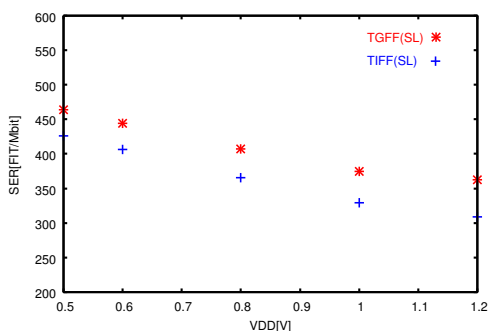


図 9: SL のソフトエラー率

ノード以外のノードに粒子線が衝突した場合、ソフトエラー率に大きな違いはなかった。このことから回路構造の違いにより、ソフトエラー耐性が大きく異なることがわかる。

### 3.4 遅延時間の評価

TGFF と TIFF の CLK の立ち上がりから出力への遅延時間の電圧依存性を図 10 に示す。

電圧を下げると遅延時間は指数関数的に大きくなる

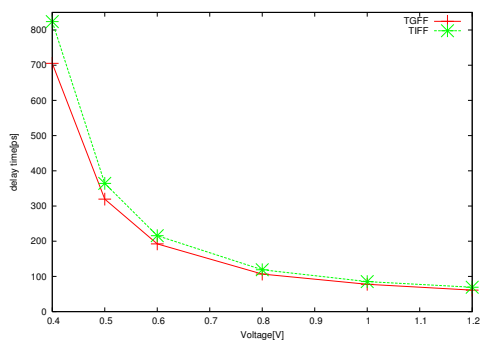


図 10: 遅延時間

り電圧依存性がみられた。TGFF と TIFF を比較すると、電圧にかかわらず TIFF の遅延時間は TGFF より大きい。マスターラッチからスレイブラッチへの遅延は TGFF では 5.05ns、TIFF では 5.10ps で、TIFF の方が 50ps 立ち上がり遅延時間が長く、回路構造の違いにより遅延時間は異なる。

### 3.5 各特性のまとめ

ソフトエラー率、消費電力、遅延時間、面積を TGFF で正規化した結果を表 1 に示す。表 1 中の  $\alpha$  は活性化率を指し、クロックエッジトリガの入力に対する出力の変化の割合である。消費電力、遅延時間、面積に関しては TGFF は TIFF よりも小さい。しかし電源電圧 1.2V 印加時での TIFF のソフトエラー率は TGFF よりも約 22% 小さく、TIFF の方がソフトエラー耐性は高くなった。

表 1: 各特性の比較

	SER(1.2V)	電力 ( $\alpha=25\%$ )	遅延 (1.2V)	面積
TGFF	1.00	1.00	1.00	1.00
TIFF	0.78	1.05	1.13	1.12

## 4 デバイスシミュレーションによるソフトエラー耐性評価

前節では回路シミュレーションにより TGFF と TIFF のソフトエラー耐性を評価したが、レイアウト構造の違いによるソフトエラー耐性の評価は回路シミュレーションでは評価できない。本節ではデバイスシミュレーションを用いて、レイアウト構造によるソフトエラー耐性について述べる。

### 4.1 シミュレーション方法

レイアウト構造より TGFF と TIFF の 3D のデバイスを構築し、対象の場所に粒子線を突入させる。LET (Linear Energy Transfer) を徐々に増加させ、ラッチの電位が反転する LET(臨界 LET) を評価する。LET とはデバイス内で重イオン粒子が単位長さあたりに失うエネルギーである。シミュレーションより得られる電流パルスから  $Q_{crit}$  を求め比較する。

### 4.2 シミュレーション結果 (バルク)

TGFF ではインバータとトランスミッションゲートのドレイン領域が共有されているが、TIFF はインバータとトリステートインバータのドレインは共有されていない。よって図 11、図 12 のような構造を構築した。

図 11 のように out(インバータの出力) に放射線を入射させたときの out の電位の時間変化を図 13 に示す。TGFF では LET=1.6MeV-cm<sup>2</sup>/mg でラッチの電位が反転し、Q<sub>crit</sub> は 6.51fC であった。一方で TIFF では LET=1.5MeV-cm<sup>2</sup>/mg で反転し、Q<sub>crit</sub> は 8.20fC であった。これより TIFF の方がソフトエラー耐性は高くなると予想される。

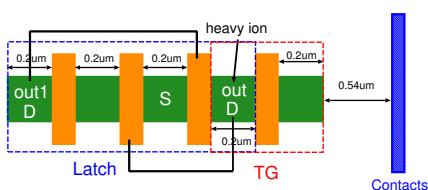


図 11: TGFF の構造 (バルク)

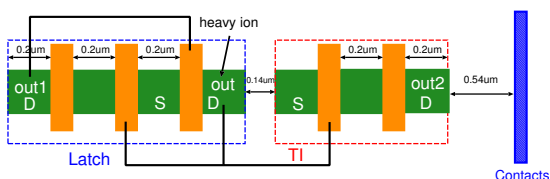


図 12: TIFF の構造 (バルク)

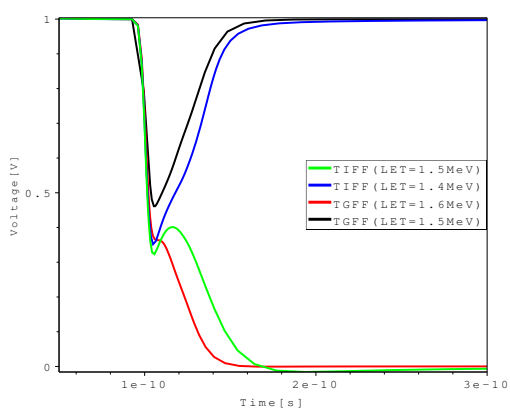


図 13: ラッチの電位変化 (バルク)

### 4.3 シミュレーション結果 (SOTB)

SOTB 構造はバルク構造に比べ寄生バイポーラ効果を受けやすいため、ウェルコンタクトを追加した構造を構築した。それぞれの構造を図 14、図 15 に示す。

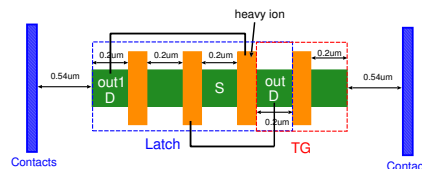


図 14: TGFF の構造 (SOTB)

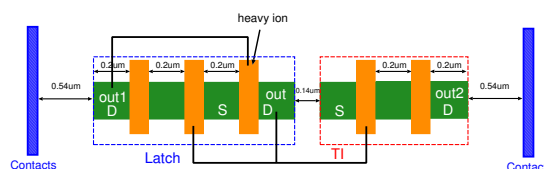


図 15: TIFF の構造 (SOTB)

図 14 のようにインバータのゲートに垂直に粒子線を入射させたときの out の電位変化を図 16 に示す。TGFF、TIFF とともに臨界 LET は 35MeV-cm<sup>2</sup>/mg であった。それぞれの Q<sub>crit</sub> は TGFF で 33.9fC、TIFF で 38.0fC であり、SOTB 構造でも TIFF の方がソフトエラー耐性は高くなる。

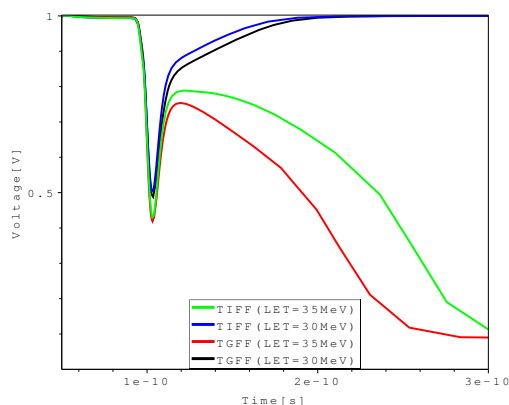


図 16: ラッチの電位変化 (SOTB)

## 5 結論

本稿では回路およびレイアウト構造の相違によるソフトエラー耐性の評価を行った。回路シミュレー

シオンによる評価では、TGFF のソフトエラー率は TUFF よりも大きく、約 1.2 倍となった。マスターラッチがラッチ状態、スレイブラッチがトランスペアレント状態において、スレイブラッチに粒子線が衝突する場合を考慮すると、ソフトエラー率に違いがみられたことから、回路構造の違いによりソフトエラー耐性が大きく異なることがわかった。デバイスシミュレーションにより、レイアウト構造の相違によるソフトエラー耐性の評価を行った。bulk 構造では TUFF の  $Q_{crit}$  は TGFF の約 1.3 倍、SOTB 構造では 1.1 倍となり、どちらの構造でも TUFF の方がソフトエラー耐性は高く、ディフュージョンを共有している構造の方がエラー耐性は高くなる。

## 謝辞

本研究は METI、NEDO 委託先である LEAP の「低炭素社会を実現する超低電圧デバイスプロジェクト」において共同実施された。本研究に用いた TEG 設計は東京大学大規模集積システム設計教育センターを通して行われ、シノプシス株式会社、日本ケーンズ株式会社とメンター株式会社の協力で行われたものである。

## 参考文献

- [1] 戸坂義春, “知っておきたいソフトエラーの実態”, 日経エレクトロニクス, 2005 年 7 月 24 日号, (2005).
- [2] Daisuke Kobayashi et al., “Radiation-Induced Pulse Noise in SOI CMOS Logic”, *ECS Transactions vol.35*, (2011).
- [3] Neil H.E. Weste and David Harris, “CMOS VLSI DESIGN A circuits and systems perspective Forth Edition”, *Addison Wesley*, (2010), pp. 120, 360–365.
- [4] P. Shivakumar, M. Kistler, SW Keckler, D. Burger, and L. Alvisi, “Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic”, *Int'l Conference on Dependable Systems and Networks*, (2002), pp. 389–398.
- [5] P. Hazucha and C. Svensson, “Impact of CMOS Technology Scaling on the Atmospheric Neutron Soft Error Rate”, *IEEE Transactions on Nuclear Science*, Vol. 47, No. 6, pp. 2586–2594, (2000).
- [6] P. Hazucha, C. Svensson, and SA Wender, “Cosmic-ray Soft Error Rate Characterization of a Standard 0.6 $\mu$ m CMOS Process”, *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 10, pp. 1422–1429, (2000).
- [7] E. Dupont, M. Nicolaidis, and P. Rohr, “Embedded Robustness IPs for Transient-error-free ICs”, *Design & Test of Computers, IEEE*, Vol. 19, No. 3, pp. 54–68, (2002).