

Verilog-A を用いた経年劣化現象の過渡解析用 トランジスタレベルモデル

岸田 亮 小林 和淑

京都工芸繊維大学 工学科学研究科 電子システム工学専攻

集積回路の微細化に伴い、経年劣化現象が問題になってきている。そのため、経年劣化現象についての正確な予測モデルが必要となっている。予測モデルを構築するために、ハードウェア記述言語である Verilog-A ファイルにトラップ・デトラップモデルの理論式を記述することによってモデル化を行う。モデル化により種々の入力波形に対応した劣化現象や、実際のストレス波形に応じた劣化状態をシミュレーションによって予測することが可能となる。このモデルを応用することで、種々の回路に適用することが可能となる。適用例として単体のトランジスタにおけるしきい値電圧の変動だけではなく、インバータにおける遅延時間の増加やリングオシレータにおける発振周波数の低下を確認することができる。

A Transistor Model for Transient Simulation of Aging Degradation with Verilog-A

Ryo Kishida, Kazutoshi Kobayashi

Department of Electronics, Graduate School of Science and Technology, Kyoto Institute of Technology

A transistor model of aging degradation is required because aging degradation has been dominant as a device size become minute. We make the transistor model which is based on the Trap-Detrap model with Verilog-A. We can estimate a degradation phenomenon from various input waves and a degradation state from actual waveforms by using the transistor model. We can also apply the transistor model in various circuits which are not only a single transistor but also delay time of inverters or frequency of ring oscillators.

1 序論

近年の集積回路の素子は微細化によって、動作周波数の増加や消費電力の低減などのメリットが得られている。しかし、微細化により BTI (Bias Temperature Instability) などの経年劣化現象が顕在化している [1]。BTI は MOSFET (Metal Oxide Semiconductor Field Effect Transistor) にストレスをかけることで、特性が劣化する現象のことである。劣化する主な特性としてしきい値電圧があり、電圧や温度によるストレスで増加してしまう。BTI は素子を使い続ける限り発生し、回路の動作に影響を及ぼすため、BTI を予測できるモデルが必要となっている。

従来は既存の素子に BTI のモデル化を行った Verilog-A (VA) を MOSFET のゲート部分に付け加えている [2]。しかし、このモデルでは正確なストレス状態を判断することができないという欠点がある。本稿ではゲート部分に VA を付け加えるのではなく、既存の素子を VA によって置き換えることでモデル化を行う。このモデルでは素子の全端子における電圧値や電流値を計算することができるため、正確なストレス状態を判断することが可能となる。回路シミュレーションにおいては既存の素子と置き換えるだけで、種々の回路に応用することが可能となる。

本稿の構成を述べる。2章で BTI について述べる。3章ではトランジスタモデルをどのようにして構築するのかを述べる。4章で提案したモデルを用いてシミュレーションを行う。最後に5章で結論を述べる。

2 BTI (Bias Temperature Instability)

経年劣化現象の1つである BTI について述べる。BTI の概要に加えて、種類と発生原因について述べる。BTI の種類として2種類ある NBTI (Negative BTI) と PBTI (Positive BTI) について述べ、BTI の発生原因であるトラップ・デトラップモデルについて述べる。

2.1 BTI の概要

BTI は MOSFET にストレスをかけることで、MOSFET の特性が劣化する経年劣化現象のことである。BTI を引き起こすストレスには電圧と温度がある。電圧と温度はどちらも高めれば高いほど MOSFET の特性が劣化しやすくなる。劣化する主な特性として、しきい値電圧がある。しきい値電圧はストレスによって増加する。しきい値電圧が増加するこ

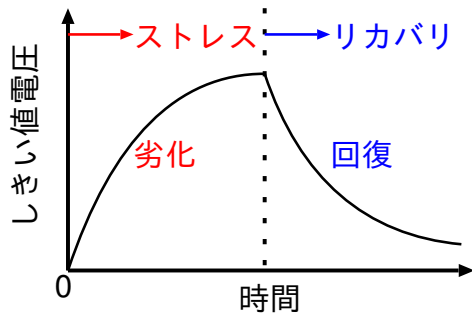


図 1: BTI による劣化と回復

とによって遅延時間の増加，発振周波数の低下などが起こる。しかし，BTI には特性が劣化するだけではなく，回復するという特徴がある。図 1 に劣化と回復をグラフにしたものを示す。ゲート・ソース間電圧が存在するときにしきい値電圧が増加し，MOSFET の特性が悪くなる。しかし，ストレスを取り除くことによって，増加したしきい値電圧の一部は元に戻り特性が回復する。

2.2 NBTI と PBTI

NBTI では負バイアス (Negative Bias) を PMOS に印加し続けることにより BTI が発生する。NBTI は負バイアスで動作する PMOS で発生し，デジタル回路では入力が 0 のときに発生する。NBTI はゲート長が 65 nm 以下の MOSFET で顕在化している。

PBTI は NBTI の逆であり，正バイアス (Positive Bias) を NMOS に印加し続けることにより BTI が発生するという現象である。デジタル回路では入力が 1 のときに PBTI が発生する。PBTI が顕在化するのにはゲート長が 45 nm 以下のプロセスである。本稿ではゲート長が 60 nm の MOSFET を用いるので，PBTI は考慮しない。

顕在化するゲート長の違いはゲート酸化膜の材料が原因である [3]。65 nm プロセスではゲート酸化膜に SiO₂ が用いられているので，PBTI は顕在化していなかった。しかし，45 nm プロセスではゲートリーク電流増加の問題があり，ゲート酸化膜に high-k が用いられている。high-k とは Hf (ハフニウム) などで作られた SiO₂ より約 6 倍高い誘電率をもつ材料である。酸化膜厚を厚くすることで，ゲートリーク電流の問題に対応できるが，ゲート酸化膜の容量が減少する。高い誘電率の材料を用いることで，酸化膜厚を厚くしてもゲート酸化膜の容量を維持できる。

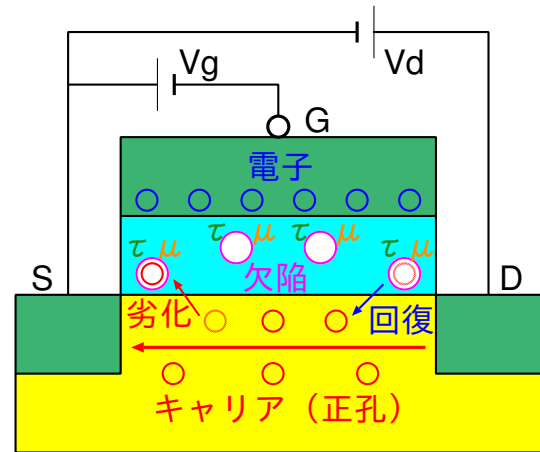


図 2: トラップ・デトラップモデルによる BTI 発生原理を表した MOSFET 断面の模式図

2.3 トラップ・デトラップモデル

BTI の原因としてトラップ・デトラップモデルが考えられている。トラップ・デトラップモデルはゲート酸化膜の欠陥によるキャリアの捕獲および放出により，BTI の発生原因を説明したモデルである [4]。図 2 にトラップ・デトラップモデルによる BTI 発生原理を表した MOSFET 断面の模式図を示す。MOSFET 製造時にゲート酸化膜に欠陥が作られてしまい，この欠陥がチャンネルを流れるキャリアを捕獲することで MOSFET のしきい値が増加する。逆に，捉えていたキャリアを欠陥が放出すると特性は回復する。

各欠陥には捕獲時間と放出時間の時定数 (τ) が存在する。時定数によって計算される捕獲確率によって，キャリアを捕獲するかどうかを確率論として求めることができる。欠陥の一部には放出時間の時定数が 10^9 s と極めて大きいものがある。このような欠陥が一度キャリアを捕獲すると，半永久的にキャリアを捕獲し続けることになる。こういった部分ではキャリアが放出されないため，回復不可能になってしまう。

欠陥それぞれにはしきい値電圧変動量分 (μ) も存在する。しきい値電圧変動量分は欠陥がキャリアを捕獲する際に，しきい値電圧がどれだけ増加するかを表す値である。しきい値電圧変動量分が大きい欠陥がキャリアを捕獲すると，しきい値電圧は大きく増加して特性がより劣化する。

3 モデル構築

ここでは BTI を予測するためのモデルを構築する方法を述べる。

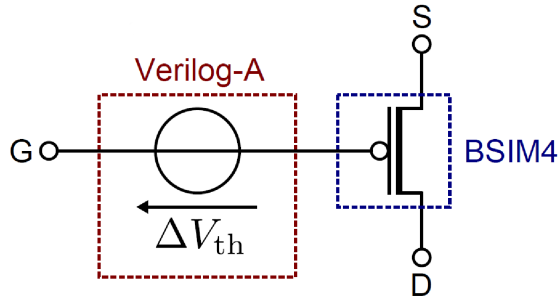


図 3: 従来モデルでの VA による BTI 組み込みモデル [2]

3.1 Verilog-A (VA) モデル

回路シミュレーションソフト HSPICE では Verilog-A (VA) を用いて記述した素子モデルが利用できる。VA によって記述された素子は HSPICE 上でサブサーキットとして定義できる。従来のモデルでは図 3 のように MOSFET のゲート部分に BTI のモデル化を行ったものを付け加えている [2]。しかし、このモデルでは正確なストレス状態を判断することはできない。 V_{gs} (ゲート・ソース間電圧) が VA で参照できないからである。BTI は $|V_{gs}| > 0$ のときに発生する。このモデルはゲート部分の電圧のみで判断しているため、正確な BTI を予測することは不可能である。

従来の問題点を解消するため、MOSFET 全てを置き換えることで BTI のモデル化を行う。置き換える MOSFET として、既に VA で構築されている HiSIM (Hiroshima-university STARC IGFET Model [5]) を用いる。HiSIM はトランジスタの動作を表したモデルであり、半導体物理現象をもとに式を解くことで解析する。表面ポテンシャルベースと呼び、トランジスタ内部に生じる電位分布をもとにモデルが構築されている。本稿では図 4 のように、2011 年にリリースされている 2.5.1 バージョンの VA にトラップ・デトラップモデルの理論式を記述し、BTI を予測できるモデルを提案する。これにより端子や動作特性はそのままにして、BTI を組み込んだモデルを構築することができる。

3.2 トラップ・デトラップモデル理論

トラップ・デトラップモデルはキャリアを捕獲および放出することにより、しきい値が変動するという理論である。キャリアを捕獲または放出するかどうかは確率によって決められる。捕獲確率 P_c および放出確率 P_e はそれぞれ式 (1), (2) で表される [6]。

$$P_c = 1 - \exp\left(-\frac{t_{st}}{\tau_c}\right) \quad (1)$$

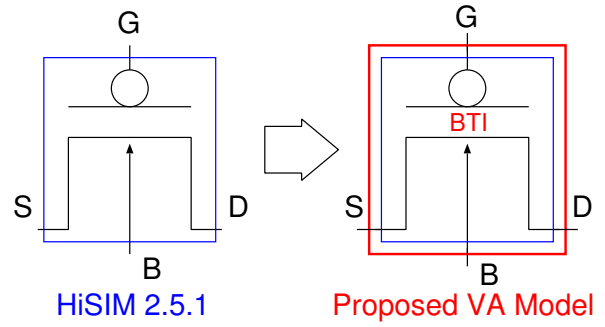


図 4: HiSIM を用いた VA による BTI 組み込み提案モデル

$$P_e = 1 - \exp\left(-\frac{t_{re}}{\tau_e}\right) \quad (2)$$

t_{st} はストレス時間、 τ_c は捕獲時定数、 t_{re} はリカバリ時間、 τ_e は放出時定数である。捕獲時定数および放出時定数は式 (3), (4) で表される。

$$\frac{1}{\tau_c} = \frac{1}{\tau_{ch}} + \frac{1}{\tau_{eh}} \quad (3)$$

$$\frac{1}{\tau_e} = \frac{1}{\tau_{cl}} + \frac{1}{\tau_{el}} \quad (4)$$

τ_{ch} は V_{gs} (ゲート・ソース間電圧) が high のときの捕獲時定数、 τ_{eh} は high のときの放出時定数、 τ_{cl} は low のときの捕獲時定数、 τ_{el} は low のときの放出時定数である。今回はデジタル波形を考えて、電源電圧 V_{DD} の半分 ($0.5V_{DD}$) 以上なら high、 $0.5V_{DD}$ 以下なら low とする。high の場合は式 (1) を、low の場合は式 (2) を確率として使用する。この確率と 0~1 の乱数とを比較することにより、キャリアを捕獲するか放出するかを決める。

各欠陥にはキャリアを捕獲しているか放出しているかという状態を記憶しておくパラメータを用意する。 V_{gs} が high の場合、放出している欠陥のみで確率と乱数を比較する。確率の方が大きい場合はキャリアを捕獲し、しきい値電圧を μ だけ増加させる。 V_{gs} が low の場合は捕獲している欠陥のみで確率と乱数を比較して確率の方が大きい場合はキャリアを放出し、しきい値電圧を μ だけ減少させる。これを全欠陥で計算し、各時間毎にしきい値電圧 (V_{th}) を変動させる。

3.3 設定パラメータ

表 1 に今回のシミュレーションで用いるパラメータの説明および設定値を示す。欠陥密度は [2]、各時定数は [6] および [7] を参考にする。欠陥数はゲートの面積に比例して増加するため、ゲート長とゲート

表 1: シミュレーションで用いるパラメータ

記号	説明	設定値
L	ゲート長	60 nm
W	ゲート幅	PMOS: 450 nm NMOS: 260 nm
D	欠陥密度	$1 \times 10^{16} \text{ m}^{-2}$
N	欠陥数	$L \times W \times D = 270$
μ	しきい値変動量分	0.2 mV
τ_{eh}	放出時定数 ($V_{gs} = \text{high}$)	$10^{-9} \sim 10^9 \text{ s}$ に対数等分布
τ_{ch}	捕獲時定数 (high)	$10^{-3} \tau_{eh}$
τ_{el}	放出時定数 (low)	τ_{eh}
τ_{cl}	捕獲時定数 (low)	$10^4 \tau_{ch}$

面積と欠陥密度の積で表すことができる。しきい値変動量分は欠陥によって異なるとされているが、本稿では簡単化のため一定としている。4 つある各時定数はそれぞれある程度の相関はあるものの、相関係数は 1 ではない。しかし、今回は単純化して相関係数を 1 としている。

3.4 長期間経過後における短期間シミュレーション

回路シミュレーションソフト SPICE では長期間経過後の短期間のシミュレーションができない。ここでいう長期間と短期間は 2 つの時間差が 9 桁以上離れている場合をいう。BTI シミュレーションでは 1000 s ストレスを与えた後に、1 ps 程度の遅延時間を確認しなければならない。この場合 2 つの時間差は 15 桁離れているので、SPICE ではシミュレーションできないという問題がある。その改善策として以下のようなことを行う。ただし、1000 s 経過後の 1 ps オーダーの時間を 1 ns まで測定することを想定して話を進める。

1. ストレスとリカバリ時間の 1000 s までの履歴を Duty 比で定義する
2. VA の中で時間を 1000 s 足して、擬似的に 1000 s 経過したモデルにする
3. SPICE では 0 s から 1 ns まで 1 ps 毎のシミュレーションをする

1. の履歴の定義として Duty 比が 0.6 なら次のように記述する。

$$(\text{ストレス履歴}) = 1000 \times 0.6 = 600$$

$$(\text{リカバリ履歴}) = 1000 - (\text{ストレス履歴}) = 400$$

VA には SPICE における「現在のシミュレーション時刻」を取得する「\$abstime」がある。2. ではそ

の部分に「\$abstime +1000」と記述すれば、1000 s 経過後としてシミュレーションが可能となる。

SPICE では 1000 s 経過後では 1 ps 毎のシミュレーションはできない。しかし、3. のように 0 s からであれば、1 ns までの 1 ps 毎のシミュレーションが可能である。

4 シミュレーション

トラップ・デトラップモデルを Verilog-A に組み込んだ提案モデルにおいてシミュレーションを行う。シミュレーションは PMOS におけるしきい値電圧の変動、インバータの遅延時間、リングオシレータの発振周波数について行う。

4.1 しきい値電圧

PMOS におけるしきい値電圧の変動を確認する。図 5 に用いる回路図を示す。1 個の NOR であるが、EN は電源 (V_{DD}) に近い方と接続している。EN (ENABLE) が 1 のときは V_{gs} が 0 V なので、PMOS において BTI が発生しない。しかし、従来のゲート電圧だけで判断するモデルだと BTI が発生して間違った結果となる。図 6 は BTI が発生する回路である。EN が電源から遠い方と接続してあるので、EN が 1 であっても $|V_{gs}| > 0 \text{ V}$ となる。

従来モデルと比較するために、ゲート電圧だけでストレス状態かどうかを判断するモデルを作ってシミュレーションする。本稿での提案モデルにおいて、ストレスの判断部分をゲート電圧で判断するように変更するだけである。図 7 に横軸を時間、縦軸をしきい値電圧の変動量としたシミュレーション結果を示す。ゲート電圧への入力波形は 100 s 毎に high と low を繰り返す矩形波である。従来モデルではしきい値が変動して間違った結果となっている。構築したモデルでは BTI が発生せず、正しい結果となっている。

従来モデルでの結果は図 5 の回路では間違った結果となっているが、この結果は提案モデルにおける図 6 での結果と同じである。提案モデルでは V_{gs} が存在するときに、同様にしきい値がストレス状態で増加してリカバリ状態では減少する。 V_{gs} が存在するときは、しきい値が増減するので BTI のモデルとして正しく動作していることが分かる。

4.2 インバータ遅延

1 個のインバータにおいて入力波形と出力波形との遅延時間を見る。図 8 に用いた回路図を示す。遅延時間は図 9 のように、入力波形が立ち上がって $0.5V_{DD}$

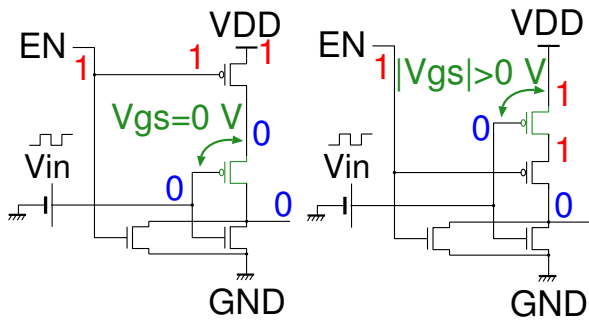


図 5: EN を電源に近い方と接続した BTI が発生しない回路
図 6: EN を電源から遠い方と接続した BTI が発生する回路

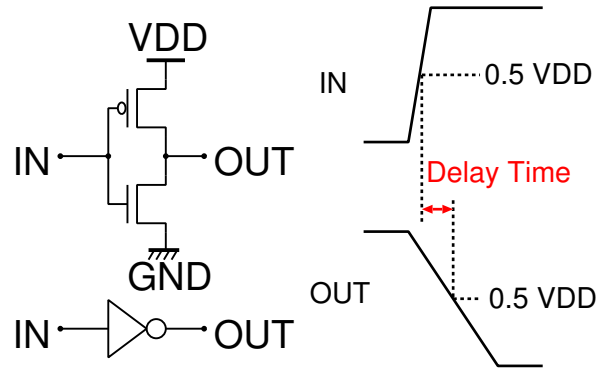


図 8: インバータ遅延時間測定回路図
図 9: 確認する出力立ち下がり遅延時間

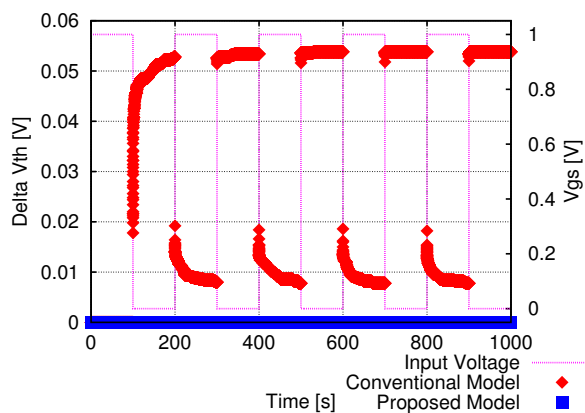


図 7: 従来のモデルを再現したものと比較した PMOS のしきい値電圧の変動量

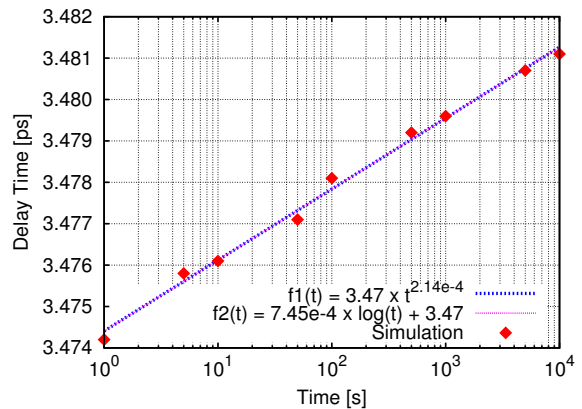


図 10: インバータにおける出力立ち下がり遅延時間

になってから出力波形が $0.5V_{DD}$ になるまでの出力立ち下がり遅延時間とする。入力波形はシミュレーションで確認する時間でのみ立ち上がるようにする。入力波形の立ち上がり時間は 10^{-16} s であり、確認する時間までは常に 0 V でストレス状態である。図 10 に出力立ち下がり遅延時間のシミュレーション結果を示す。縦軸は遅延時間、横軸は対数軸で時間としている。時間を t とするとき、フィッティングを行うと式 (5) および (6) となる。このことからインバータの遅延時間は t^n または $\log(t)$ に比例して増加することが分かる。

$$f_1(t) = 3.47t^{2.14 \times 10^{-4}} \quad (5)$$

$$f_2(t) = 7.45 \times 10^{-4} \log(t) + 3.47 \quad (6)$$

4.3 リングオシレータ

リングオシレータでは実験結果と比較するために文献 [8] を参考に示す。図 11 に用いる回路図を示す。

NOR を 5 段直列につないだ構造となっている。EN は電源から遠い方に接続されているため、図 6 のように BTI が発生する。EN が 1 のときはストレス状態である。シミュレーションで発振周波数を確認するまでは EN を 1 としてストレス状態にする。EN が 0 のときは 5 段のリングオシレータとなる。このときは発振状態となるので、EN=0 のときにリングオシレータの発振周波数を確認する。図 12 に文献 [8] の実験結果を示す。本稿と同じ回路は NBTI (RO1) である。図 13 にリングオシレータでの発振周波数をシミュレーションした結果を示す。グラフの縦軸は発振周波数ではなく、時間 $t = 0$ s のときの発振周波数から計算される劣化率である。シミュレーション結果のフィッティングは式 (7) および (8) である。しかし、図 12 の実験結果を見ると両対数軸において直線となっている。直線となるフィッティングは $0.0964t^{0.158}$ であるので、 t^n に比例する方が実験結果と一致する。発振周波数が t^n に比例して劣化することから、遅延時間も t^n に比例して劣化する。提案モデルにおける時定数分布などのパラメータ設定では、

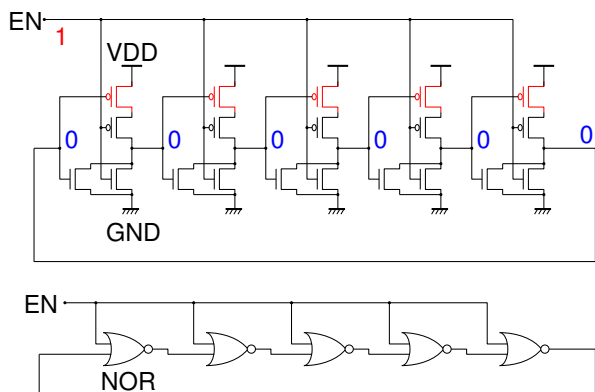


図 11: リングオシレータにおける発振周波数測定回路 (ストレス状態)

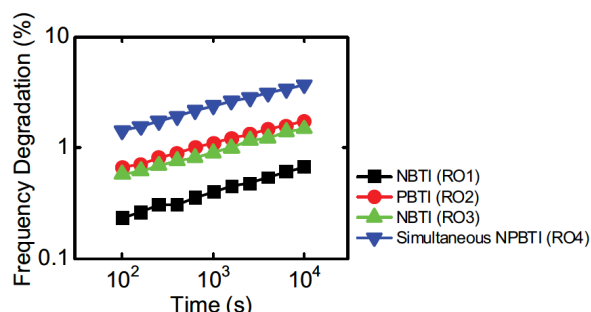


図 12: 文献 [8] における発振周波数の実験結果

発振周波数および遅延時間は t^n に比例して劣化することが分かる。

$$f_1(t) = 0.0964t^{0.158} \quad (7)$$

$$f_2(t) = 0.0485 \log(t) - 0.0388 \quad (8)$$

5 結論

トラップ・デトラップモデルの理論に基づいて BTI を予測できるモデルを提案した。既存の素子を VA で置き換えることにより、従来モデルの課題であったゲート・ソース間電圧によるストレス状態の判断を可能とした。従来モデルでは BTI が発生しない回路においてしきい値電圧が変動していたが、提案モデルでは BTI が発生せず正しい結果となっていた。提案モデルは実際のストレス波形に応じた BTI による劣化状態を予測することが可能であり、SPICE 上では素子をサブサーキットとして扱えるので応用がきくモデルである。提案モデルは種々の回路に取り入れてシミュレーションをすることが可能であり、実

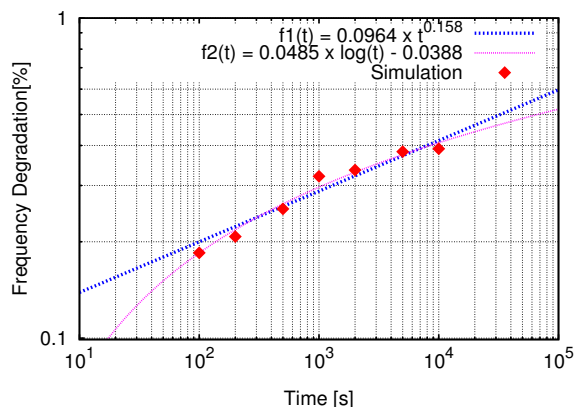


図 13: 提案モデルでの発振周波数シミュレーション結果

際にインバータとリングオシレータで行った。インバータにおける遅延時間の劣化シミュレーションでは、時間が経過してしきい値が増加することにより遅延時間が t^n に比例して増加することを確認した。リングオシレータにおける発振周波数の劣化シミュレーションでも t^n に比例して発振周波数が低下することを確認した。実験結果とも一致し、BTI のモデル化を正確に行えていることが分かった。

参考文献

- [1] H. Reisinger, "NBTI: Recent Findings and Controversial Topics", *IRPS*, (2011), Monday Tutorial Presentations.
- [2] C. Yilmaz, L. HeiB, C. Werner, and D. S. Landsiedel, "Modeling of NBTI-Recovery Effects in Analog CMOS Circuits", *IRPS*, (2013), pp. 2A.4.1-2A.4.4.
- [3] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, "A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO₂/HfO₂ Stacks with FUSI, TiN, Re Gates", *Symposium on VLSI Technology. Digest of Technical Papers.*, (2006), pp. 23-25.
- [4] B. Kaczer, S. Mahato, V.V. de Almeida Camargo, M. Toledano-Luque, P.J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, "Atomistic approach to variability of bias-temperature instability in circuit simulations", *IRPS*, (2011), pp. XT.3.1-XT.3.5.
- [5] H. J. Mattausch, "HiSIM 研究センター", <http://www.hisim.hiroshima-u.ac.jp/>, (2013年1月16日アクセス).
- [6] T. Grasser, "Stochastic charge trapping in oxides: From random telegraph noise to bias temperature instabilities", *Microelectronics Reliability* 52, (2012), pp. 39-70.
- [7] T. Grasser, H. Reisinger, P. J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability", *IRPS*, (2010), pp. 16-25.
- [8] B.P. Linder, Jae-Joon Kim, R. Rao, K. Jenkins, and A. Bansal, "Separating NBTI and PBTI effects on the degradation of Ring Oscillator frequency", *IRW*, (2011), pp. 1-6.