

Trap and De-trap モデルを用いた NBTI と PBTI による遅延劣化の DF 依存性の解析

京都工芸繊維大学 工芸科学研究科

藪内 美智太郎 小林 和淑

概要 MOS の経年劣化現象である BTI (Bias Temperature Instability) はこれまで PMOS で起こる NBTI (Negative BTI) のみが問題となっていたが、プロセスの微細化に伴う材料の変化により NMOS で起こる PBTI (Positive BTI) の影響も深刻化してきている。本研究では CMOS 論理回路における劣化モデルを用いた両 BTI による遅延劣化特性の解析を行った。両 BTI により回路の遅延は時間の経過と共に増加していくことが明らかになり、遅延劣化は NMOS と PMOS の活性化率に強い依存性を持つことが分かった。活性化率の条件が最悪の場合には遅延は 10 年間で 15% 増加する。

DF Characteristics Analysis of BTI-Induced Delay Degradation with Trap and De-trap Model

Yabuuchi Michitarou, Kazutoshi Kobayashi

Dept. of Design Engineering, Graduate School of Science and Technology, Kyoto Institute of Technology

Abstract Bias Temperature Instability (BTI) becomes one of the most important reliability issues for nanometer process devices. We focus on aging degradation by BTI because it is known as one of the dominant factors that determines life time of circuits. In this paper, we show circuit delay degradation characteristic of BTI using the circuit simulation. The delay heavily depends on duty factor condition and increase 15% after 10 years stress at the worst case.

1 序論

MOSFET の経年劣化現象の一つである BTI (Bias Temperature Instability) は回路寿命を決定する大きな要因であるとして盛んに研究が行われている [1]。NBTI (Negative BTI) は PMOS で起こる BTI であり、PMOS のゲートソース間に負電圧が印加されると時間の経過と共に閾値電圧が増加していく現象である。一方、NMOS でゲートソース間に正電圧が印加された時に起こる BTI は PBTI (Positive BTI) と呼ばれる。これらの BTI により回路の遅延が増加したり動作の安定性が低下したりする。BTI の特徴のひとつとして、ゲートのバイアスが取り除かれたときに閾値電圧の劣化が回復するということが挙げられる。劣化している状態をストレス状態、回復している状態をリラックス状態と呼ぶ。PBTI は 40nm 以降の high-k メタルゲートプロセスの場合に顕在化するが、NBTI は 65nm プロセスでも影響が現れる。本稿では 40nm プロセス以降で NMOS と PMOS の両方に BTI が起こる場合の回路への影響についての議論を行う。

BTI による閾値電圧の増加は長期間に渡る劣化予測をすることが必要であるが、その閾値電圧変動量のモデルについては確立された手法がないという現状がある。短期間の劣化測定から長期間の劣化予測を行う必要があるため、精度のよい測定が求められる。BTI は回復現象によって測定遅延時間における閾値電圧変動が起きてしまうため測定が困難とされており、これまでに様々な測定手法が提案されている [2-4]。本稿では近年提案されている BTI の発生原理である Trap and De-trap Model [5] [6] に基づい

た閾値電圧劣化モデルを用いた解析を行う。基本的な CMOS 論理回路であるインバータにおける BTI による劣化の影響を解析することにより、設計段階で劣化を考慮した動作マージンを適切に設定可能となる [7]。

従来の BTI 劣化解析では、閾値電圧変動量のみをモデル化して解析を行うという手法が一般的であった。BTI による MOSFET のパラメータの変化は閾値電圧のみではなく相互コンダクタンスにも及ぶとの報告がある [8]。そこで本稿では相互コンダクタンスへの影響を考慮した解析手法についても検討した。

本稿の構成を次に述べる。第 2 節では Trap and De-trap Model を用いた BTI による閾値電圧変動量に関しての説明と実際の計算方法、回路解析手法について述べる。第 3 節では第 2 節で説明した BTI 閾値電圧劣化モデルを用いた遅延解析の結果を述べる。第 4 節では相互コンダクタンスを考慮した解析手法についての検討を行う。第 5 節で結論を述べる。

2 Trap and De-trap Model を 用いた BTI 劣化解析手法の検討

本節では BTI の発生原理について説明し、それに基づいた閾値電圧変動量の算出方法と計算結果を用いた回路解析手法について述べる。

2.1 Trap and De-trap Model における BTI の発生原理

BTI の発生原理が RTN (Random Telegraph Noise) と同様に MOSFET のゲート酸化膜中の欠陥であるとする説が提案されている [9]。RTN とは閾値電圧が動的かつ離散的にばらつく現象である。ゲート酸化膜にある複数の欠陥はそれぞれに異なる特性を持っており、時間の経過と共にキャリアを捕獲、放出する。キャリアが捕獲されている時に閾値電圧は高い状態に、放出されている時に低い状態にあり、それぞれの状態の平均持続時間を放出時間 (Emission Time: τ_e)、捕獲時間 (Capture Time: τ_c) という。これらは 10^{-9} s から 10^9 s 程度の広い範囲に対数等分布しているとされる [10]。欠陥によってはキャリアを一度捕獲したら半永久的に捕獲した状態となり、閾値電圧に対して恒常的な影響を及ぼすものもある。これらの時定数はゲート電圧依存性を持ち、ゲートにストレス電圧が印加された場合に τ_e は長くなり、 τ_c は短くなることが多いとされる。そのため、閾値電圧はストレス状態においては高くなりやすく、リラククス状態においては低くなりやすいということが出来るので、BTI の基本的な特性と一致する。時定数には温度依存性もあるが、本稿では簡単化のため考えない。

ある一つの欠陥にキャリアが捕獲されたことで生じる閾値電圧の変動量 (μ) はゲート面積に反比例し、指数分布に従う。時定数 τ_e , τ_c と μ の関係については、有無を含めて現在も議論が行われている。本稿ではこのような発生原理とそれに基づいた閾値電圧変動量のモデルを Trap and De-trap Model と呼ぶこととする。

2.2 Trap and De-trap Model を用いた BTI 閾値電圧変動量の算出

Trap and De-trap Model では、MOSFET のゲート酸化膜にある欠陥の特性及び状態によって閾値電圧の変動量が決まる。ある閾値電圧 (V_{th}) を持つ MOSFET に N 個の欠陥がある場合には、閾値電圧の変動量 (ΔV_{th}) は以下の式 (1) によって求められる。

$$\Delta V_{th}(t) = \sum_{j=1}^N k_j(t) \cdot \mu_j \quad (1)$$

ここで t は時間を表し、 j は欠陥のインデックスであり 1 から N の値をとる。欠陥の状態 (k) は捕獲状態で 1、放出状態で 0 である。欠陥の状態 (k) は各欠陥の捕獲確率 (P_C) によって決定され、長期間の NBTI

劣化における P_C は式 (2) によって求められる [11]。

$$P_C(t) = \frac{\tau_e^*}{\tau_c^* + \tau_e^*} \left[1 - \exp \left\{ - \left(\frac{1}{\tau_e^*} + \frac{1}{\tau_c^*} \right) t \right\} \right] \quad (2)$$

$$\frac{1}{\tau_c^*} = \frac{DF}{\tau_{ch}} + \frac{1-DF}{\tau_{cl}} \quad (3)$$

$$\frac{1}{\tau_e^*} = \frac{DF}{\tau_{eh}} + \frac{1-DF}{\tau_{el}} \quad (4)$$

ここで DF , τ_e^* , τ_c^* はそれぞれデューティファクタ、実効放出時間、実効捕獲時間である。ゲート入力信号の周波数 f , 1 周期中の信号が High の時間を t_H とした時 $DF = f \times t_H$ となり、ゲート電圧が DC の場合には $DF = 1(100\%)$ である。ゲート電圧が High の時の τ_e , τ_c をそれぞれ τ_{eh} , τ_{ch} 、ゲート電圧が Low の時の τ_e , τ_c をそれぞれ τ_{el} , τ_{cl} としている。各時定数は τ_{el} は 10^{-9} s から 10^9 s に対数等分布、 τ_{ch} , τ_{eh} , τ_{cl} は τ_{el} と相関を持つと仮定した [10,12,13]。式 (2) は近似式であるが、時定数が $1/f$ より十分大きい時にはよい近似となる。

以下に具体的な算出方法について述べる。

1. 時間 $t = 0$ における閾値電圧 V_{th} 、欠陥数 N の決定
2. 各欠陥の特性 μ , τ_{eh} , τ_{ch} , τ_{el} , τ_{cl} の決定
3. 時間 t における捕獲確率 P_C の計算と各欠陥の状態 k の決定
4. 時間 t における閾値電圧変動量 ΔV_{th} の決定

以上の手順をフローチャートとして、図 1 にもまとめた。ただし本稿では t を最大 10 年 (3.1536×10^8 s) としており、時間の刻み幅 t_s は 1s から 10s では 1s 刻み、10s から 100s では 10s 刻みに対数的に増加させ、 1×10^8 s の次は 3.1536×10^8 s となるように設定した。欠陥の状態 (k) は確率分布に従って決定されるため、図 1 中の $\text{rand} < P_C$? では各欠陥毎に乱数 (0 から 1) と P_C を比較することで k を決めるという処理を行っている。欠陥の各特性に関しても同様に確率分布と乱数を用いて決定した。

条件として $N = 800$, $V_{th} = 500$ mV, $DF = 50\%$ を設定した場合の閾値電圧変動量の計算結果を図 2 に示す。横軸は対数目盛で劣化時間となっており、縦軸は閾値電圧の変動量となっている。ここでは同条件での計算を 10 回行っているが、計算毎に結果が大きく変わっていることが確認できる。同様の条件で 100 回試行した結果に対する相加平均を図 3 に示しており、対数関数によるフィッティング結果も併せて示している。閾値電圧変動量の平均値は 10^8 s 近辺で飽和傾向を示しており、この領域においては対数関数からずれているといえる。このような飽和傾向は

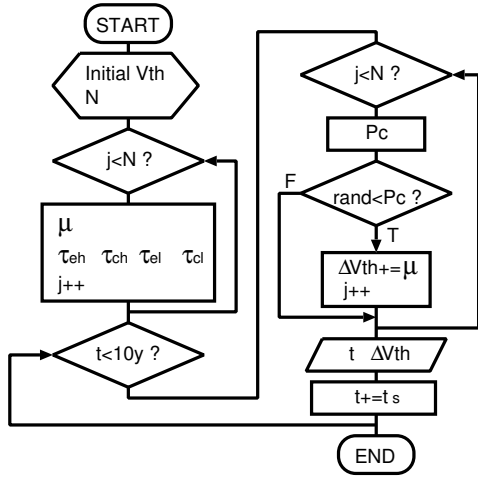


図 1: Trap and De-trap Model を用いた閾値電圧変動量の計算フローチャート。

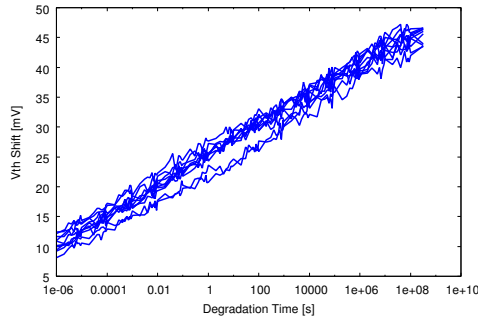


図 2: 条件 $N = 800$, $V_{th} = 500\text{mV}$, $DF = 50\%$ とした場合の閾値電圧変動量の計算結果 (10 回試行)。

τ_{el} が最大 10^9s で分布していて、各時定数の最大値が 10^7s から 10^{11}s になっていることに起因すると考えられる。

2.3 BTI 劣化を考慮した回路解析手法

BTI 劣化を考慮した回路解析を行うためには、BTI による閾値電圧変動量を含んだ BTI-Aware Netlist が必要となる。ここでは BTI-Aware Netlist を用いた回路シミュレータによる遅延解析手法について説明する。シミュレーションの対象となる回路の Netlist に含まれる各 MOSFET について、それぞれ時間 t に対応した閾値電圧変動量の予測値を与えることで、各 MOSFET の劣化を再現することが出来る。閾値電圧変動量を算出する BTI Model は、計算のために MOSFET のデバイスパラメータとシミュレーションの条件を要する。従って、図 4 のように Netlist と BTI Model から BTI-Aware Netlist を作成し、これ

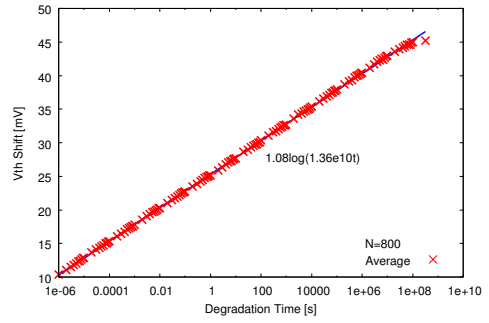


図 3: 条件 $N = 800$, $V_{th} = 500\text{mV}$, $DF = 50\%$ とした場合の閾値電圧変動量の計算結果 (100 回の平均とフィッティング関数 $\Delta V_{th} = 1.08 \log(1.36 \times 10^{10}t)$)。

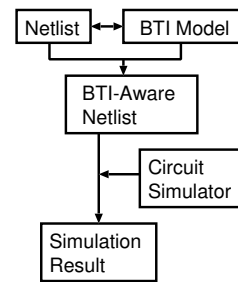


図 4: BTI 劣化を考慮した回路解析手法。

に対してシミュレーションを行うことで解析結果を得る。

HSPICE 向けの BSIM4 を用いた具体的な BTI-Aware Netlist の記述例を図 5 に示す。BSIM4 ではパラメータ DELVTO を設定することで個々の MOSFET の閾値電圧のパラメータ V_{th0} を変更可能であり、その素子の閾値電圧は設定した値の分シフトする [14]。この例では単一の NMOS, PMOS それぞれに dv_{thn} , dv_{thp} の値を設定している。前述の通り劣化時間 t 毎に BTI-Aware Netlist が必要となるため、例では t_1 , t_2 , t_3 の 3 つを用意している。

2.4 シミュレーション条件

図 6 のような CMOS インバータにおける BTI による遅延劣化解析を行った。シミュレーション条件を下記に示す。シミュレーションにおいては 1ns で立ち上がり 1ns で立ち下がる矩形パルスをもつ 2 段の入力インバータを介して入力し、出力ノードにはファンアウト 4 のインバータを接続した。閾値電圧の劣化モデルに関しては前述の Trap and De-trap Model を用いた。

劣化期間において入力が Low の間は PMOS が NBTI により劣化し、High の間は NMOS が PBTI に

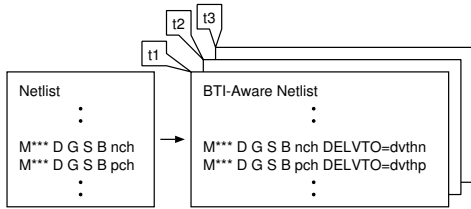


図 5: BTI-Aware Netlist の記述例.

より劣化する。そのため CMOS 回路における PMOS, NMOS それぞれの DF である DF_p と DF_n の関係は次の式 (5) によって表すことができる。

$$DF_p = 1 - DF_n \quad (5)$$

解析は $DF_p/DF_n = 0.0/1.0$ から $DF_p/DF_n = 1.0/0.0$ の条件で行った。また NBTI と PBTI による劣化率は等しいと見積もった。

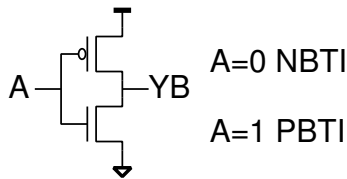


図 6: インバータにおける NBTI と PBTI.

3 BTI による遅延劣化解析

本節ではインバータにおける BTI 遅延劣化解析の結果を示す。

3.1 インバータにおける BTI 遅延解析

図 7 と図 8 にインバータにおいて NBTI と PBTI が起こった際の遅延劣化を解析した結果を示す。それぞれ横軸が劣化期間、縦軸が遅延の劣化率である。この結果から $DF_p = 1.0$ もしくは $DF_n = 1.0$ の条件における劣化率の増加が最大となり、立ち上がり遅延時間 (T_{dr}) もしくは立ち下がり遅延時間 (T_{df}) は 10 年で 15% 増加することが分かる。一方で $DF_p = 0.0$ や $DF_n = 0.0$ の場合には T_{dr} もしくは T_{df} の片方における影響は非常に小さくなる。

遅延時間 T_{dr} 及び T_{df} は BTI 劣化によって時間の経過と共に増加していく。これは初期状態の V_{th} よりも V_{th} が高くなることで MOSFET が ON 状態になりにくくなるためである。NBTI の影響のみが起きる条件 ($DF_p/DF_n = 1.0/0.0$) では T_{dr} は増加し、

T_{df} はわずかに減少する。この結果は PMOS における NBTI 劣化が T_{dr} に対して大きな影響を及ぼすが、 T_{df} にはほとんど影響しないことを示している。これは PMOS における V_{th} の劣化が T_{dr} のみに関係しているためである。PBTI の影響のみが起きる条件 $DF_p/DF_n = 0.0/1.0$ でも逆のことが同様に説明できる。

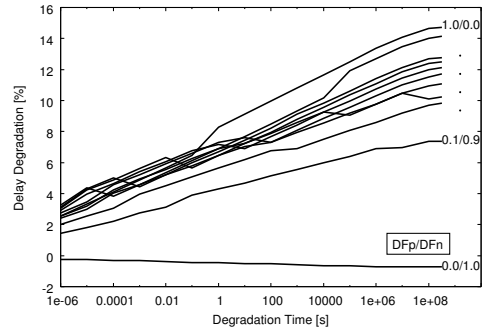


図 7: インバータにおける BTI による立ち上がり遅延時間の劣化.

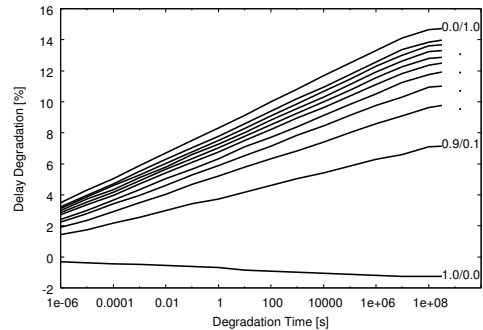


図 8: インバータにおける BTI による立ち下がり遅延時間の劣化.

3.2 BTI 遅延劣化の DF 特性

図 9 に BTI 遅延劣化の DF 特性を示す。横軸は DF であり、縦軸は遅延の劣化率である。劣化期間 1s と 10 年の場合における結果を示している。この結果から DF_p が増加すると T_{dr} の劣化率が増加し、 DF_n が増加すると T_{df} の劣化率が増加することが分かる。つまり $DF_p \geq 0.5$ の領域では NBTI による影響が支配的であり、 $DF_n \geq 0.5$ の領域では PBTI による影響が支配的である。これらは前節と同様に説明可能である。

図 10 に T_{dr} と T_{df} を平均した遅延時間を示す。横軸は DF であり、縦軸は遅延時間である。回路が NBTI

と PBTI の両方の影響を受けている領域においては遅延の平均値はほぼ一定となることが分かる。例えば 10 年経過時点での遅延時間は 17.4ps から 17.6ps の範囲に収まっている。NBTI のみが影響する条件や PBTI のみが影響する条件 ($DF_p/DF_n = 0.0/1.0$ や $1.0/0.0$) ではその他の条件 ($0.1/0.9 < DF_p/DF_n < 0.9/0.1$) よりも平均遅延時間が小さくなることが明らかになった。

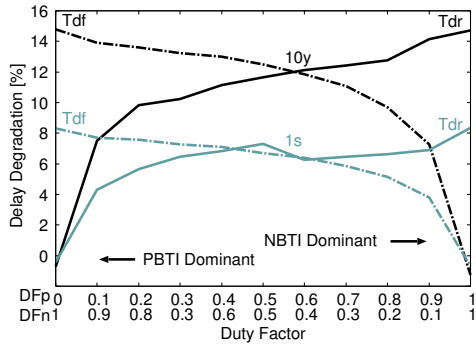


図 9: インバータにおける BTI による遅延劣化の DF 特性.

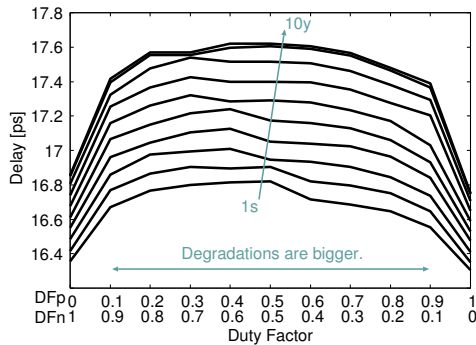


図 10: インバータにおける BTI による平均遅延時間の DF 特性.

4 相互コンダクタンスを考慮した BTI 劣化解析手法の検討

本節では MOSFET における BTI による相互コンダクタンスの劣化を考慮した解析手法について検討する。

4.1 BTI による相互コンダクタンスの劣化

文献 [8] では 45nm high-k metal gate プロセスによる MOSFET の BTI による劣化を測定し、従来の

high-k プロセスと最適化した high-k プロセスの比較を行っている。前者では PMOS と NMOS の両方で閾値電圧の増加に対応して相互コンダクタンス g_m も増加していくが、後者では NMOS の g_m は増加しないという結果が示されている。これは PMOS と NMOS の閾値電圧が劣化するメカニズムの違いによるものである。PMOS では境界面に、NMOS では境界面から離れた部分にそれぞれ欠陥が生成されるためである。これにより NMOS においては g_m への影響はない。このようにプロセスの良し悪しや違いによって NMOS の PBTI の様子は大きく違っていることが報告されている。

今後の BTI 劣化解析においては、劣化時間に応じて PMOS の g_m を変化させ、NMOS の g_m を一定にするということを考慮するべきである。

4.2 相互コンダクタンスの変更方法

BTI 劣化解析のための回路シミュレーションにおいて g_m の劣化を再現するために、HSPICE でシミュレーションする際に MOSFET の g_m を変更する手法を検討する。本稿では HSPICE において BSIM4 MOS Model を用いている。BSIM4 では g_m を直接変更するパラメータは存在しない。変更可能なパラメータとして移動度があるので、移動度のパラメータ MULU0 を変えることで擬似的に g_m を変更する手法を考える。移動度 μ と g_m の関係は簡単なモデルにおいては式 (6) の通りなので、BSIM4 でもこれら 2 変数は比例関係であると予想される。

$$g_m = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) \quad (6)$$

実際に回路解析を行うことで、移動度のパラメータ MULU0 を変更した際の g_m の変化について調べる。解析する回路は 65nm プロセスの単体 PMOS トランジスタとし、ゲート、ドレインは $V_{ss} = 0V$ 、ソース、ボディは $V_{dd} = 1.2V$ に接続した状態で解析を行う。結果を図 11 に示す。横軸は MULU0 として設定した値であり、縦軸は g_m を初期状態の $g_m (g_{m0})$ で除した商である。この図から g_m は MULU0 に対して線形に変化しないことが明らかになった。これは前節で述べた式 (6) と BSIM4 のモデルが異なっているためと考えられる。今後は MULU0 により g_m を変更した回路解析も行っていく予定である。

5 結論

本稿では NBTI と PBTI の両方を考慮したインバータにおける遅延の劣化解析を行った。回路の活性化率が 1 である場合には立ち上がり遅延時間及び立ち下がり遅延時間は 10 年で 15%劣化することが明らか

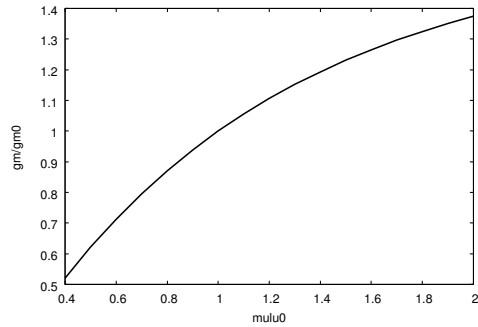


図 11: 単体 PMOS トランジスタにおいてパラメータ Mulu0 を変更した際の g_m の変化, 縦軸は g_m を初期状態の g_m で除した商

になった。ストレス電圧が Low である時間の割合が大きいほど NBTI による影響が支配的になり, High である時間の割合が大きいほど PBTI の影響が支配的になる。平均遅延時間は NBTI もしくは PBTI のみが影響する条件では小さくなり, その他の両方の BTI が影響する条件では一定となった。回路の電源が入っている限り BTI による劣化を避けることは出来ないが, 動作条件を考慮することで影響を小さく抑えることは可能であると考えられる。

謝辞

本研究は Synopsys, Inc, Cadence Design Systems, STARC, e-Shuttle, Inc, Fujitsu Ltd. と提携する東京大学 VLSI Design and Education Center (VDEC) の協力により行った。

参考文献

- [1] W. Wang, S. Yang, S. Bhardwaj, R. Vattikonda, S. Vrudhula, F. Liu, and Y. Cao, "The Impact of NBTI on the Performance of Combinational and Sequential Circuits", *44th ACM/IEEE Design Automation Conference.*, (2007), pp. 364–369.
- [2] B. Kaczer, V. Arkhipov, R. Degraeve, N. Collaert, G. Groeseneken, and M. Goodwin, "Disorder-controlled-kinetics model for negative bias temperature instability and its experimental verification", *43rd IEEE International Reliability Physics Symposium.*, (2005), pp. 381–387.
- [3] M. Denais, C. Parthasarathy, G. Ribes, Y. Rey-Tauriac, N. Revil, A. Bravaix, V. Huard, and F. Perrier, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOS-FET's", *IEEE International Electron Devices Meeting, Technical Digest.*, (2004), pp. 109–112.
- [4] H. Reisinger, O. Blank, W. Heinrigs, A. Muhlhoff, W. Gustin, and C. Schlunder, "Analysis of NBTI Degradation- and Recovery-Behavior Based on Ultra Fast VT-Measurements", *44th IEEE International Reliability Physics Symposium.*, (2006), pp. 448–453.
- [5] B. Kaczer, S. Mahato, V. Valduga de Almeida Camargo, M. Toledano-Luque, Ph. J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, "Atomistic approach to variability of bias-temperature instability in circuit simulation", *IEEE International Reliability Physics Symposium, 2011.*, (2011), pp. XT.3.1–XT.3.5.
- [6] 篠内美智太郎, 小林和淑, "FPGA 配線構造における RTN モデルを用いた NBTI 遅延解析手法の検討", DA シンポジウム 2011, (2011), pp. 189–194.
- [7] Michitarou Yabuuchi and Kobayashi Kazutoshi, "Circuit Characteristic Analysis Considering NBTI and PBTI-Induced Delay Degradation", *2012 International Meeting for Future of Electron Devices, Kansai (IMFEDK2011)*, (2012), pp. 72–73.
- [8] S. Pae, M. Agostinelli, M. Brazier, R. Chau, G. Dewey, T. Ghani, M. Hattendorf, J. Hicks, J. Kavalieros, K. Kuhn, M. Kuhn, J. Maiz, M. Metz, K. Mistry, C. Prasad, S. Ramey, A. Roskowski, J. Sandford, C. Thomas, J. Thomas, C. Wiegand, and J. Wiedemer, "BTI reliability of 45 nm high-K + metal-gate process technology", *IEEE International Reliability Physics Symposium, 2008. IRPS 2008.*, (2008), pp. 352–357.
- [9] B. Kaczer, T. Grasser, J. Martin-Martinez, E. Simoen, M. Aoulaiche, P.J. Roussel, and G. Groeseneken, "NBTI from the perspective of defect states with widely distributed time scales", *IEEE International Reliability Physics Symposium, 2009.*, (2009), pp. 55–60.
- [10] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, "The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress", *IEEE International Reliability Physics Symposium, 2010.*, (2010), pp. 7–15.
- [11] M. Toledano-Luque, B. Kaczer, Ph.J. Roussel, T. Grasser, G.I. Wirth, J. Franco, C. Vrancken, N. Horiguchi, and G. Groeseneken, "Response of a single trap to AC negative Bias Temperature stress", *IEEE International Reliability Physics Symposium, 2011.*, (2011), pp. 4A.2.1–4A.2.8.
- [12] T. Grasser, H. Reisinger, P.-J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability", *IEEE International Reliability Physics Symposium, 2010.*, (2010), pp. 16–25.
- [13] H. Miki, M. Yamaoka, N. Tega, Z. Ren, M. Kobayashi, C. P. D'Emis, Y. Zhu, D. J. Frank, M. A. Guillorn, D.-G. Park, W. Haensch, and K. Torii, "Understanding short-term BTI behavior through comprehensive observation of gate-voltage dependence of RTN in highly scaled high- / metal-gate pFETs", *2011 Symposium on VLSI Tech. Dig. of Technical Papers*, (2011), pp. 148–149.
- [14] X. Xi, M. Dunga, J. He, W. Liu, K.M. Cao, X. Jin, J.J. Ou, M. Chan, A.M. Niknejad, and C. Hu, "BSIM4. 3.0 MOSFET Model User's Manual", *University of California, Berkeley*, (2003).