

NBTI・RTN が論理回路および SRAM の信頼性に与える影響について

松本 高士¹ 小林 和淑^{2,3} 小野寺 秀俊^{1,3}

¹ 京都大学大学院 情報学研究科 通信情報システム専攻 〒 606-8501 京都市左京区吉田本町

² 京都工芸繊維大学大学院 工学科学研究科 電子システム工学専攻 〒 606-8585 京都市左京区松ヶ崎橋上町

³ 科学技術振興機構 (JST), CREST

Email: tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

近年の LSI 素子の微細化により、NBTI および、RTN などのゲート絶縁膜の信頼性が回路の信頼性に与える影響がますます深刻になってきた。本研究では NBTI・RTN が回路の信頼性に与える影響を 65nm~40nm CMOS テクノロジーにおいて試作した回路によって実測した結果に基づいて報告する。一例として、微細なサイズのインバータで構成される組合せ回路遅延を 4152 個測定したときの RTN による遅延ゆらぎ分布を明らかにした。さらにこのインバータを構成するトランジスタのサイズを僅かに大きくしたときの遅延ゆらぎ分布を評価し、トランジスタサイズを調節することによる大きな RTN 低減効果を確認した。また、EM 法によって RTN による離散的な遅延ゆらぎ状態の推定を行なった。さらに、SRAM を構成する Load PMOS トランジスタに対して NBTI による劣化・回復測定を行なった。

Impact of NBTI and RTN on CMOS Digital Circuit and SRAM

Takashi Matsumoto¹, Kazutoshi Kobayashi^{2,3} and Hidetoshi Onodera^{1,3}

¹ Department of Communications and Computer Engineering, Kyoto University, Kyoto, Japan

² Department of Electronics, Kyoto Institute of Technology, Kyoto, Japan

³ CREST, Japan Science and Technology Agency (JST), Japan

Email: tmatsumoto@vlsi.kuee.kyoto-u.ac.jp

Impact of NBTI and RTN on CMOS circuit reliability is investigated based on 65nm–40nm technology. RTN-induced combinational circuit delay fluctuation is measured and distribution over 4152 samples are obtained. The impact of transistor size on this distribution is also evaluated. Discrete states of the delay due to RTN is statistically estimated by the EM method. Finally, NBTI degradation and relaxation are measured for load pMOS transistor in 6-transistor SRAM cell.

1. はじめに

近年の LSI 素子の微細化により、信頼性の高いシステムを設計することはますます困難になってきている。トランジスタのリーク電流のような従来より問題となっている要因に加え、特性ゆらぎ、経年劣化、プロセスばらつきが信頼性の高い VLSI の実現を妨げる大きな要因として顕在化してきているためである [1]–[3]。ここで、プロセスばらつきは製品製造時に定まる特性であるのに対し、経年劣化は製品出荷後の使用状態を反映した時間に依存する特性である。トランジスタのゲート絶縁膜と基板（チャネル）の界面の物性は、トランジスタ特性に本質的な影響を与える。したがって、古くからゲート絶縁膜の膜質とトランジスタ特性の関連及びゲート絶縁膜の膜質改善手法が研究されており、製品製造時には極めて良好なゲート絶縁膜が実現されるようになっている。しかし近年はゲート絶縁膜を薄膜化したにもかかわらず、電源電圧をほぼ一定に保つように微細化がおこなわれてきたため、ゲート絶縁膜に加わる電界がますます増加している。その結果、特にこの 10 年の間にゲート絶縁膜に起因した様々な信頼性劣化の問題が顕在化するようになった。代表的な経年劣化モードとして、NBTI (Negative Bias Temperature Instability)、HCI (Hot Carrier Injection)、

TDDDB (Time Dependent Dielectric Breakdown) が知られている。さらに High-k 膜の実用化とともに PBTI (Positive Bias Temperature Instability) も問題となっている。経年劣化は 10 年程度の長期間にわたって特性が徐々に 10% 程度劣化する現象であるのに対し、特性ゆらぎ（ノイズ）は様々な時間スケールを伴って一時的に特性が変動することが特徴である。ゲート絶縁膜の信頼性に関連して、ランダム・テレグラフ・ノイズ (Random Telegraph Noise, RTN) として知られているトランジスタの特性ゆらぎは微細化、高集積化に伴って既に実回路における影響が現われはじめている。RTN 振幅は $1/(WL)$ に従って微細化とともに増大する [4]。 $1/\sqrt{(WL)}$ に従って増大するプロセスばらつきよりも RTN 振幅は急峻に微細化に伴って増大するため、将来のプロセスにおける RTN の影響をプロセスばらつきと比較して予測することは極めて重要である [5]。また、RTN は少なくとも $1\mu\text{s}$ から数時間にわたる極めて広範囲の時間スケールのゆらぎを伴った現象であることが実験によって明らかとなっている。RTN は CMOS イメージセンサ [6]、Flash メモリ [7]、SRAM [8] のような微細な素子が高密度に集積される回路に影響を与えることが報告されている。微細な素子を多数集積した場合に RTN の統計的な性質（極値統計）によって大きなゆらぎが発生し回路へ影響を与えるためである。例えば SRAM においては、NBTI

の影響と同程度になることが最近報告されている [9][10]。RTN のデジタル回路への影響については最近当研究室から初めて報告が行われた [11][12][13]。文献 [11][12] では、65nm CMOS テクノロジにおける遅延ゆらぎの実測が行われ、65nm CMOS ではプロセスばらつきが支配的であるものの、今後の微細化に伴って RTN のインパクトが増大することを予測した。以上の背景をもとに、本稿では RTN に起因したデジタル回路の遅延ゆらぎを実測した結果 (40nm CMOS) および、SRAM の Load PMOS Tr の NBTI による劣化・回復測定結果 (65nm CMOS) について報告する。

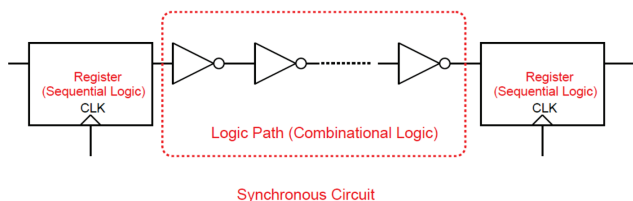


図 1: 同期回路構造。

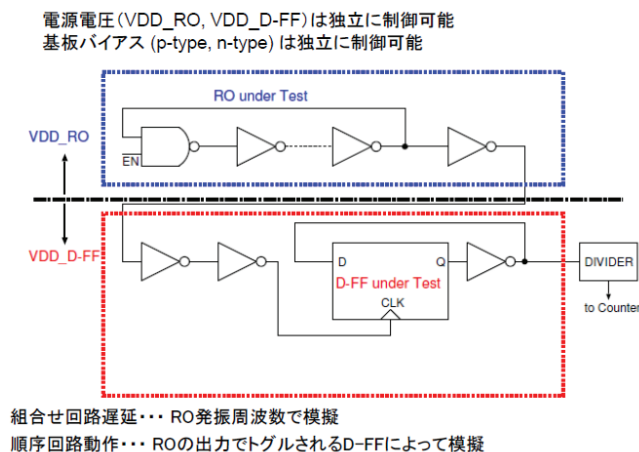


図 2: 同期回路動作を模擬する回路構造。

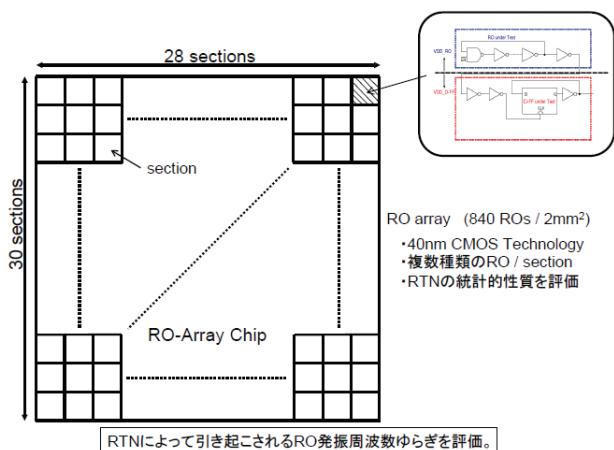


図 3: デジタル回路における RTN の影響を統計的に評価する回路構造。図 2 の構造を基本単位として 2 mm 角の領域に 840 個アレイ状に配置。

2. RTN によるデジタル回路遅延のゆらぎ

本節では、RTN に起因したデジタル回路の遅延ゆらぎの評価手法及び 40nm CMOS テクノロジにおける測定結果について述べる。図 1 は一般的な同期回路を示している。クロックに同期した 2 つのレジスタ間に論理回路があり、このパスをデータが伝播する。RTN が論理回路内で発生すると伝播遅延のゆらぎが発生する。一方、RTN がレジスタで発生するとデータの取り込み動作にゆらぎが発生する。この同期回路動作を模擬する手法を図 2 に示す。論理回路に対してはリング発振回路の発振ゆらぎを観測する。図 2 でリング発振回路の電源電圧を VDD_RO、D-FF の電源電圧を VDD_D-FF と表記するが、リング発振回路と分周回路はそれぞれ独立に電源を制御することができる。リング発振回路の RTN に起因した発振周波数ゆらぎを観測する場合は、 $VDD_RO \leq VDD_D-FF$ のように設定して分周回路の誤動作を抑制する。一方、レジスタ回路動作の模擬は図 2 に示すようにリング発振回路の出力を D-FF のクロック入力とする分周回路を構成し、その最大分周可能周波数 (Maximum Operating Frequency, MOF) を測定することによって評価する。さらに、RTN の統計的性質を評価するために図 2 の回路構造を基本単位として、これをアレイ状に配置した回路を作成した (図 3)。2 mm 角の領域に右上に斜線で示した基本単位 (セクションと呼ぶ) がアレイ状に 840 個配置されている。1 セクションには図 2 の RO や FF は複数パターン搭載されている。

図 4 は $VDD_RO=0.65V$ における RTN に起因した発振周波数ゆらぎを観測した結果である。リング発振回路を構成するインバータのトランジスタはデザインルールでの最小寸法としており、段数は 7 段である。発振周波数は 2 値変動しており、高周波状態に滞在する時間を τ_c 、低周波状態に滞在する時間を τ_e と定義する。この測定結果がトランジスタで発生する RTN とどのように関係するかを調べた。図 5 は図 4 のパワースペクトラム (PSD) を計算した結果である。PSD はローレンツ型 ($1/f^2$) に従うことがわかった。図 6 は時定数 τ_c 、 τ_e の分布をそれぞれ示している。 τ_c 、 τ_e は共に指数分布 ($e^{-t/\tau}$) に従うことがわかった。PSD がローレンツ型に従うことおよび、時定

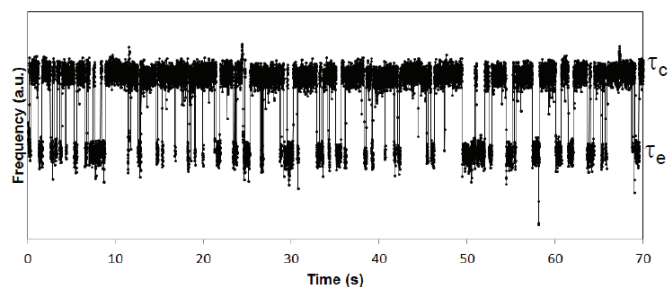


図 4: $VDD_RO=0.65V$ における RTN に起因した RO 発振周波数ゆらぎの実測結果。

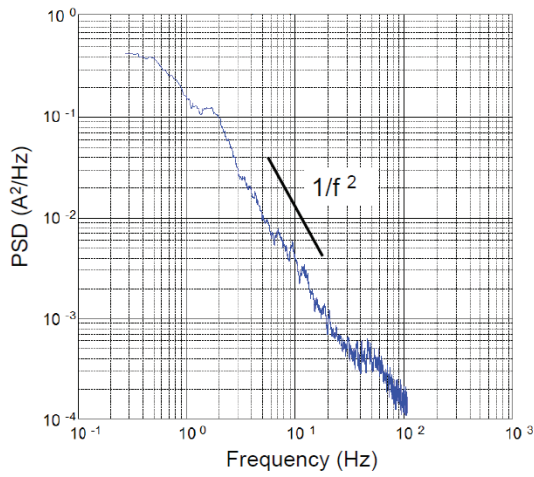


図 5: 図 4 のパワースペクトラム (PSD)。

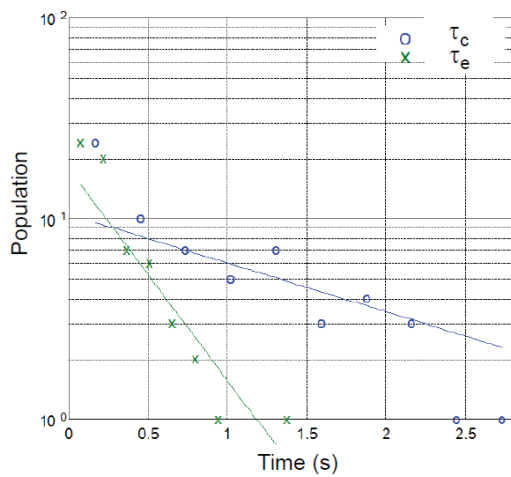


図 6: 図 4 の時定数 τ_c , τ_e の分布。

数が指数分布に従うことは単体 Tr において 1 つの絶縁膜欠陥によって RTN が発生する場合にも成り立つ結果である。したがって図 4 で観測された 2 値的な周波数ゆらぎは、リング発振回路を構成するいずれか 1 つの Tr に存在する 1 つの欠陥において発生した RTN が原因であると考えられる。

図 7 は $V_{DD_RO}=0.65V$ における RTN に起因した発振周波数ゆらぎを 4152 個のリング発振回路に対して観測した結果である。図 3 の回路を 5 セット測定することによって分布を取得した。周波数ゆらぎはゆらぎの大きい右側に向かって裾を引く分布であることがわかった。多数の Tr について RTN による V_{th} ゆらぎを測定した結果を報告した文献では、分布がゆらぎの大きい方向に向かって裾を引く分布であることが示されている [5]。また、その分布は Gumbel 分布または対数正規分布であると報告されており、図 7 において測定された回路遅延ゆらぎにおいて少数サンプルが大きな周波数ゆらぎを示す理由の 1 つと考えられる。図 7 の分布は Gumbel 分布で比較的良く近似できることがわかった。

図 8 は RO を構成するインバータのトランジスタサイズが発振周波数ゆらぎ分布に与える影響を調べた結果である。デザインルール最小サイズのインバータとロジックライブラリでの標準サイズのインバータについて比較をおこなった。RO の電源電圧は $0.75V$ として、1 テスト構造 840 個について測定を行なった。 F_{max} は 1 つの RO 周波数を測定している間に観測された最大周波数であり、2 値変動の場合は図 4 の τ_c の状態での周波数である。 ΔF は最大周波数と最小周波数の差であり、 $\Delta F/F_{max}$ は RO 発振周波数ゆらぎの大きさをあらわす指標である。図 8 からわかるとおり、トランジスタサイズを僅かに大きくするだけで、最悪値の $\Delta F/F_{max}$ を 50% 以上低減する効果があることが明らかとなった。微細トランジスタを低電圧で用いる回路においては、RTN によって回路特性が深刻な影響を受ける可能性がある。しかし、僅かでもトランジスタサイズを大きくすることで RTN の影響を大きく低減できることがわかった。

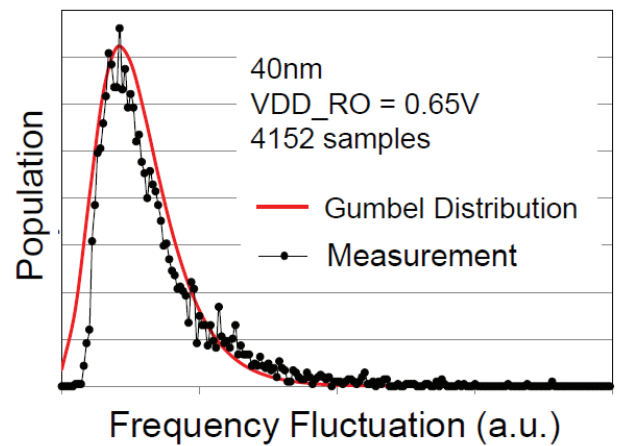


図 7: $V_{DD_RO}=0.65V$ における RO 発振周波数ゆらぎを 4152 個実測した結果。

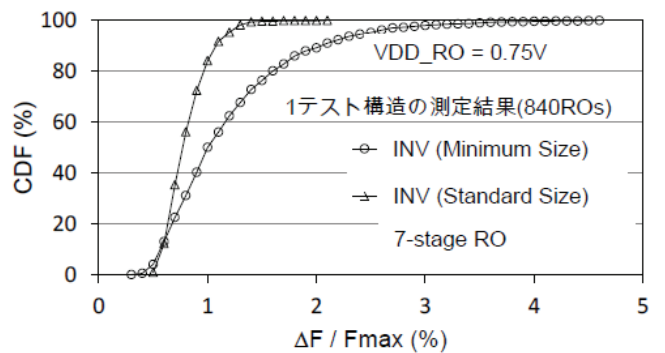


図 8: RO を構成するインバータのトランジスタサイズが発振周波数ゆらぎ分布に与える影響。

前述までの測定結果は最大周波数と最小周波数の差 (ΔF) によって RTN による周波数ゆらぎを評価した。以下では測定された周波数ゆらぎから離散的な状態数を自動抽出した結果について述べる。例として図 9、図 11 のような複数の離散状態をもつ測定データを用いる。図 9 は明らかに 2 値変動とみなせるデータであり、図 11 は複雑な変動を示すデータである。各状態毎に 1 つの正規分布を割り当て、それらを重ね合わせた混合正規分布として図 9、図 11 が表現されていると仮定する。この仮定のもとで図 9、図 11 のデータを尤も良く表現できる正規分布の個数を EM アルゴリズム [14][15] によって推定する。さらに、推定された正規分布の平均値が、求めたい離散状態の 1 つであると考ええる。混合正規分布の推定は最尤法によって計算し、繰り返し推定を行うことによって尤度関数が（少なくとも局所的に）最大となる点に収束する。図 10（左）は図 9 のデータからヒストグラムを生成した結果である。図 10（右）は得られたヒストグラムを EM 法によって混合正規分布の重ね合わせとして推定した結果である。2 値変動に対応する 2 つの正規分布を EM 法によって正しく抽出できたことを確認した。図 12（左）は図 11 のデータか

らヒストグラムを生成した結果である。図 12（右）は得られたヒストグラムを EM 法によって混合正規分布の重ね合わせとして推定した結果である。図 12（左）に存在する 5 つの特徴的なピークが EM 法によって良くあらわされることがわかった。本推定では予めある状態数を仮定して推定を行なったが、必要以上に状態数を増やすと正確な推定が妨げられる。そこで、図 7 のような数千個の RO の発振周波数の解析に妥当と考えられる状態数を仮定し、全チップにわたって同一の状態数を用いた自動推定を行なった。また、推定された各正規分布の平均値がある値より小さい場合は同一の状態とみなすことで測定結果に含まれる最小の状態数を推定することができる。EM 法の問題点として、初期値の選び方によって局所的な最適点に収束する場合があるため、状態数を過小評価することが挙げられる。実際、人手により抽出可能な明瞭な状態にもかかわらず EM 法では消失する場合が存在した。さらに、尤度関数を最大化するときに繰り返し推定を行うために計算時間が長くなる点も問題である。

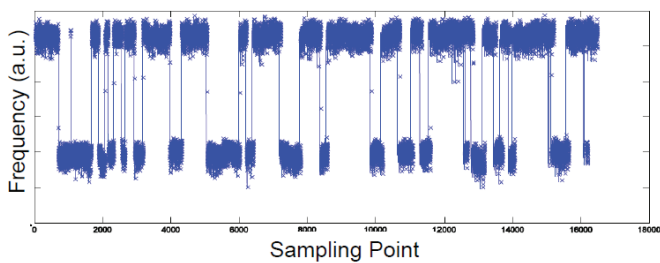


図 9: 2 つの離散状態をもつ周波数ゆらぎの測定結果。

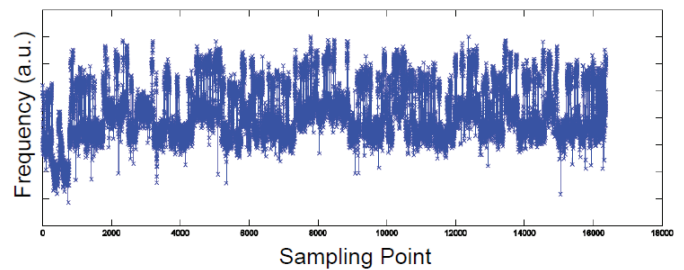


図 11: 複数の離散状態をもつ周波数ゆらぎの測定結果。

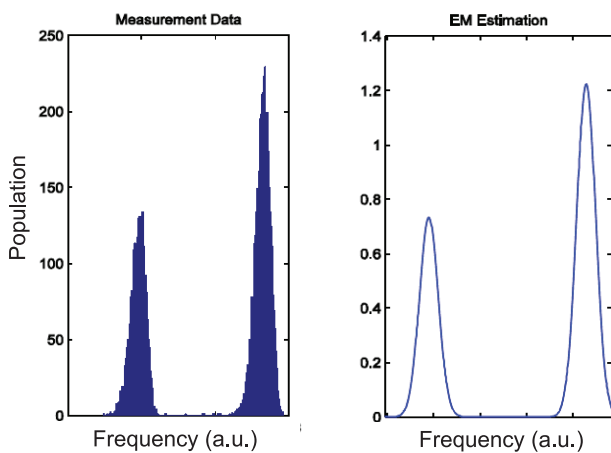


図 10:（左図）図 9 のデータのヒストグラム。（右図）EM 法によって混合正規分布の重ね合わせとして推定した結果。

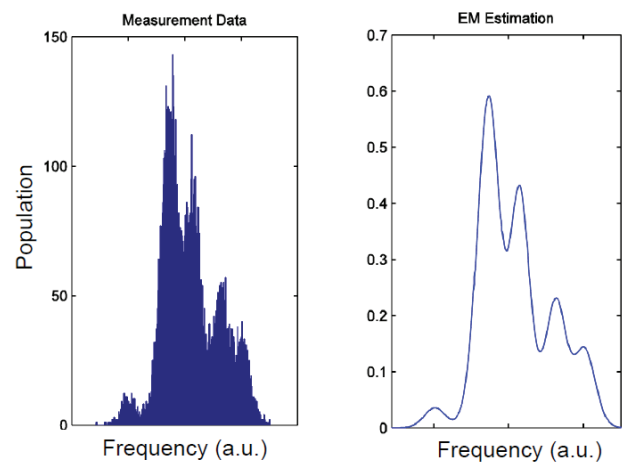


図 12:（左図）図 11 のデータのヒストグラム。（右図）EM 法によって混合正規分布の重ね合わせとして推定した結果。

3. SRAM における NBTI の影響

6 トランジスタセルによって構成される SRAM における NBTI の影響を調べるため、Load PMOS の NBTI による劣化・回復測定をおこなった。図 13 は同一チップ上の近接する Load PMOS 3 サンプルに対し 125°C において、同時に $V_{\text{gs}} = -2.2\text{V}$ のストレスを与えて NBTI による劣化を測定した結果である。 $V_{\text{ds}} = -0.1\text{V}$ とし、ドレイン電流の劣化を 500ms 毎にサンプルし、6000s 測定をおこなった。ストレス印加後 50ms 後のドレイン電流 I_{d0} によって規格化した結果である。微細なトランジスタのため、各サンプル毎に劣化の様子が異なり、ストレス時間のべきからはずれて劣化が進行することがわかった (t^n のように 1 つの n であらわすことができない)。測定データにみられるステップ状の電流変化は RTN が重畳した結果と考えられる。図 14 は図 13 の測定直後に 125°C において、 $V_{\text{gs}} = 0\text{V}$ として劣化を回復させた結果である。 $V_{\text{ds}} = -2.2\text{V}$ とし、オフ・リーク電流によって回復を測定した。各サンプルにおいて明瞭なステップ状の回復が観測された。ここで、オフ・リーク電流による回復測定を多数のトランジスタについて平均すると $\log t$ に従って回復が進行することが明らかとなっている [16][17]。また、Load PMOS の劣化により SRAM の Static Noise Margin (SNM) が減少し、SRAM の動作可能最低電圧 (V_{min}) が減少することが予想される。これを実際に観測するため、NBTI ストレスを印加可能な構造の SRAM を 65nm CMOS によって試作した (図 15)。現在 SRAM の基本動作を実測によって確認したところであり、今後測定 SRAM 回路レベルでの NBTI 劣化・回復の影響を評価する予定である。

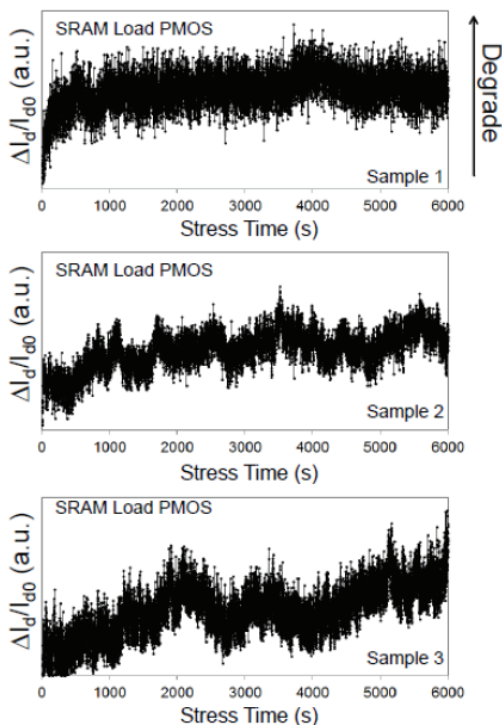


図 13: SRAM Load PMOS 3 サンプルに対し 125°C において、 $V_{\text{gs}} = -2.2\text{V}$ のストレスを与えて NBTI による劣化を測定した結果。

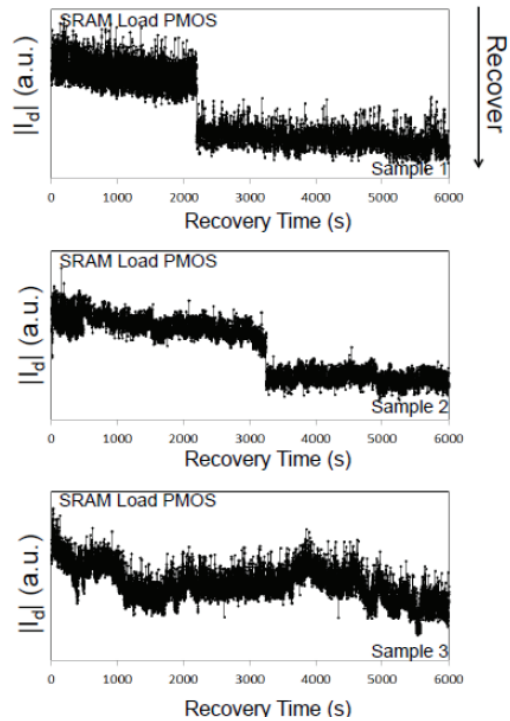


図 14: 図 13 の測定直後に 125°C において、 $V_{\text{gs}} = 0\text{V}$ として劣化を回復させた結果。

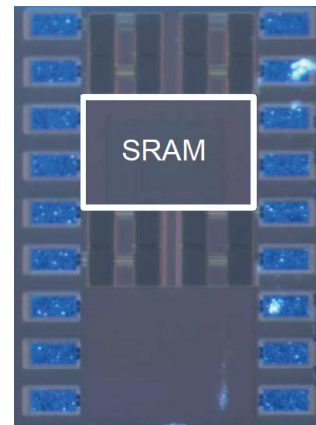


図 15: 65nm CMOS での NBTI 評価用 SRAM 試作回路のチップ写真。

4. まとめ

40nm CMOS テクノロジーにおいて試作した回路によって RTN に起因した組合せ回路の遅延ゆらぎの実測を行なった。デザインルールでの最小寸法のインバータで構成される 4152 個のリング発振回路を測定することで得られた組合せ回路の遅延ゆらぎの分布は Gumbel 分布で比較的良く近似できることがわかった。インバータを構成するトランジスタサイズを僅かに大きくするだけで、 $\Delta F/F_{\text{max}}$ を最悪値で 50% 以上低減する効果があることが明らかとなり、トランジスタサイズを調節することによる大きな RTN 低減効果を確認した。さらに測定されたリング発振周波数ゆらぎから EM 法によって離散的な状態数を統計的に自動抽出した。また、6 トランジスタセルによって構成される SRAM における NBTI の影響を調べるため、Load PMOS の NBTI による劣化・回復測定をおこない、離散的な劣化・回復がおこることを確認した。

謝辞

図3の回路設計に関して、北島和彦氏、西澤真一氏、藤本秀一氏、Islam A.K.M. Mahfuzul 氏、三木崇史氏に感謝致します。本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ実用化支援事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター、ルネサス エレクトロニクス株式会社、(株)イーシャトル、富士通株式会社の協力で行われたものである。

参考文献

- [1] S. Borkar, "Designing reliable systems from unreliable components: the challenges of transistor variability and degradation," *IEEE Micro*, vol.25, pp. 10-16, 2005.
- [2] M. Alam, "Reliability- and process-variation aware design of integrated circuits," *Microelectron. Reliab.*, vol.48, pp. 1114-1122, 2008.
- [3] H. Onodera, "Variability modeling and impact on design," *IEEE International Electron Devices Meeting (IEDM)*, paper29.5., 2008.
- [4] K. Takeuchi, T. Nagumo, S. Yokogawa, K. Imai and Y. Hayashi, "Single-Charge-Based Modeling of Transistor Characteristics Fluctuations Based on Statistical Measurement of RTN Amplitude," *IEEE Symposium on VLSI Technology*, pp. 54-55, 2009.
- [5] Tega, N., Miki, H., Zhibin Ren, D'Emic C.P., Yu Zhu, Frank, D.J., Guillorn, M.A., Dae-Gyu Park, Haensch, W. and Torii, K., "Impact of HK / MG stacks and future device scaling on RTN," *IEEE International Reliability Physics Symposium (IRPS)*, p. 6A.5.1-6A.5.6, 2011.
- [6] X. Wang, P. Rao, A. Mierop, A. Theuwissen, "Random Telegraph Signal in CMOS Image Sensor Pixels," *IEEE International Electron Devices Meeting (IEDM)*, p. 115, 2006.
- [7] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, O. Tsuchiya, "Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node," *IEEE J. Solid-State Circuits*, vol. 42, pp. 1362-1369, 2007.
- [8] M. Yamaoka, H. Miki, A. Bansal, S. Wu, D. Frank, E. Leobandung, K. Torii, "Evaluation Methodology for Random Telegraph Noise Effects in SRAM arrays," *IEEE International Electron Devices Meeting (IEDM)*, p. 745, 2011.
- [9] K. Takeuchi, T. Nagumo and T. Hase, "Comprehensive SRAM Design Methodology for RTN Reliability," *IEEE Symposium on VLSI Technology*, pp. 130-131, 2011.
- [10] K. Takeuchi, T. Nagumo, K. Takeda, A. Asayama, S. Yokogawa, K. Imai and Y. Hayashi, "Direct Observation of RTN-induced SRAM Failure by Accelerated Testing and Its Application to Product Reliability Assessment," *IEEE Symposium on VLSI Technology*, pp. 189-190, 2010.
- [11] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi and H. Onodera, "The Impact of RTN on Performance Fluctuation in CMOS Logic Circuits," *IEEE International Reliability Physics Symposium (IRPS)*, p. 710 - 713, 2011.
- [12] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi and H. Onodera, "Modeling of Random Telegraph Noise under Circuit Operation -Simulation and Measurement of RTN-induced delay fluctuation" *IEEE International Symposium on Quality Electronic Design (ISQED)*, p. 22 - 27, 2011.
- [13] S. Fujimoto, I. Mahfzul, T. Matsumoto, H. Onodera, "Inhomogeneous Ring Oscillator for WID Variability and RTN Characterization," *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, pp. 25-30, 2012.
- [14] A. Dempster, N. LAird, D. Rubin, "Maximum Likelihood from Incomplete Data via the EM Algorithm," *J. of the Royal Statistical Society. Series B (Methodological)*, vol. 39, No. 1, pp. 1-38, 1977.
- [15] 清水裕史、筒井弘、越智裕之、佐藤高史、「EM 法による MOS デバイス界面状態数の自動推定」電気情報通信学会エレクトロニクスソサイエティ大会, C-12-18, 2011.
- [16] T. Matsumoto, H. Makino, K. Kobayashi and H. Onodera, "A 65 nm Complementary Metal-Oxide-Semiconductor 400 ns Measurement Delay Negative-Bias-Temperature-Instability Recovery Sensor with Minimum Assist Circuit" *Japanese Journal of Applied Physics*, vol. 50, p. 04DE06, 2011.
- [17] T. Matsumoto, H. Makino, K. Kobayashi and H. Onodera, "Multi-core Large-Scale Integration Lifetime Extension by Negative Bias Temperature Instability Recovery-Based Self-Healing" *Japanese Journal of Applied Physics*, vol. 51, p. 04DE02, 2012.