

FPGA 配線構造における RTN モデルを用いた NBTI 遅延解析手法の検討

京都工芸繊維大学 工芸科学研究科 電子システム工学専攻
藪内 美智太郎 小林 和淑

概要 NBTI の発生原理は諸説提案されているが、最新の研究では MOSFET のゲート酸化膜にある欠陥がキャリアを捕捉、放出することによるチャネルでのキャリアの増減が原因であると報告されている。この説に基づいた閾値電圧劣化モデルを用いた回路遅延解析はまだあまり研究されていない。本稿では FPGA における最新のモデルを用いた遅延解析の手法を検討する。スイッチや配線を複数組み合わせた FPGA の配線構造で NBTI が起こると、時間の経過と共に遅延は増加していく。NBTI によって FPGA の配線構造における遅延時間は 10 年間で 6.73% 増加することがわかった。

Analytical Approach for NBTI-Induced Delay with RTN Model on FPGA Routing Architecture

Yabuuchi Michitarou, Kazutoshi Kobayashi

Dept. of Electronics, Graduate School of Science and Technology, Kyoto Institute of Technology

Abstract Recent study proposed that the origin of NBTI is carrier trapping and de-trapping activity by defects in the gate dioxide. The challenge is to analyze NBTI-induced circuit delay degradation by using the theory. We propose an analytical approach for aging degradations on FPGAs by NBTI, which causes threshold voltage shifts on PMOS transistors. We analyze the delay degradation characteristics of the routing switches and the routing structures on FPGAs. We evaluate that delay times in FPGA routing switches are increased. The delay time in an FPGA routing structure is degraded by % after 10 years due to the effect.

1 序論

PMOS の経年劣化現象である NBTI (Negative Bias Temperature Instability) が初めて報告されたのは 1967 年であるが、近年では NBTI は回路寿命を決定する大きな要因であるとして盛んに研究が行われている [1, 2]。NBTI は PMOS のゲートに負電圧が印加されると時間の経過と共に閾値電圧が増加していく現象であり、これにより回路の遅延が増加したり動作の安定性が低下する。NBTI の特徴のひとつとして、ゲートのバイアスが取り除かれたときに閾値電圧の劣化が回復するということが挙げられる。劣化している状態をストレス状態、回復している状態をリラックス状態と呼ぶ。NMOS で起こる PBTI (Positive Bias Temperature Instability) という現象も存在し、この現象ではゲートに正電圧を印加した時に NMOS の閾値電圧が増加していく。PBTI は 40nm 以降の high-k メタルゲートプロセスの場合に顕在化するが、65nm プロセスでは NBTI より影響が現れにくい。本稿で取り扱う回路は 65nm プロセスを想定しているので、PBTI の影響は考慮せずに議論を行う。

NBTI による閾値電圧の増加は長期間に渡る劣化予測をすることが必要であるが、その閾値電圧変動量のモデルについては確立された手法がないという現状がある。短期間の劣化測定から長期間の劣化予測を行う必要があるため、精度のよい測定が求められる。NBTI は回復現象によって測定遅延時間における閾値電圧変動が起きてしまうため測定が困難とされており、これまでに様々な測定手法が提案され

ている [3-5]。測定結果に基づいた NBTI の発生原理に関しても議論されており、従来では NBTI の発生原理は R-D Theory (Reaction-Diffusion Theory) によって説明されていた [6, 7]。この原理に基づいた閾値電圧変動量のモデルも提案されており、これまでの NBTI を考慮した遅延解析に広く使われていた [8]。このモデルではデューティ比依存性が上手く表せない等の問題があるため、本稿では近年提案されている新しい発生原理に基づいたモデルを用いる [9]。

FPGA (Field Programmable Gate Array) は最先端のプロセスによる生産をいち早く採用することで、ASIC (Application Specific Integrated Circuit) との性能差を縮めており、その使用領域は拡大傾向にある。FPGA には開発期間が短くて済む、開発コストが安い、設計が簡単といった特長があるが、積極的な微細化に伴う様々な問題の影響によりその信頼性設計は困難な状況にある。FPGA における NBTI やその他の経年劣化現象による影響及び補償手法は近年多数の報告があるが、上述の RTN モデルを考慮した解析についてはまだ研究の余地を多く残している [10-12]。本稿では FPGA の配線構造に注目して、最新の NBTI 閾値電圧変動モデルを用いた遅延劣化解析手法を検討する。

本稿の構成を次に述べる。第 2 節では従来の R-D モデルと新しい RTN モデルを用いた NBTI 閾値電圧変動量に関する説明と実際の計算方法、回路解析手法について述べる。第 3 節では第 2 節で説明した NBTI 閾値電圧劣化モデルを用いた FPGA 配線構造の遅延解析の結果を述べ、従来モデルによる解析結果との比較を行う。第 4 節で結論を述べる。

2 RTN モデルを用いた NBTI 閾値電圧変動量の算出

本節では NBTI の発生原理について説明し、それに基づいた閾値電圧変動量の算出方法と計算結果を用いた回路解析手法について述べる。

2.1 RTN モデルにおける NBTI の発生原理

近年、NBTI の発生原理が RTN (Random Telegraph Noise) と同様に MOSFET のゲート酸化膜中の欠陥であると推測する説が提案されている [13]。RTN とは閾値電圧が動的かつ離散的にばらつく現象である。ゲート酸化膜にある複数の欠陥はそれぞれに異なる特性を持っており、キャリアを捕獲、放出する。キャリアが捕獲されている時に閾値電圧は高い状態に、放出されている時に低い状態にあり、それぞれの状態の平均持続時間を放出時間 (Emission Time: τ_e)、捕獲時間 (Capture Time: τ_c) という。これらは 10^{-9} s から 10^9 s 程度の広い範囲に対数等分布しているとされる [14]。欠陥によってはキャリアを一度捕獲したら半永久的に捕獲した状態となり、閾値電圧に対して恒常的な影響を及ぼすものもある。これらの時定数はゲート電圧依存性を持ち、ゲートに負電圧が印加された場合に τ_e は長くなり、 τ_c は短くなることが多いとされる。そのため、閾値電圧はストレス状態においては高くなりやすく、リラククス状態においては低くなりやすいということが出来るので、NBTI の基本的な特性と一致する。時定数には温度依存性もあるが、本稿では簡単化のため考えない。

ある一つの欠陥にキャリアが捕獲されたことで生じる閾値電圧の変動量 (μ) はゲート面積に反比例し、指数分布に従う。時定数 τ_e, τ_c と μ の関係については、有無を含めて現在も議論が行われている。本稿ではこのような発生原理に基づいた閾値電圧変動量のモデルを RTN モデルと呼ぶこととする。

2.2 RTN モデルを用いた NBTI 閾値電圧変動量の算出

RTN モデルでは、MOSFET のゲート酸化膜にある欠陥の特性及び状態によって閾値電圧の変動量が決まる。ある閾値電圧 (V_{th}) を持つ MOSFET に N 個の欠陥がある場合には、閾値電圧の変動量 (ΔV_{th}) は以下の式 (1) によって求められる。

$$\Delta V_{th}(t) = \sum_{j=1}^N k_j(t) \cdot \mu_j \quad (1)$$

ここで t は時間を表し、 j は欠陥のインデックスであり 1 から N の値をとる。欠陥の状態 (k) は捕獲状態で 1、放出状態で 0 である。欠陥の状態 (k) は各欠陥の捕獲確率 (P_C) によって決定され、長期間の NBTI 劣化における P_C は式 (2) によって求められる [15]。

$$P_C(t) = \frac{\tau_e^*}{\tau_c^* + \tau_e^*} \left[1 - \exp \left\{ - \left(\frac{1}{\tau_e^*} + \frac{1}{\tau_c^*} \right) t \right\} \right] \quad (2)$$

$$\frac{1}{\tau_c^*} = \frac{DF}{\tau_{ch}} + \frac{1-DF}{\tau_{cl}} \quad (3)$$

$$\frac{1}{\tau_e^*} = \frac{DF}{\tau_{eh}} + \frac{1-DF}{\tau_{el}} \quad (4)$$

ここで DF 、 τ_e^* 、 τ_c^* はそれぞれデューティファクタ、実効放出時間、実効捕獲時間である。ゲート入力信号の周波数 f 、1 周期中の信号が High の時間を t_H とした時 $DF = f \times t_H$ となり、ゲート電圧が DC の場合には $DF = 1(100\%)$ である。ゲート電圧が High の時の τ_e, τ_c をそれぞれ τ_{eh}, τ_{ch} 、ゲート電圧が Low の時の τ_e, τ_c をそれぞれ τ_{el}, τ_{cl} としている。各時定数は τ_{el} は 10^{-9} s から 10^9 s に対数等分布、 $\tau_{ch} \simeq 0.01\tau_{el}$ 、 $\tau_{eh} \simeq 100\tau_{el}$ 、 $\tau_{cl} \simeq 100\tau_{el}$ と仮定した [14, 16]。式 (2) は近似式であるが、時定数が $1/f$ より十分大きい時にはよい近似となる。

以下に具体的な算出方法について述べる。

1. 時間 $t = 0$ における閾値電圧 V_{th} 、欠陥数 N の決定
2. 各欠陥の特性 $\mu, \tau_{eh}, \tau_{ch}, \tau_{el}, \tau_{cl}$ の決定
3. 時間 t における捕獲確率 P_C の計算と各欠陥の状態 k の決定
4. 時間 t における閾値電圧変動量 ΔV_{th} の決定

以上の手順をフローチャートとして、図 1 にもまとめた。ただし本稿では t を最大 10 年 (3.1536×10^8 s) としており、時間の刻み幅 t_s は 1s から 10s では 1s 刻み、10s から 100s では 10s 刻みというふうに増加させ、 1×10^8 の次は 3.1536×10^8 となるように設定した。欠陥の状態 (k) は確率分布に従って決定されるため、図 1 中の $\text{rand} < P_C ?$ では各欠陥毎に乱数 (0 から 1) と P_C を比較することで k を決めるという処理を行っている。欠陥の各特性に関しても同様に確率分布と乱数を用いて決定した。

条件として $N = 800$ 、 $V_{th} = 500\text{mV}$ 、 $DF = 50\%$ を設定した場合の閾値電圧変動量の計算結果を図 2 に示す。横軸は対数目盛で劣化時間となっており、縦軸は閾値電圧の変動量となっている。ここでは同条件での計算を 10 回行っているが、計算毎に結果が大きく変わっていることが確認できる。同様の条件で 100 回試行した結果に対する相加平均を図 3 に示し

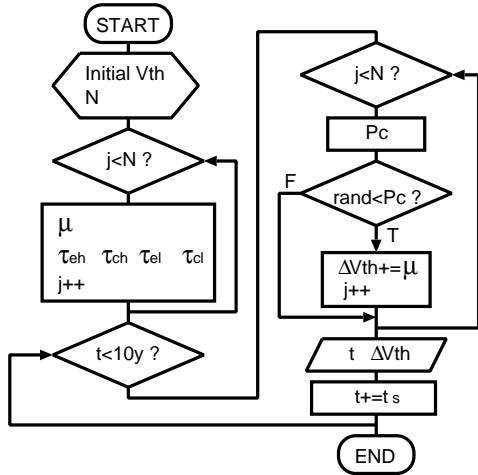


図 1: RTN モデルを用いた閾値電圧変動量の計算フローチャート。

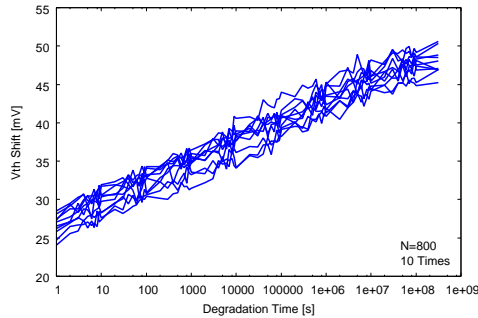


図 2: 条件 $N = 800$, $V_{th} = 500\text{mV}$, $DF = 50\%$ とした場合の閾値電圧変動量の計算結果 (10 回試行)。

ており、対数関数によるフィッティング結果も併せて示している。閾値電圧変動量の平均値は 10^8s 近辺で飽和傾向を示しており、この領域においては対数関数からずれているといえる。このような飽和傾向は τ_{el} が最大 10^9s で分布している、各時定数の最大値が 10^7s から 10^{11}s になっていることに起因すると考えられる。

2.3 R-D Theory に基づいた NBTI 閾値電圧劣化モデル

NBTI の発生原理に関して、これまでは R-D Theory による説明がなされることが主流であった [6, 7]。R-D Theory における NBTI の発生原理は次の通りである。PMOS のゲートに負電圧が印加されるとゲートから基板の向きの電界が発生し、基板-ゲート酸化膜 (Si-SiO_2) 境界面のシリコンと水素や窒素の結合が遊離する。この時に生成される結合していない電子

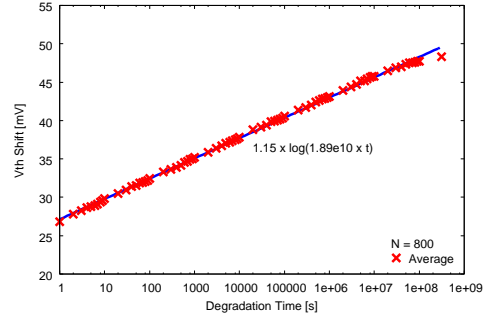


図 3: 条件 $N = 800$, $V_{th} = 500\text{mV}$, $DF = 50\%$ とした場合の閾値電圧変動量の計算結果 (100 回の平均とフィッティング関数 $\Delta V_{th} = 1.15 \log(1.89 \times 10^{10} t)$)。

対をインターフェーストラップと呼び、これがキャリアを捕獲することでチャネル電流が減少する。この現象に基づく PMOS の性能劣化が NBTI である。

R-D Theory に基づいた閾値電圧変動モデルは劣化期間中常にストレス状態である場合には式 (5)、ストレス状態とリラックス状態を繰り返す場合には式 (6) で与えられる [8]。

$$\Delta V_{th, \text{Static}} = A \left((1 + \delta) t_{ox} + \sqrt{Ct} \right)^{2n} \quad (5)$$

$$\Delta V_{th, \text{Dynamic}} = \left(\sqrt{\frac{K_v^2 \alpha T_{clk}}{1 - \beta_t^{1/2n}}} \right)^{2n} \quad (6)$$

ここで、 A 及び K_v は劣化係数であり、それぞれ電界依存性と温度依存性を持つ。時定数 n は H_s 拡散モデルでは $1/6$ となる。式 (5) において、 δ はフィッティングパラメータ、 t_{ox} は酸化膜の厚さ、 $C = T_o^{-1} \exp(-E_a/kT)$ は温度依存性を持つパラメータであり、 E_a は水素の活性化エネルギー、 k はボルツマン定数、 T_o は定数である。式 (6) において、 α はデューティサイクル、 T_{clk} はゲートに入力される信号の周期、 β_m は回復特性に関する係数である。ただし α は RTN モデルにおける DF と同義である。これらのパラメータに関しては表 1 にもまとめた。図 4 に $V_{th} = 500\text{mV}$, $\alpha = 0.5$, $T_{clk} = 10\text{ns}$ とした場合の計算結果を示す。横軸は対数目盛で劣化時間となっており、縦軸は閾値電圧の変動量となっている。

2.4 NBTI 劣化を考慮した回路解析手法

NBTI 劣化を考慮した回路解析を行うためには、NBTI による閾値電圧変動量を含んだ NBTI-Aware Netlist が必要となる。ここでは NBTI-Aware Netlist を用いた回路シミュレータによる遅延解析手法について説明する。シミュレーションの対象となる回路の Netlist に含まれる各 MOSFET について、それぞ

表 1: R-D モデルに関するパラメータ.

名称	説明
A	劣化係数
K_V	劣化係数
δ	フィッティングパラメータ
t_{ox}	酸化膜の厚さ
C	$= T_o^{-1} \exp(-E_a/kT)$
T	温度
k	ボルツマン定数
E_a	水素の活性化エネルギー
T_o	定数
n	時定数 (1/6)
α	デューティサイクル
T_{clk}	入力信号の周期
β_t	回復特性係数

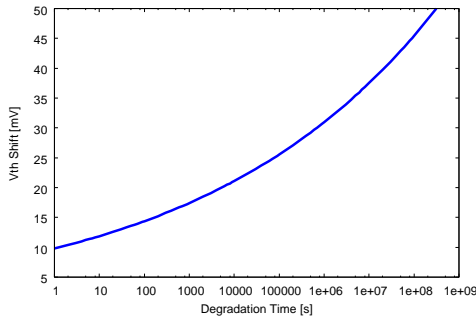


図 4: $V_{th} = 500\text{mV}$, $\alpha = 0.5$, $T_{clk} = 10\text{ns}$ とした場合の R-D モデルによる閾値電圧変動量の計算結果.

れ時間 t に対応した閾値電圧変動量の予測値を与えることで、各 MOSFET の劣化を再現することが出来る。閾値電圧変動量を算出する NBTI Model は、計算のために MOSFET のデバイスパラメータとシミュレーションの条件を要する。従って、図 5 のように Netlist と NBTI Model から NBTI-Aware Netlist を作成し、これに対してシミュレーションを行うことで解析結果を得る。

3 FPGA 配線構造における NBTI 遅延解析

本節では配線やスイッチからなる FPGA の配線構造における 2 つのモデルによって算出した NBTI 閾値電圧変動量を用いた遅延解析について述べ、それらの解析結果の比較を行う。

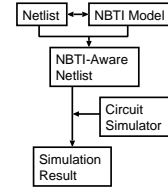


図 5: NBTI 劣化を考慮した回路解析手法.

3.1 シミュレーション条件

本稿の NBTI 遅延解析では、第 2 節で説明した R-D モデルと RTN モデルによる閾値電圧変動量を適用した NBTI-Aware Netlist によるシミュレーションを行う。閾値電圧変動量は $N = 800$ で、 V_{th} は Netlist に従うとし、 $DF = \alpha = 0.5$ として計算した。RTN モデルでは 100 回分の計算結果を相加平均した値を用いることとする。閾値電圧の変動量は BSIM4 のパラメータ V_{TH0} を変更することで適用した [17]。シミュレーションの対象とする回路に含まれる MOSFET は全て 65nm プロセス標準デバイスとした。電源電圧 $V_{dd} = 1.2\text{V}$ である。温度は室温 (25.0°C) とする。解析する劣化時間は $t = 0\text{s}$ から $3.1536 \times 10^8\text{s}$ であり、時間の刻み幅は第 2 節と同様である。回路への入力信号は 2 段のインバータを介して接続し、出力はファンアウト 4 のインバータに接続する。対象とする回路の劣化特性を解析したいので、入出力に接続するインバータには NBTI による閾値電圧の変動を適用しない。

NBTI による閾値電圧の変動は 1 度電源をオンした回路においては常に起こりうるため、現実的にはシミュレーション時間中にも閾値電圧は変動するものと考えられる。しかし劣化時間に対してシミュレーション時間は十分短いため、シミュレーション時間中の閾値電圧の変動は十分小さいと考えられる。従って、本稿の解析においてはシミュレーション時間中に起こりうる閾値電圧の変動に関しては無視した。

3.2 リングオシレータにおける NBTI 周波数劣化解析

インバータを用いた 11 段リングオシレータにおける NBTI 周波数劣化特性について 2 つの異なるモデルを用いて解析した。本稿では FPGA の配線構造についての解析を行うが、その前により単純な回路の解析によって RTN モデルと従来の R-D モデルを比較することを目的としている。この回路の $t = 0\text{s}$ における発振周波数は 5.36GHz である。波形が立ち上がって $0.9 \times V_{dd}$ に到達してから次の立ち上がりで $0.9 \times V_{dd}$ になるまでの時間を発振周期として、その逆数を発振周波数とした。

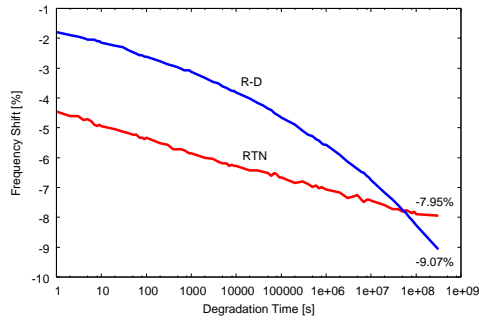


図 6: 2つのモデルによる 11 段リングオシレータの NBTI 周波数劣化特性。

解析結果を図 6 に示す。横軸は対数目盛で劣化時間、縦軸は発振周波数の劣化量となっている。10 年経過時点での発振周波数の劣化量は RTN モデルで -7.95% 、R-D モデルで -9.07% であった。周波数の劣化の様子はそれぞれのモデルで大きく異なっている。これは t に対する ΔV_{th} の増加の仕方が RTN モデルでは対数関数的である一方で、R-D モデルでは指数関数的であることが原因と考えられる。

3.3 FPGA 配線構造における NBTI 遅延劣化解析

図 7 に示す FPGA の配線構造における NBTI 遅延劣化特性について 2 つの異なるモデルを用いて解析した。この回路はロジック回路から接続された 4 つの入力パスから 1 つを選択して I/O もしくは配線ネットワークに接続する回路である [18]。出力されるパスはコンフィギュレーションビット (Config. Bit) によって選択され、どのパスも選択されていない場合は出力は Low に固定される。本稿では 12 メタル層プロセスを想定しており、メタル 1 から 6、メタル 7 から 9、メタル 10 と 11、メタル 12 は順に Local Metal 層、Semi-Global Metal 層、Global Metal 層、Top Metal 層となっている。図 8 に示す配線 (Wire) はメタル 7 を通る π 構造の 1mm の配線である。層間抵抗 (Resistance Between Layer, RBL) は MOSFET のゲート (もしくはソース、ドレイン) とメタル 7 の間の抵抗、相互接続抵抗 (Interconnect Resistance, IR) は Semi-Global Metal 層の配線の抵抗、相互接続容量 (Interconnect Capacitance, IC) はメタル 7 と基板間の容量である。これらの値は 65nm プロセスのパラメータを用いた。

1ns で 0V から V_{dd} まで立ち上がり、1ns で V_{dd} から 0V まで立ち下がるパルス波形を入力信号とした。入出力信号間の立ち上がり遅延時間 (T_{dr}) と立ち下がり遅延時間 (T_{df}) の変化を調べる。それぞれの遅延時間は $1/2V_{dd}$ を基準とした。解析結果を図 9, 10 に

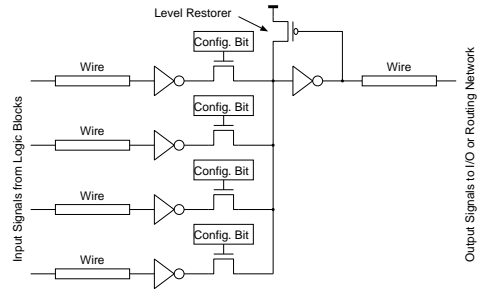


図 7: FPGA の配線構造, 4 つの入力から 1 つの信号を選択して出力する構造。

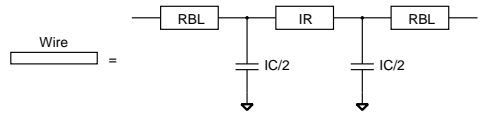


図 8: FPGA の配線構造における配線モデル。

示す。横軸は対数目盛で劣化時間、縦軸は遅延時間の劣化量となっている。10 年経過時点での T_{dr} の劣化量は RTN モデルで 6.73% 、R-D モデルで 6.38% 、 T_{df} の劣化量は RTN モデルで 3.55% 、R-D モデルで 4.55% であった。劣化期間のほとんどにおいて遅延時間の劣化量は RTN モデルを用いた方が大きく見積もられることがわかる。

今回の解析では RTN モデルによる閾値電圧変動量は相加平均値を用いたが、実際のデバイスにおいては、より大きく閾値電圧が変動する場合も考えられる。本稿の解析結果と併せると、RTN モデルを用いた回路の特性見積りにおいては従来より厳しいマージンやガードバンドの設定が必要になるといえる。

4 結論

MOSFET のゲート酸化膜中の欠陥によるキャリアの捕捉と放出が NBTI の発生原理であるとする説に基づいて、経年劣化による閾値電圧の変動量を算出した。各欠陥毎の閾値電圧に対する影響が指数分布に従い、キャリアの捕捉確率が時定数、劣化時間とデューティファクタの関数で増加するというモデルによれば、閾値電圧の変動量は時間に対して対数的に増加していくことが明らかになった。

上述のモデルに従った閾値電圧の変動量を考慮して、FPGA の配線構造における NBTI 遅延劣化解析を行った。遅延時間の増加は 10 年経過時点で 6.73% であることがわかった。RTN モデルを用いた場合では、ほとんどの劣化期間において従来の R-D モデルよりも劣化量を大きく見積もることが明らかになった。これにより RTN モデルによる回路の NBTI 劣化特性

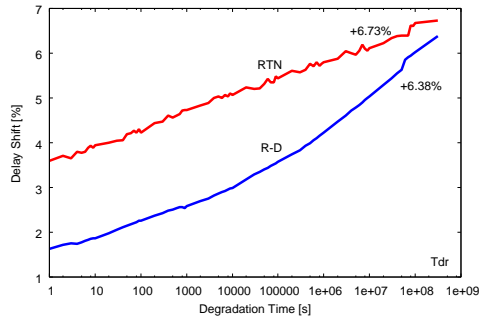


図 9: FPGA の配線構造における NBTI 立ち上がり遅延 (T_{dr}) 劣化特性.

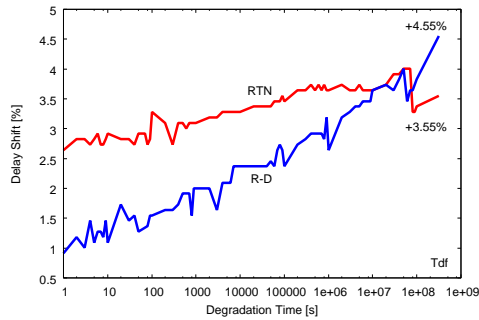


図 10: FPGA の配線構造における NBTI 立ち下がり遅延 (T_{dr}) 劣化特性.

を見積もった際には、従来よりも大きなマージン設定などが必要になるといえる。

今後は欠陥の諸特性についてさらに詳細に考慮した RTN モデルを構築し、FPGA の配線構造以外の回路についても NBTI 劣化特性を解析したい。それらに対して回路レベルから補償する手法についても検討する予定である。

謝辞

本研究は Synopsys, Inc, Cadence Design Systems, STARC, e-Shuttle, Inc, Fujitsu Ltd. と提携する東京大学 VLSI Design and Education Center(VDEC) の協力により行った。

参考文献

- [1] B. E. Deal, M. Sklar, A. S. Grove, and E. H. Snow, "Characteristics of the Surface-State Charge (Q) of Thermally Oxidized Silicon", *Journal of the Electrochemical Society*, Vol. 114, p. 266, (1967).
- [2] W. Wang, S. Yang, S. Bhardwaj, R. Vattikonda, S. Vrudhula, F. Liu, and Y. Cao, "The Impact of NBTI on the Performance of Combinational and Sequential Circuits", *44th ACM/IEEE Design Automation Conference.*, (2007), pp. 364 –369.

- [3] B. Kaczer, V. Arkhipov, R. Degraeve, N. Collaert, G. Groeseneken, and M. Goodwin, "Disorder-controlled-kinetics model for negative bias temperature instability and its experimental verification", *43rd IEEE International Reliability Physics Symposium.*, (2005), pp. 381 – 387.
- [4] M. Denais, C. Parthasarathy, G. Ribes, Y. Rey-Tauriac, N. Revil, A. Bravaix, V. Huard, and F. Perrier, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOS-FET's", *IEEE International Electron Devices Meeting, Technical Digest.*, (2004), pp. 109 – 112.
- [5] H. Reisinger, O. Blank, W. Heinrigs, A. Muhlhoff, W. Gustin, and C. Schlunder, "Analysis of NBTI Degradation- and Recovery-Behavior Based on Ultra Fast VT-Measurements", *44th IEEE International Reliability Physics Symposium.*, (2006), pp. 448 –453.
- [6] C. Shen, M.-F. Li, C. E. Foo, T. Yang, D. M. Huang, A. Yap, G. S. Samudra, and Y.-C. Yeo, "Characterization and Physical Origin of Fast Vth Transient in NBTI of pMOSFETs with SiON Dielectric", *IEEE International Electron Devices Meeting, 2006.*, (2006), pp. 1 –4.
- [7] V. Huard, C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, and C. Ouvrard, "New characterization and modeling approach for NBTI degradation from transistor to product level", *IEEE International Electron Devices Meeting, 2007.*, (2007), pp. 797 –800.
- [8] S. Bhardwaj, W. Wang, R. Vattikonda, Y. Cao, and S. Vrudhula, "Predictive Modeling of the NBTI Effect for Reliable Design", *IEEE Custom Integrated Circuits Conference, 2006.*, (2006), pp. 189 –192.
- [9] B. Kaczer, S. Mahato, V. Valduga de Almeida Camargo, M. Toledano-Luque, Ph. J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, "Atomistic approach to variability of bias-temperature instability in circuit simulation", *IEEE International Reliability Physics Symposium, 2011.*, (2011), pp. XT.3.1–XT.3.5.
- [10] K. Ramakrishnan, S. Suresh, N. Vijaykrishnan, and MJ Irwin, "Impact of NBTI on FPGAs", *20th International Conference on VLSI Design.*, (2007), pp. 717–722.
- [11] E. Stott, P. Sedcole, and P. Cheung, "Fault tolerant methods for reliability in FPGAs", *International Conference on Field Programmable Logic and Applications, 2008.*, (2008), pp. 415 –420.
- [12] E. Stott, S.J. Wong, Justin, P. Sedcole, and P. Cheung, "Degradation in FPGAs: measurement and modelling", *18th ACM/SIGDA International Symposium on Field Programmable Gate Arrays*, (2010), pp. 229–238.
- [13] B. Kaczer, T. Grasser, J. Martin-Martinez, E. Simoen, M. Aoulaiche, P.J. Roussel, and G. Groeseneken, "NBTI from the perspective of defect states with widely distributed time scales", *IEEE International Reliability Physics Symposium, 2009.*, (2009), pp. 55 –60.
- [14] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, "The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress", *IEEE International Reliability Physics Symposium, 2010.*, (2010), pp. 7 – 15.
- [15] M. Toledano-Luque, B. Kaczer, Ph.J. Roussel, T. Grasser, G.I. Wirth, J. Franco, C. Vrancken, N. Horiguchi, and G. Groeseneken, "Response of a single trap to AC negative Bias Temperature stress", *IEEE International Reliability Physics Symposium, 2011.*, (2011), pp. 4A.2.1 –4A.2.8.
- [16] T. Grasser, H. Reisinger, P.-J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability", *IEEE International Reliability Physics Symposium, 2010.*, (2010), pp. 16 –25.
- [17] X. Xi, M. Dunga, J. He, W. Liu, K.M. Cao, X. Jin, J.J. Ou, M. Chan, A.M. Niknejad, and C. Hu, "BSIM4. 3.0 MOSFET Model User; s Manual", *University of California, Berkeley*, (2003).
- [18] D. Lewis, V. Betz, D. Jefferson, A. Lee, C. Lane, P. Leventis, S. Marquardt, C. McClintock, B. Pedersen, G. Powell, et al., "The stratixTM routing and logic architecture", *ACM/SIGDA 11th International Symposium on Field Programmable Gate Arrays*, (2003), pp. 12–20.