

組み合わせ回路におけるランダム・テレグラフ・ノイズの影響の評価

伊東恭佑[†], 松本高士[†], 小林和淑[§], 小野寺秀俊^{†,‡}

[†] 京都大学大学院情報学研究科 通信情報システム専攻, [‡] JST, CREST,

[§] 京都工芸繊維大学大学院 工芸科学研究科

{kyosuke_ito, tmatsumoto, onodera}@vlsi.kuee.kyoto-u.ac.jp

kobayasi@kit.ac.jp

近年のLSIの微細化に伴い、MOSFETの絶縁膜欠陥によるキャリアのトラップ・デトラップが引き起こすランダム・テレグラフ・ノイズ(RTN)の影響が拡大している。本稿ではマルコフ過程に基づくRTNモデルを用いたシミュレーションと65nmプロセスのテスト回路の実測から、組み合わせ回路におけるRTNの影響を評価した。またRTNモデルシミュレーションから、さらなる微細化によりRTNの影響が増大することを確認した。

Evaluation of the impact of a Random Telegraph Noise on Combinational Circuits

Kyosuke Ito[†], Takashi Matsumoto[†], Kazutoshi Kobayashi[§] and Hidetoshi Onodera^{†,‡}

[†] Graduate School of Informatics, Kyoto University. [‡] JST, CREST

[§] Graduate School of Science and Technology, Kyoto Institute of Technology

The impact of a random telegraph noise (RTN), resulted from trap and detrap of carriers by defects inside MOSFET dielectric, become more and more serious with recent scaling of LSIs. This paper discusses the impact of RTN on combinational circuits, using RTN model based on Markov Process and measuring test circuits fabricated in a 65nm process. With the RTN model, we verify that RTN has a larger impact on more scaled circuits.

1 はじめに

近年集積回路の微細化技術の進歩により、回路の大規模化、集積化が進んでいる。しかしその一方で、製造ばらつきの拡大や歩留まりの低下、経年劣化現象や宇宙線に起因するソフトエラーなどが深刻な問題となっている。その中で、本稿で扱っているランダム・テレグラフ・ノイズ(Random Telegraph Noise: RTN)は絶縁膜欠陥に起因する現象として問題になりつつある。RTNはMOSFETの閾値電圧が動的に変動するというばらつき問題でもあり、微細化に伴う影響率の拡大という事実からも、この物理現象に対する検討が今後必要になると考えられる。

RTNは電氣的連続量を扱うアナログデバイスでは古くから低周波ノイズとして知られ、研究されてきた[?]。しかしながら、CMOSイメージセンサ[?]やフラッシュメモリ[?]などの一部の電子デバイスを除いて、デジタル回路ではRTNの影響は限定的であったため特に問題視されなかった。しかしながら近年の微細化に伴い、デジタル回路においてもRTN

の影響が無視できない状況になった。22nmプロセスでは 6σ まで考慮した際に、製造ばらつきであるチップ内ばらつきとRTNによる影響が均衡するという報告[?]や、チップ内ばらつきの主な要因である不純物ばらつき(Random Dopant Fluctuation: RDF)に強いデバイス構造として、22nm以降での導入が検討されている立体構造トランジスタ(FinFET)などにおいてもRTNが存在しているという報告[?]-[?]からも、今後はデジタル回路においてもRTNへの対策が必要になると考えられる。

しかしながら、デジタル回路におけるRTNの影響という観点では現在余り議論されていない。そこで本稿では特に組み合わせ回路におけるRTNの影響という観点で議論を進める。具体的にはRTNの統計的性質とマルコフ過程に基づくRTNモデルシミュレーションと、65nmプロセスでのテスト回路の実測から、RTNが遅延時間に与えている影響を定量的に示す。

本稿の構成を以下に示す。2節でRTNモデルを用

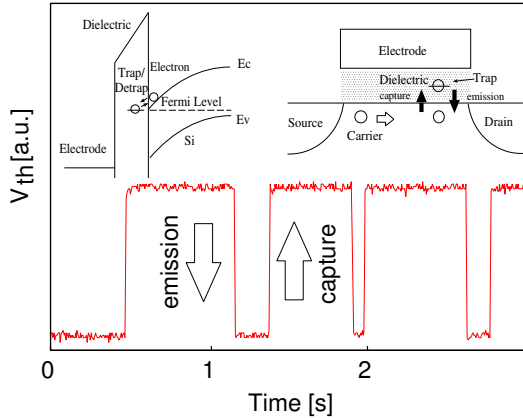


図 1: RTN による閾値電圧 V_{th} の変動。フェルミ準位近傍の欠陥にキャリアが捕獲・放出されることで二値変動する。

いたシミュレーションの概要について述べる。3 節で RTN モデルを用いてリングオシレータレイ回路における RTN の影響を回路シミュレーションから評価し、実測結果を交えて考察を行う。また RTN モデルシミュレーションを用いて、微細なセルサイズを想定したリングオシレータ回路における RTN の影響を評価する。そして最終節で本稿の内容をまとめる。

2 RTN モデル

本節では RTN の統計的性質と、そのデータに基づく RTN モデルの概要と、モデルを用いた回路シミュレーションの手法について述べる。

2.1 RTN の統計的性質

RTN とは RTN は図??に示すように絶縁膜/半導体界面および界面近傍の絶縁膜欠陥によってキャリアがトラップ・デトラップされることで閾値電圧 V_{th} が時間領域においてデジタル的に変動する現象であり、キャリア数揺らぎと移動度揺らぎの複合がメカニズムとして考えられている [?]. キャリアがトラップされている時に閾値電圧が高い状態に、デトラップされている時に低い状態にあり、それぞれの状態の持続時間を捕獲時間 (Capture Time)・放出時間 (Emission Time) と言う。

ΔV_{th} の分布 50 個のサイズ $W/L = 240nm/60nm$ の単体 nMOSFET 測定から得られた、RTN (閾値電圧変動量 ΔV_{th}) の分布を図??に示す。図より RTN

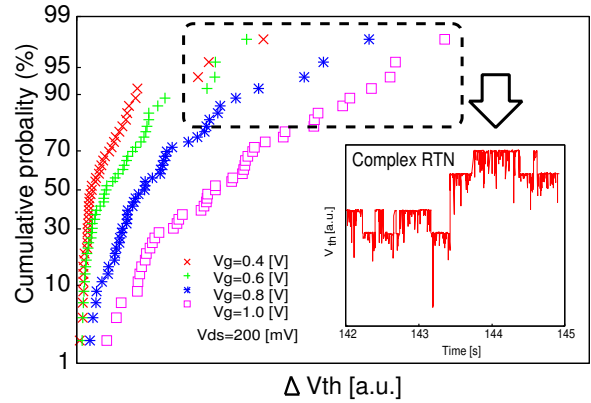


図 2: RTN による閾値電圧変動量 ΔV_{th} の累積分布。極値分布の一種であるガンベル分布であることが分かる。また大変動を起こしている RTN は複数の欠陥による Complex RTN であることが多い。

が正規分布では無い、裾の長い分布を持つことが分かる。これは極値分布 (Extreme Value Distribution) の一種である ガンベル分布 (Gumbel Distribution) として知られており [?] [?] [?] [?], この分布と RTN が MOSFET サイズに反比例する性質 [?] と合わせて、大規模集積回路において RTN の影響を無視できない可能性が考えられる。特に大きな変動を起こしている RTN は図??にあるような複数の欠陥が関与し閾値電圧が多段に変化する Complex RTN であることが多い [?].

放出時間・捕獲時間の分布 閾値電圧変動量 ΔV_{th} 以外に捕獲時間・放出時間も各 MOSFET によって固有の値を取ることが知られている。図??に放出時間・捕獲時間の累積分布を示す。共にミリ秒オーダから百秒オーダと、幅広い分布を持ち、他文献 [?] [?] で報告されているように対数正規分布を示すことが分かる。なお、最小時間は測定器の時間分解能に、最大時間は測定継続時間に律速される。

2.2 RTN モデル

回路における RTN の影響を考慮するにあたって、閾値電圧の動的変動という現象を扱うために、RTN の物理的挙動を模擬したモデルを作成した。以下に概要を述べる。

アルゴリズムの概要 以前の状態の履歴に依存しない、マルコフ過程に基づく RTN モデルのアルゴリズムを図??に示す。遷移確率 P_{LH} (放出状態 (low_state) から捕獲状態 (high_state) へ遷移する確率), P_{HL} (捕

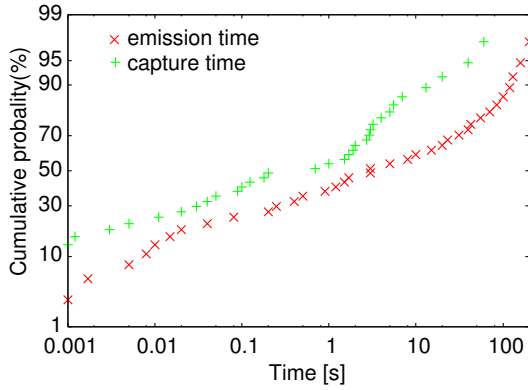


図 3: 捕獲時間 τ_c ・放出時間 τ_e の累積分布。共に対数正規分布であることが分かる。測定時間の最小レンジは測定器の時間分解能に、最大レンジは測定継続時間に律速される。

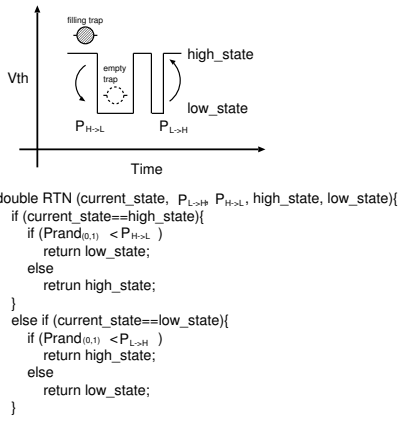


図 4: RTN モデルの基本アルゴリズム。遷移確率 P_{LH} 、 P_{HL} 、RTN 起因閾値電圧変動量 ΔV_{th} は各 MOSFET 固有の値である。このアルゴリズムを単位時間 TIME_UNIT ごとに実行する。

獲状態から放出状態へ遷移する確率)、RTN 起因閾値電圧変動量 ΔV_{th} は各 MOSFET 固有の RTN パラメータであり、 P_{LH} と P_{HL} は放出時間 τ_e 、捕獲時間 τ_c を用いて式 (1), (2) から算出する [?]。なお、TIME_UNIT はシミュレーションを行う際の単位時間である。

$$P_{LH} = 1 - \exp\left(-\frac{TIME_UNIT}{\tau_e}\right) \quad (1)$$

$$P_{HL} = 1 - \exp\left(-\frac{TIME_UNIT}{\tau_c}\right) \quad (2)$$

疑似 RTN の検証 このアルゴリズムに従った、疑似 RTN を図??に示す。RTN のパワースペクトル密度は対数表示において、 $1/f^2$ に比例して減衰するロー

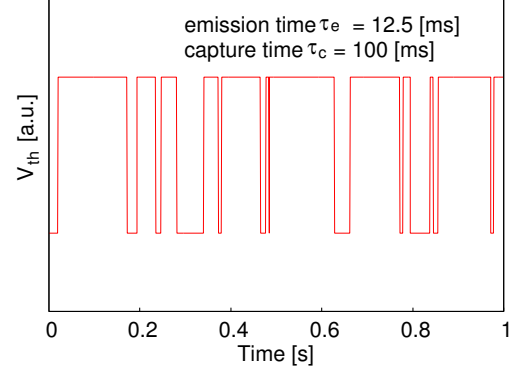


図 5: 図??のアルゴリズムに従い生成した疑似 RTN。

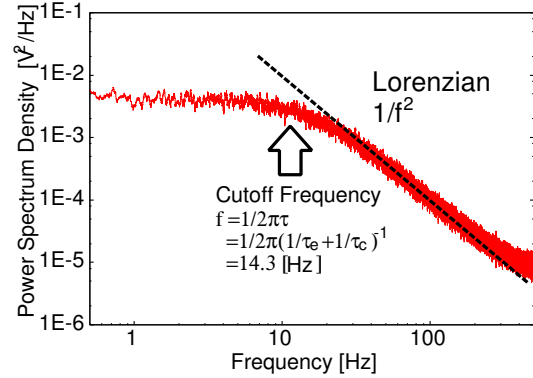


図 6: モデルより生成した RTN のパワースペクトル密度。RTN の特徴であるローレンツ型を示している。

レンツ型であることが知られており [?], 先ほどのアルゴリズムに従った疑似 RTN のパワースペクトル密度 (図??) がローレンツ型であることから、この疑似 RTN は実際の RTN を模擬していると考えられる。なおパワースペクトル密度が減衰し始める遮断周波数 f_c は $\tau = (1/\tau_e + 1/\tau_c)^{-1}$ とした時に、 $f_c = 1/2\pi\tau$ と表すことができる。

回路シミュレーション RTN モデルベースの回路シミュレーションの際には、トランジスタレベルシミュレーションより求めた各ばらつき因子の感度を用い、ばらつき因子の変動に伴う回路の遅延時間変動量を感度係数による一次近似式で表現する。具体的には各 MOSFET における閾値電圧変動量 ΔV_{th} とゲート長変動量 ΔL と、それぞれの感度係数 $K_{V_{th}}$ 、 K_L から遅延時間変動量 ΔT を以下のように線形近似する。

$$\Delta T = \sum_i (K_{V_{th}i} \Delta V_{thi} + K_{Li} \Delta L_i) \quad (3)$$

図??のアルゴリズムに従い、式 (1) の ΔV_{thi} に RTN による閾値電圧変動量が含まれるかどうか判断する。

RTN モデルベースの回路シミュレーションにおいて、以下の仮定を導入する。

1. 回路を構成する MOSFET は、それぞれ固有のチップ内プロセスばらつき量（閾値電圧変動量 ΔV_{th} 、ゲート長変動量 ΔL ）、RTN による閾値電圧変動量、放出時間・捕獲時間を持つとし、それぞれのパラメータを次に記す分布に従い決定する。
2. 全ての MOSFET において発生する RTN は二値変動とし、RTN 起因閾値電圧変動量は図?? から得たガンベル分布に従うとする。また pMOSFET における RTN の大きさは文献 [?] より、nMOSFET のそのの 2 倍とする。
3. RTN の放出時間 τ_e と捕獲時間 τ_c は共に図?? から得た以下の対数正規分布式に従うとする。
 $gauss(\mu, \sigma)$ は中心値 μ , 分散 σ の正規分布を示す。

$$\tau_e = \exp(gauss(0.511, 3.607)) \quad (4)$$

$$\tau_c = \exp(gauss(-1.684, 3.631)) \quad (5)$$

4. チップ内プロセスばらつきによる閾値電圧変動量 ΔV_{th} とゲート長変動量 ΔL は正規分布に従うとし、文献 [?] による方法で分布を抽出する。

3 組み合わせ回路における RTN の影響

本節では 7 段リングオシレータの発振周波数における RTN の影響を評価する。

3.1 試作した TEG

回路におけるプロセスばらつき、及び RTN の影響を評価するために、同一構造のリングオシレータを LSI 上に多数集積したテスト回路を試作した。テスト回路の構造の概略を図??に示す。複数のリングオシレータを一まとまりにした単位を Section とすると、 15×20 のアレイ状に Section が配置されている。なお、回路の構成は [?] に詳しい。この 300 組の section にそれぞれ存在する 7 段リングオシレータの発振周波数を長時間測定することで、組み合わせ回路の遅延時間における RTN の影響を統計的に評価する。なおリングオシレータにおけるばらつきの影響を拡大するために リングオシレータ電源電圧を 0.8

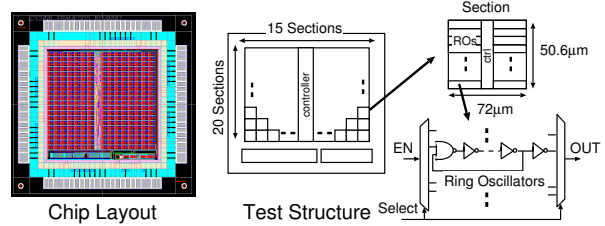


図 7: プロセスばらつき、RTN による影響を評価するための 65nm プロセスで作製された TEG

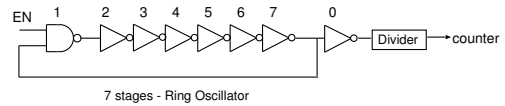


図 8: 組み合わせ回路における RTN の影響を評価するための 7 段リングオシレータとカウンター

V (標準電圧 1.2 V)、分周器におけるばらつきの影響を少なくするために分周器電源電圧を 1.0 V としている。

3.2 実測結果の評価

実測した周波数ゆらぎのパワースペクトル密度 $1/f$ ノイズの起源が多数の RTN の重ね合わせであることを考えると [?], リングオシレータ回路を構成している MOSFET に少なくとも 1 つ以上の RTN が存在していると仮定した場合、発振周波数のパワースペクトル密度は少なくともローレンツ型であり、RTN を持つ MOSFET が複数存在する場合は $1/f$ ノイズ型に漸近することが予想される。

300 個の 7 段リングオシレータの内、2 個についての発振周波数ゆらぎとパワースペクトル密度を図??, 図??に示す。外部からのノイズ、電源ゆらぎ等の影響を除外するため、積分時間を約 20 ミリ秒にしている。周波数ゆらぎのパワースペクトル密度がローレンツ型、 $1/f$ ノイズ型を示していることから、実測したこれらの周波数ゆらぎは RTN に起因していると予想される。また分周器の電源電圧を 1.2 V に変化した際も、周波数揺らぎ量・パワースペクトル密度ともに大きな変化は無かったため、これらの周波数ゆらぎはリングオシレータ回路での RTN に起因していると予想される。

シミュレーション結果と実測結果の比較 実測結果では、測定時間 (250 秒) 内で観測された周波数ゆらぎの最大値と最小値の幅を RTN による周波数ゆらぎ量としている。またシミュレーションについては前章で説明した RTN モデルとモンテカルロシミュレー

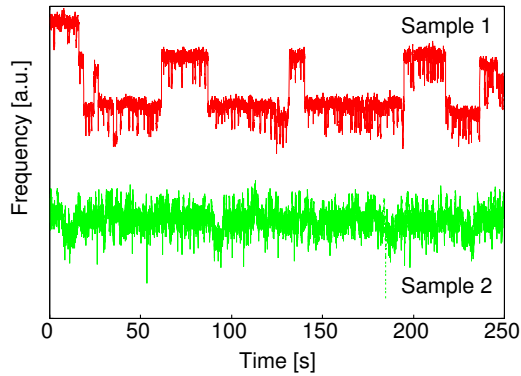


図 9: 実測した周波数ゆらぎの例

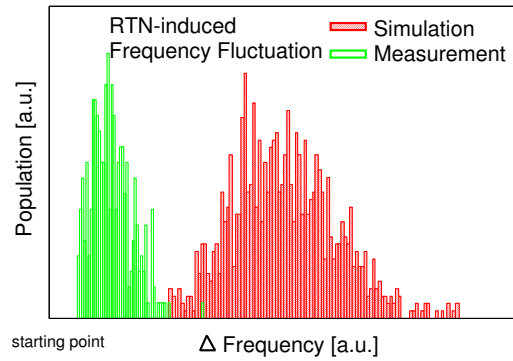


図 11: RTN によるリングオシレータ発振周波数ゆらぎの分布のシミュレーション結果と実測結果の比較

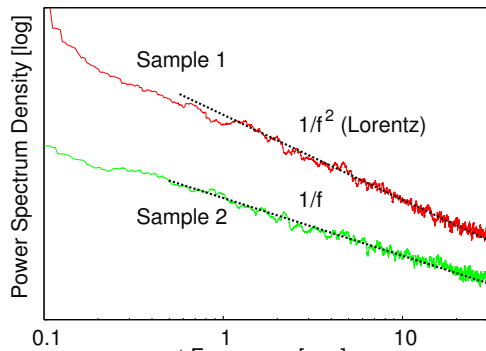


図 10: 図??に示した発振周波数ゆらぎのパワースペクトル密度。それぞれローレンツ型と $1/f$ ノイズ型であることが分かる。

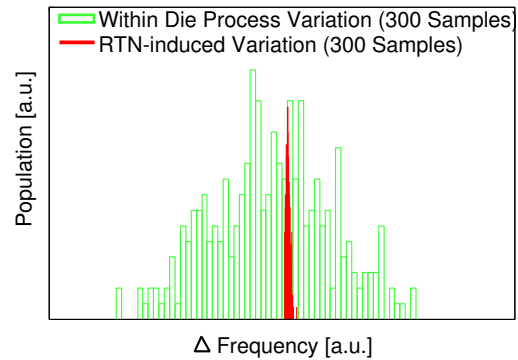


図 12: 実測による RTN 起因リングオシレータ発振周波数ゆらぎとチップ内プロセスばらつきによる発振周波数ばらつきの比較

シミュレーションを用いており、シミュレーション時間は実測との対応から 250 秒とし、この観測時間における周波数の最大値と最小値の幅を RTN による周波数ゆらぎ量としている。

RTN による周波数ゆらぎの分布のシミュレーション結果と実測結果を図??に示す。図より実測より得た周波数分布がシミュレーションより得た分布に比べ、全体的に小さいことがわかる。この理由として、DC 電圧 0.8V における RTN 起因閾値電圧変動量分布 (図??) のみでシミュレーションを行うことが過大評価に繋がっている可能性が挙げられる。つまり、図??から RTN 起因閾値電圧変動量分布がゲート電圧依存性を持ち、電圧の増加に従い分布も増大していることが分かるが、実回路動作となる AC 電圧下では 0V から電源電圧までの幅広いバイアス条件下の RTN 起因閾値電圧変動量分布に従うために実効的な閾値電圧変動量が減少していることが予想される。また、実測では積分時間 (20 ミリ秒) 以下と測定時間 (250 秒) 以上の時定数を持つ RTN が検出されていない可能性も原因として考えられる。

実測から得られた、RTN による周波数ゆらぎとチップ内プロセスばらつきによる周波数ばらつきの分布

を図??に示す。サンプル数は 300 個であり、チップ内プロセスばらつきによる周波数ばらつき量は 250 秒間に測定された周波数の平均値をとっている。図より RTN 起因の周波数ゆらぎの分布がチップ内プロセスばらつき起因の周波数ばらつきの分布よりかなり小さいことが分かる。この理由として、リングオシレータを構成している MOSFET のサイズでは RTN の分布がチップ内プロセスばらつきの分布に比べかなり小さいことが第一に挙げられる。また 7 段リングオシレータにおけるシグナルパスは 14 段であり、RTN の影響が平均化されていることも挙げられる。

3.3 微細化に伴う RTN の影響の増大

表 1 に示す RTN とチップ内プロセスばらつきの特性の違いから、大規模集積回路における RTN の影響は微細化に伴って加速度的に増加すると予想される。

そこで RTN モデルシミュレーションから、微細なセルサイズを想定したリングオシレータ回路における RTN の影響を評価する。試作したテスト回路の 4 分の 1 のセルサイズから成る 7 段リングオシレータ

表 1: RTN とチップ内プロセスばらつきの特徴の比較

	RTN	プロセスばらつき
変動量の サイズ依存性	$1/WL$	$1/\sqrt{WL}$
分布	ガンベル分布	正規分布

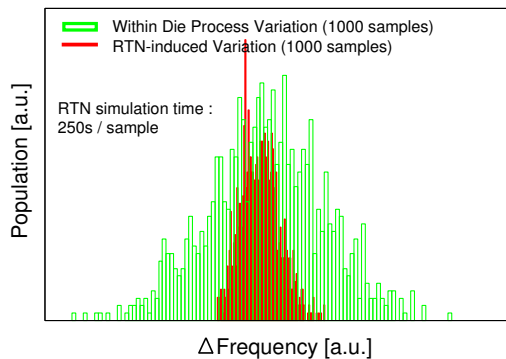


図 13: シミュレーションによる RTN 起因リングオシレータ発振周波数ゆらぎとチップ内プロセスばらつきによる発振周波数ばらつきの比較。セルサイズはテスト回路の 1/4 を想定している。

を想定する。この場合、チップ内プロセスばらつきの分布は 2 倍に、RTN の分布は 4 倍になる。

シミュレーション結果を図??に示す。なお電源電圧を 0.8 V、シミュレーション時間を 250 秒、サンプル数を 1000 個とし、図は両方の分布の中央値でセンタリングしている。図より RTN による周波数揺らぎがチップ内プロセスばらつきによる周波数ばらつきに比べ、無視出来ない程に増大していることが分かる。このことからセルサイズの微細化レベルによっては、組み合わせ回路のデザインマージンにおいても RTN の影響を考慮する必要性が考えられる。

4 まとめ

本稿では RTN が組み合わせ回路の動作特性に与える影響を述べた。まず統計的な RTN の分布が裾の長いガンベル分布であることと、閾値電圧の変動している時定数が非常に幅広い分布を持つことを示した。またマルコフ過程に基づく RTN モデルと前述の RTN 分布データから回路における RTN の影響をシミュレーションする手法について述べた。次に RTN モデルシミュレーションと多数のリングオシレータを集積した 65nm プロセスでのテスト回路の実測から、セルサイズが比較的大きく、多段で構成される

組み合わせ回路においては、RTN の影響が少ないことを確認した。最後にセルサイズを想定したリングオシレータでは、RTN の影響の割合が増大することを RTN モデルシミュレーションから確認した。

今後微細化が進むにつれて RTN の影響が加速度的に拡大していくと予想されるため、SRAM 等のメモリセルは勿論のこと、他のデジタル回路においてもプロセスばらつき同様に RTN に対する検討が必要になると考えられる。

5 謝辞

本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ技術開発事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し 株式会社半導体理工学研究センター、(株)イー・シャトルおよび富士通株式会社の協力で行われた。