

# チップ内ばらつきが順序セルの動作特性に与える影響

砂川洋輝<sup>†</sup>, 土谷亮<sup>†</sup>, 小林和淑<sup>§</sup>, 小野寺秀俊<sup>†,‡</sup>

<sup>†</sup> 京都大学大学院情報学研究科 通信情報システム専攻, <sup>‡</sup> JST, CREST,

<sup>§</sup> 京都工芸繊維大学大学院 電子システム工学専攻

{h-sunagawa, tsuchiya, onodera}@vlsi.kuee.kyoto-u.ac.jp

kobayasi@kit.ac.jp

本稿では D-フリップフロップ (D-FF) を例に挙げ、順序セル中のある特定のトランジスタの性能ばらつきによってプロセスコーナー解析で見積もられたタイミング制約の最悪値が拡大しうることを示す。また、65nm プロセスにて試作したテスト回路を低電源電圧動作にて動作させ、ばらつきが拡大した状況で D-FF を用いた回路の動作に不具合が生じることを確認した。さらに TEG の動作をモンテカルロシミュレーションで再現し、特定のトランジスタが D-FF のばらつき脆弱性の主要因であることを検証した。

## Effect of Within-Die Variation on Sequential Circuits Characteristics

Hiroki Sunagawa<sup>†</sup>, Akira Tsuchiya<sup>†</sup>, Kazutoshi Kobayashi<sup>§</sup> and Hidetoshi Onodera<sup>†,‡</sup>

<sup>†</sup>Department of Communications and Computer Engineering, Kyoto University. <sup>‡</sup> JST, CREST

<sup>§</sup> Department of Electronics Graduate School of Science and Technology Kyoto Institute of Technology

This paper discusses the effect of process variation on sequential circuits. Conventionally, the worst setup and hold time of flip-flops are estimated by process corner analysis. However when the random variation becomes significant, a certain combinations of fast/slow transistors make the setup/hold time larger than that estimated by corner analysis. We evaluated a test circuits in a 65nm process by real-chip measurement and circuit simulation. From the experimental results, we reveal that certain transistors can cause failure when the random variation becomes significant.

## 1 はじめに

近年 LSI 製造プロセスの微細化に伴い、回路はますます大規模化、高集積化されている。しかしその一方で、微細化に伴い製造ばらつきの拡大や歩留まりの低下が深刻な問題となっている。微細加工技術の向上により製造ばらつきの絶対値は減少しているが、それを上回る勢いで微細化は進んでいるため、相対的にゲート長ばらつきや閾値電圧のばらつきが回路性能に与える影響が大きくなっている [1]。今後ますます微細化が進展し、電源電圧が低下していくにつれて、ばらつきが回路動作に与える影響はより一層深刻になると予想される。

一般にロジック回路はメモリ回路に比べてトランジスタサイズが大きく、サイズに依存する素子ばらつきの影響が小さい。よって素子ばらつきの影響は遅延時間や消費電力などの回路性能ばらつきの範疇にとどまっていた。しかしフリップフロップのような順序セルの動作はトランジスタ相互の性能ばらつきに大きく依存する。よって今後より一層デバイス

の微細化が進み、ばらつきが拡大することで、順序セルの動作不良への対策が必要となることが予想される [4]。フリップフロップにおいて重要な値としてはセットアップ時間 ( $T_{\text{setup}}$ ) とホールド時間 ( $T_{\text{hold}}$ ) が知られており、これらを違反することで回路が適切に動作しなくなる。よってセルの特性抽出の際にセットアップ時間とホールド時間を正確に見積もることは非常に重要である。現在セルライブラリに対して複数の温度や電源電圧やプロセスコーナーなどの条件下で抽出を行うのが一般的である [2]。この方法は過剰な設計マージンを必要とするものの、短 TAT で高い歩留まりを実現可能とされている [4]。しかしフリップフロップのような順序セルではトランジスタ相互の性能が密に関係しているため、特性抽出の際にトランジスタの性能を一様であると見なして最悪値を求めるのは適切ではない。

本稿ではトランジスタ性能ばらつきを考慮した順序セルの動作解析を行い、従来のプロセスコーナー解析を用いた特性抽出では最悪値の見積もりが正確でないことを示す。さらにランダムばらつきが拡大

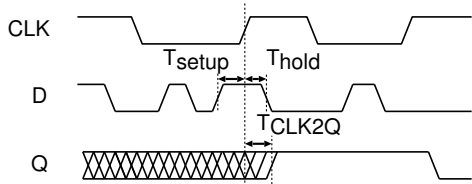


図 1: D-FF のタイミング制約のチャート

した場合のフリップフロップ動作例として、65nm プロセスで試作したテスト回路の低電圧動作結果を示す。さらに実測結果をモンテカルロシミュレーションで再現し、ばらつき耐性の高い D-FF の構造を検討する。

本稿の構成を以下に示す。2 でばらつきが D-FF タイミング制約に与える影響について述べる。3 でフリップフロップを用いたテスト回路を実測し、モンテカルロシミュレーション結果を交えた考察を行う。そして最終章で本稿の内容をまとめる。

## 2 D-FF のタイミング制約

本章では順序セルの一例として D-フリップフロップ (D-FF) のタイミング制約とトランジスタ性能ばらつきの関係を述べる。一般的に、ばらつき成分はチップ間でのばらつきである大域的成分と、チップ内でのばらつきである局所的成分に大別される。近年では微細化により局所的なばらつきの影響が大きくなっており、回路設計の際にはその影響を考慮すべきである。特にセル内のトランジスタ相互の性能に大きく依存する順序セルはその影響を大きく受けると考えられる。

### 2.1 タイミング制約

本稿では順序セルの中の代表例としてポジティブエッジ型 D-フリップフロップ (D-FF) について検証を行う。図 1 に D-FF のタイミングチャートを、図 2 に回路図を示す。D-FF の動作特性において重要な指標としてはセットアップ時間 ( $T_{\text{setup}}$ ) とホールド時間 ( $T_{\text{hold}}$ ) が挙げられる。図 1 は D-FF のタイミングチャートであり、図 1 中の  $T_{\text{setup}}$  より後に、または  $T_{\text{hold}}$  より前に入力 D が遷移することで出力 Q が不定になる。またクロックが立ち上がったから出力 Q に信号が伝わるまでの時間 ( $T_{\text{CLK2Q}}$ ) の時間と  $T_{\text{setup}}$  の時間によって D-FF の入力から出力までの遅延時間が定義できる。

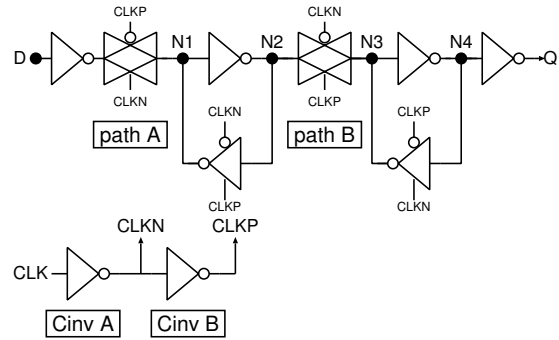


図 2: D-FF 回路図

### 2.2 ばらつきがタイミング制約に与える影響

従来セルライブラリの特長抽出において、主にプロセスコーナー解析を用いて最悪値の見積もりを行ってきた。この方法は過剰な設計マージンを必要とするものの、最悪値の見積もりにおいては信頼性が高いとされている。しかしトランジスタ性能ばらつきが拡大した場合、プロセスコーナー解析を用いて見積もったタイミング制約の最悪値がさらに悪化することがある。D-FF 動作特性におけるタイミング制約違反とはマスターラッチが正しい適切な値をラッチしていないために、出力が不定となる、または入力の値が出力に反映されない、という現象が生じることである。以下でセットアップ制約、ホールド制約について定性的な議論を行う。

**セットアップ時間** セットアップ制約違反とは、入力 D が遷移してから図 2 のノード N2 まで遷移が伝搬するまでに十分な時間がたっていないうちにマスターラッチがラッチを開始することにより、適切な値を出力できない状態になることを指す。よってセットアップ時間は入力 D からノード N2 までのゲート遅延と、ラッチのタイミングを決めるクロックの遷移時間、さらにノード N2 の電圧変化に関わる図 2 の path B のパストランジスタの遅延時間などが関連していると考えられる。ゲート遅延の影響だけを考慮すればプロセスコーナーの SS を用いたセットアップ時間が最悪値を与えると予想できる。しかしクロック生成部の遅延が短い場合、セットアップ時間は悪化する。ここで SS プロセスコーナーにおける D-FF のクロック生成部の一部のトランジスタ性能が Fast 側にふれたときのノード N2 の電圧変化について説明する。すべてのトランジスタが Slow(SS) の場合と、SS から図 2 の Cinv A の NMOS が Fast、Cinv B

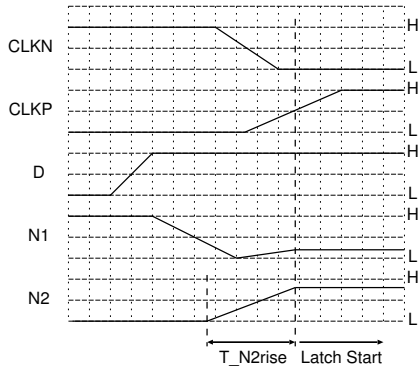


図 3: SS の場合の各ノード電位変化

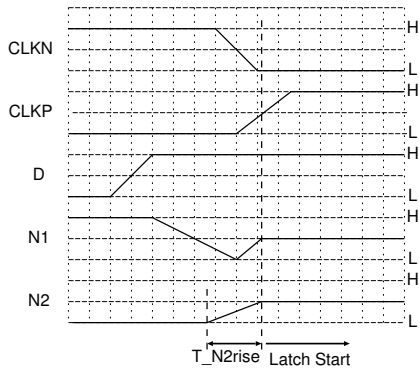


図 4: Skew 1 の場合の各ノード電位変化

の PMOS が Fast に振れた場合 (Skew 1 と呼ぶ) を比較する。両者の大きな違いはクロック生成部で生成された CLKN, CLKP の概形である。すなわち SS の場合, CLKN の立ち下がり, CLKP の立ち上がりは共にならぬである。一方, Skew 1 の場合には共に急峻に変化し, ラッチ開始までの時間が短くなる。SS と Skew 1 の二つの回路において, 同じタイミングで入力 D が遷移した場合のノード N2 の電圧変化を表したのが図 3 と図 4 である。クロックの遷移時間が短く, マスターラッチがラッチを開始するまでの時間が短い Skew 1 は SS に比べてノード N2 の遷移が十分でなく, 適切にラッチできていない状態に陥りやすい。

**ホールド時間** ホールド制約違反とは, 図 2 の path A が閉じる直前に入力 D が遷移することで, 入力 D の遷移がノード N1 まで伝搬してしまい, マスターラッチが適切な値をラッチできない状態になることを指す。よってホールド時間は入力 D からノード 1 までのゲート遅延と, ラッチのタイミングを決めるクロックの遷移時間が関連していると考えられる。すなわちゲート遅延が最も小さい, プロセスコーナの

FF を用いたときにホールド時間の最悪値が与えられると予想できる。セットアップ制約の場合とは逆に図 2 のクロック生成部である Cinv A の NMOS が Slow, Cinv B の PMOS が Slow に振れた場合 (Skew 2 と呼ぶ), path A が開いている期間が長くなるためホールド時間は拡大する。

## 2.3 回路シミュレーションによる評価

2.2 で定性的に議論した内容を, 回路シミュレーションを用いて検証を行う。すなわちトランジスタ性能のばらつきを考慮することで, プロセスコーナーにおけるタイミング制約の最悪値がより悪化することを示す。今回 D-FF のトランジスタ性能をプロセスコーナーから一部変化させた場合のタイミング制約最悪値を求め, コーナーにおける最悪値と比較する。性能を変化させるトランジスタは, クロック生成部と図 2 の path A, さらに path B とする。ばらつきが拡大した場合を再現するため, 電源電圧を 0.7V としてシミュレーションを行う。

**セットアップ時間** 2.2 の検討結果から, セットアップ時間の最悪値を与えるプロセスコーナーは SS または SF, FS であると考えられる。まずそれぞれのプロセスコーナーでのセットアップ時間を回路シミュレーションによって求める。次にクロック生成部や path A, path B など, 一部のトランジスタの性能を変えた場合のセットアップ時間を求め, それらと比較する。

結果を表 1 に示す。コーナー解析においては入力 D が立ち上がりの場合 SS コーナーが, 入力 D が立ち下がりの場合 SF コーナーが最悪値を与えることがわかる。また入力 D が立ち上がりの場合, クロック生成部のトランジスタ性能が変動すると最悪値が 1.19 倍に拡大することがわかる。同様に入力 D が立ち下がりの場合には, SS(Skew 1) が最悪値となり, SS コーナーの値に比べて 1.88 倍となる。これらの結果からクロック生成部のトランジスタ性能はセットアップ時間に強く関係しているとわかる。

**ホールド時間** 2.2 の検討結果から最悪値を与えるプロセスコーナーは FF または SF, FS であると考えられる。ホールド時間についても同様にしてプロセスコーナーでのホールド時間と, 一部のトランジスタ性能を変えた場合のホールド時間を求める。

結果を表 2 に示す。近年のプロセスではホールド時間は負の値であることが多いが, トランジスタ性

表 1: セットアップ時間 (SS コーナーの値で規格化)

| input            | rise | fall |
|------------------|------|------|
| SS               | 1.00 | 1.00 |
| SS(Skew 1)       | 1.19 | 1.88 |
| SS(path A: Fast) | 0.36 | 0.57 |
| SS(path B: Fast) | 0.11 | 0.13 |
| FS               | 0.74 | 0.08 |
| SF               | 0.17 | 1.13 |
| SF(Skew 1)       | 0.25 | 1.30 |
| SF(path A: Fast) | 0.54 | 1.02 |

表 2: ホールド時間 (SF コーナーの値で規格化)

| input            | rise  | fall  |
|------------------|-------|-------|
| SF               | -1.00 | -1.00 |
| FF               | -0.15 | 0.08  |
| FF(Skew 2)       | 0.10  | 0.57  |
| FF(path A: Slow) | -0.51 | -0.51 |
| FF(path B: Slow) | -0.15 | -0.08 |
| FS               | -0.87 | 0.31  |
| FS(Skew 2)       | -0.77 | 0.55  |
| FS(path A: Slow) | -0.72 | -0.12 |

能の組み合わせによってはホールド時間が正の値になることがわかる。コーナー解析においては入力 D が立ち上がりの場合 FF コーナーが、入力 D が立ち下がりの場合 FS コーナーが最悪値を与えている。しかしばらつきを考慮すると入力 D が立ち上がりの場合、FF(Skew 2) が最悪値 0.10 を与える。同様に入力 D が立ち下がりの場合には、FF(Skew 2) が最悪値を与え、その値は 0.57 である。

D-FF 内のトランジスタ性能ばらつきを考慮することでセットアップ時間、ホールド時間共にプロセスコーナー解析で見積もられる最悪値が拡大する可能性があることがわかった。とりわけクロック生成部分のトランジスタの影響が大きいと言える。

### 3 ばらつきが拡大した時の D-FF 回路特性

これまでの議論で、ばらつきを考慮した場合 D-FF のタイミング制約がコーナー解析で求められる値よりも拡大することがわかった。本章では 65nm プロセスにて試作した D-FF 回路の一例を挙げ、ばらつ

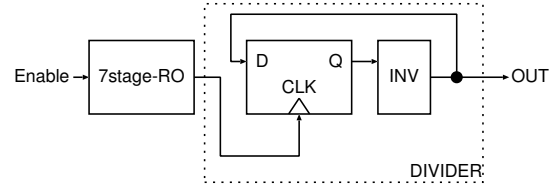


図 5: テスト回路

きの拡大により D-FF 回路動作制約にどのような影響があるのか検証を行う。さらに実測結果をモンテカルロシミュレーションで再現し、D-FF 中の特定のトランジスタにより回路動作特性が大きく影響されることを示す。

#### 3.1 試作した TEG

本 TEG の目的は、ばらつき拡大時の D-FF タイミング制約悪化が回路動作に与える影響の一例を示すことである。65nm プロセスで標準インバーターを用いた 7 段リングオシレータ (RO) に、D-FF と標準インバーターで構成された分周器が直接接続された回路を試作した (図 5)。図 5 の Enable 信号によって RO の発振/停止を制御し、RO の発振を D-FF のクロックに入力し、D-FF とインバーターで構成された分周器を通して出力を得る。このような回路構成にすることで、D-FF のタイミング制約拡大が回路動作に与える影響を短時間で検証することができる。この回路を 1 チップに 387 個配置し、20 個のチップについて動作を検証した。従って、評価回路の総数は 7740 個である。ばらつきが拡大した場合を再現するために電源電圧 0.7V (標準電圧 1.2V) で動作させている。複数のプロセスコーナーを用いた回路シミュレーションにおいてはこの回路は電源電圧 0.7V、1.2V の場合で動作不具合なく RO の発振周波数を分周器を通じて取り出せることを確認した。

また、低電源電圧における分周器の動作を SS コーナーにて解析した。入力周波数 (任意単位) に対する出力周波数を図 6 に示す。入力波の周波数が一定値を超えると適切に分周できなくなり、3 分周、4 分周などの異常分周の領域が発生してしまう。これは分周器内の D-FF が中間電位を保持していることに起因している。

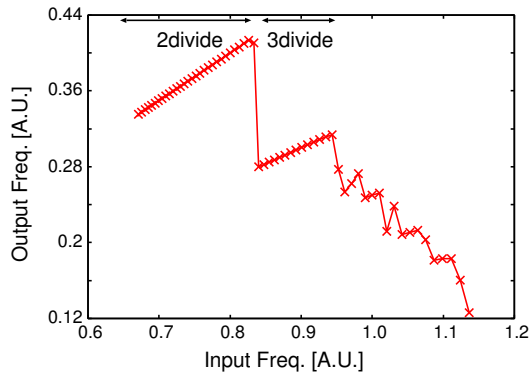


図 6: 低電源電圧での分周回路動作 (0.7V, SS コーナー)

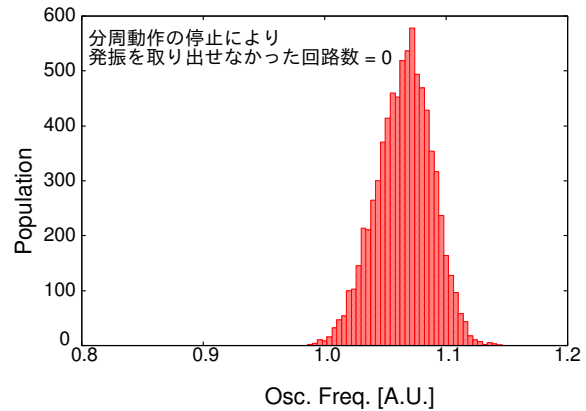


図 7: テスト回路実測結果の周波数分布 (電源電圧 1.2V)

### 3.2 実測結果

図 7 と図 8 がテスト回路の発振周波数分布である。標準電圧 (1.2V) で動作させた場合、発振周波数の分布はほぼ正規分布的に広がっており、動作不良と思われる回路は検出されなかった。しかしランダムばらつきが拡大する低電源電圧 (0.7V) で測定した場合、発振周波数のピークが二つ確認できた。発振を取り出せなかった回路も 1021 個存在した。発振周波数のピークが二つ確認できるのは分周器が適切に 2 分周できずに 3 分周しているためである。また後述するモンテカルロシミュレーションの結果から、発振周波数を取り出せなかった回路の大部分についても RO 自体が発振していないのではなく、分周器の動作が停止したためであると予想される。

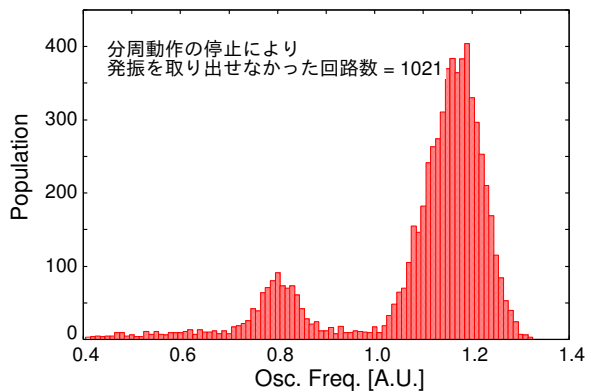


図 8: テスト回路実測結果の周波数分布 (電源電圧 0.7V)

### 3.3 ばらつき耐性の高い D-FF

低電源電圧下でのテスト回路の測定結果をモンテカルロシミュレーションで再現し、D-FF の脆弱性は特定のトランジスタの影響が大きいことを示す。実験方法としては図 5 のテスト回路のレイアウトから抽出したネットリストを用いて、ゲート長  $L$ 、トランジスタ閾値電圧  $V_{thn}$  と  $V_{thp}$  をパラメータとして 3000 回のモンテカルロシミュレーションを行った。トランジスタの閾値電圧は独立に変動するものとし、ばらつき量はチャンネル幅の平方根に反比例させている。ゲートを共有するトランジスタのゲート長は同一の値を持つものとし、各ゲートは独立にばらつくとした。ばらつき量は文献 [3] の方法により抽出した。実験結果が図 9 であり、図 8 と比較して、ほぼ正確に再現できていることがわかる。

ここで今回の動作不良の主な原因が D-FF のタイ

ミング制約の拡大と考え、D-FF の一部のトランジスタ性能ばらつきを抑制することにより脆弱性を改善させることを考える。2.2.. での考察により、D-FF のタイミング制約を決定するのは主にクロック生成部 (clk) と path A のパストランジスタ、path B のパストランジスタであることがわかった。すなわちこれらの箇所のトランジスタ性能ばらつきを抑制することで D-FF のタイミング制約が縮小し、回路の動作補償性が高まる。ばらつき抑制のため、D-FF の上述の三カ所のトランジスタサイズをそれぞれ二倍にして同様のモンテカルロシミュレーションを行った。シミュレーションの結果、発振を取り出せなかった回路の個数を表 3 に示す。この結果から回路動作不良に与える影響が大きいのはクロック生成部と gate A のパストランジスタであることがわかる。次に図 2 の path A と Cinv A, Cinv B の計六個のトランジスタサイズを二倍にしたモンテカルロシミュレーション

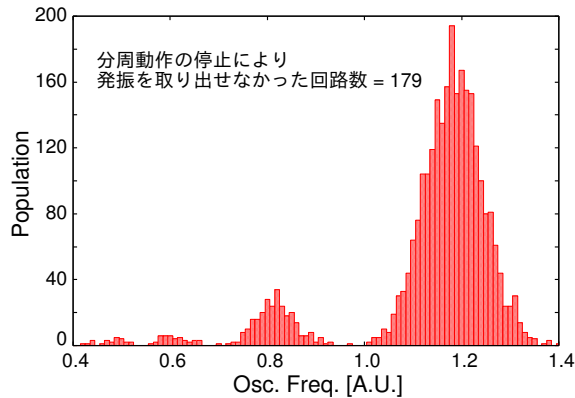


図 9: テスト回路のモンテカルロシミュレーション結果

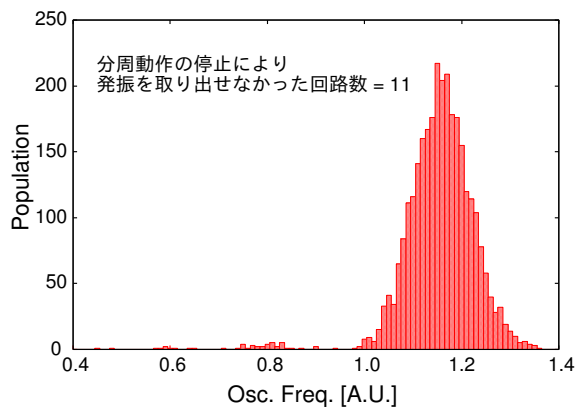


図 10: D-FF の一部トランジスタサイズを調整したテスト回路のモンテカルロシミュレーション結果

ン結果を図 10 に示す。図 9 で見られた 3 分周, 4 分周となる回路が減少し, 発振を取り出せなかった回路も 179 個から 11 個に減少している。よって D-FF の脆弱性の主要な部分はクロック生成部, path A のパストラジスタであると言える。これらの箇所のトランジスタ性能ばらつきを補償することで, D-FF のばらつき耐性を向上させることが可能となる。

## 4 まとめ

本稿ではばらつきが順序セルの動作特性に与える影響について述べた。D-FF の回路生成部のトランジスタ性能がある組み合わせになることで, コーナー解析よりもセットアップ時間とホールド時間が悪化することを確認した。また, D-FF を用いた回路例として分周器を挙げ, 低電源電圧下でばらつきが拡大したときに D-FF のタイミング制約起因の動作不良

表 3: 特定箇所のトランジスタの駆動力を二倍にした場合のテスト回路動作

|         | orig | clk | path A | path B |
|---------|------|-----|--------|--------|
| 分周停止回路数 | 179  | 40  | 132    | 178    |

が発生することを確認した。実測結果をモンテカルロシミュレーションにて再現し, D-FF の一部のトランジスタ性能が D-FF のばらつき脆弱性の主要因となっていることを検証した。今後ますます微細化が進むにつれてランダムばらつきが拡大していくと予想されるため, ばらつき耐性の高い順序セルの設計指針や, 適切な特性抽出方法を選択することが必要である。

## 5 謝辞

本研究の一部は, 経済産業省から STARC に委託された「次世代回路アーキテクチャ技術開発事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し 株式会社半導体理工学研究センター, (株) イー・シャトルおよび富士通株式会社の協力でされた。テスト回路の試作に協力いただいた寺田晴彦氏に感謝いたします。

## 参考文献

- [1] S. Nassif. Design for variability in dsm technologies. In *Proceedings of IEEE International Symposium on Quality Electronic Design*, pp. 451–454, March 2000.
- [2] S. Zanella, A. Neviani, B. Franzimi, and C. Guardiani. Statistical timing macromodels of digital IP libraries. In *2000 5th International Workshop on Statistical Methodology*, pp. 76–79, 2000.
- [3] 寺田晴彦, 土谷亮, 小林和淑, 小野寺秀俊. リングオシレータアレイによるゲート遅延ばらつきの評価とモデル化. DA シンポジウム, pp. 199–204, 2008.
- [4] 野村昌弘. デジタル集積回路における素子ばらつきの影響と対策. 電子情報通信学会誌, Vol. 92, pp. 433–439, 2009.