

遅延モニタ回路によるプロセス変動量の推定

Islam A.K.M. Mahfuzul^a, 土谷亮^a, 小林和淑^b, 小野寺秀俊^{a,c,d}

^a 京都大学大学院情報学研究科 通信情報システム専攻,

^b 京都工芸繊維大学工芸科学研究科 電子システム工学専攻

^c JST, CREST, ^d 京都大学光・電子理工学研究センター

{mahfuz, tsuchiya, kobayasi, onodera}@vlsi.kuee.kyoto-u.ac.jp

本稿では遅延モニタ回路による測定値を用いて各プロセスパラメータの変動量を推定する手法を提案する。まず遅延モニタ回路の特性のモデル式を作成し、そのモデル式を用いて各プロセスパラメータの変動量を推定する手法を示す。そして、プロセスパラメータの変動に対する様々な感度の遅延モニタ回路を設計し、実チップの測定値を用いてPMOSとNMOSの閾値電圧とゲート長の変動量を推定する。推定した結果、各MOSの閾値電圧の変動範囲がPCMデータの変動範囲内にあった。

Estimation of Process Parameter Variation using Delay Monitor Circuits

Islam A.K.M. Mahfuzul^a, Akira Tsuchiya^a, Kazutoshi Kobayashi^b and Hidetoshi Onodera^{a,c,d}

^aDepartment of Communications and Computer Engineering, Kyoto University,

^bDepartment of Electronics, Kyoto Institute of Technology, ^cJST, CREST, ^dPESEC

In this paper, We discuss a method to estimate each process parameter using delay monitor circuits. We design delay monitor circuits to extract the variation of each process parameter. We then make a model for the delay monitor circuit and estimate the variation using the model. We verify our method with measured value of real chip. Our result matches with the PCM data.

1 研究の背景と概要

集積回路の微細化によってトランジスタ特性のばらつきが大きな問題となっている。現在の設計手法では、回路特性の最悪値を見積もり、最悪値が仕様の特性を満たすように回路設計が行われる。この方法では、設計マージンを大きく取る必要があるためオーバースペックとなり、消費電力やチップ面積の増加につながる[1]。ここで、トランジスタ特性のばらつきは、チップ内で変動する成分(WID成分)とチップ間で変動する成分(D2D成分)で構成される。微細化に伴いWID成分が増加しているが、ランダムばらつきが主要な成分となる[2]。そのため、回路構造の工夫により、WID成分の影響を減らすことが可能である。一方、D2D成分はチップ内の回路に一律な影響を与えるため、この変動成分を補償することができれば、設計マージンの大幅な削減が可能になる。

また、各プロセスパラメータの変動量をモニタするモニタ回路とモニタした変動量を基にチップの特性を制御する制御回路をチップに搭載しておけば、チップ自身が自分の特性を判断し、自分の特性を調整することができるようになる。近年、特定のプロ

セスパラメータの変動をモニタするためのモニタ回路が提案されている[3-5]。しかし、これらはデバイスアレイ[3,4]あるいはアンプ[5]を用いており、集積回路にモニタ回路を埋め込むにはさらに面積の小さいもので、同時に複数のパラメータの変動量を抽出することができるモニタ回路が必要である。また、文献[6]では、PN比の異なるリング発振回路を用いて、MOSトランジスタの飽和電流を求める回路が提案されている。しかし、遅延時間やリーク電力などの回路特性を最適に制御するためには、トランジスタ特性の変動要因が推定可能な方法が望ましい。

本稿では回路特性に最も大きな影響を与えるプロセスパラメータであるMOSの閾値電圧とゲート長の変動量をモニタ回路の測定値より推定する。そのために、遅延モニタ回路により測定した回路特性のモデルを作成し、そのモデルを用いて複数のプロセスパラメータの変動量を推定するためにモニタ回路の構造について述べる。そして、作成したモデルを用いてプロセスパラメータの変動量をシミュレーションにより正しく推定できること確認する。最後に、実測値を用いてプロセス変動量の推定を行い、本手法の妥当性を確認する。今回の結果では、各MOSの閾値電圧の変動量の範囲がProcess Control Module(PCM)

のデータの変動範囲内にあった．そして，推定した変動量を用いて他の構造の回路の特性をシミュレーション上で再現し，本手法の妥当性を確認した．

本稿の構成を次に示す．第2節では遅延モニタ回路のモデル化とプロセスパラメータの変動量を推定するための回路設計について述べる．第3節では実測値を用いて各チップでのプロセスパラメータの変動量を推定した結果を示し，結果の妥当性について検討する．最後に第4節で結果をまとめ，今後の課題について述べる．

2 プロセス変動量の推定法

あるプロセスパラメータの変動量を直接測定することは一般に困難である．そこで，回路のある特性を測定し，その測定値よりプロセスパラメータの変動量を推定する必要がある．ある特定のパラメータの変動量を推定するにはそのパラメータの変動に対する感度を高くし，他のパラメータの変動量の影響をなくす回路が必要である．本稿では同時に複数のパラメータの変動量を推定することを提案する．

2.1 遅延モニタ回路のモデル

回路の特性を測定する遅延モニタ回路としてリングオシレータ (Ring Oscillator: RO) が広く用いられる．RO は奇数個のインバータがリング状につながっている回路である．RO は構造が簡単で，要する面積が少ない．RO の発振周波数は各パラメータに依存するため，回路構造の工夫により各パラメータに関する情報の抽出が可能である [3, 4, 6]．RO の発振周波数はトランジスタのオン電流の α 乗則モデル [7] を用いて式 (1) のように表すことができる．

$$f = \frac{\mu C_{ox}}{N C_L V_{DD} L} \left\{ \frac{1}{W_p (V_{DD} - V_{thp})^\alpha} + \frac{1}{W_n (V_{DD} - V_{thn})^\alpha} \right\}^{-1} \quad (1)$$

RO の段数を増やすことによりあるいは複数の回路の発振周波数を平均化することによりチップ内のランダムな変動をなくすることができる．

CMOS 回路のシミュレーションに用いるトランジスタモデルのパラメータを調整することによりシミュレーション上でばらつきを再現することができる．PMOS の閾値電圧の変動に対して RO の発振周波数の変化を見ると (図 1)，特性は滑らかに変化している．そこで，RO の発振周波数を各パラメータの変動の関数として表現することができる．プロセスパラメータとして各 MOS の閾値電圧とゲート長のみを考慮してその関数を展開して 1 次近似を行い，

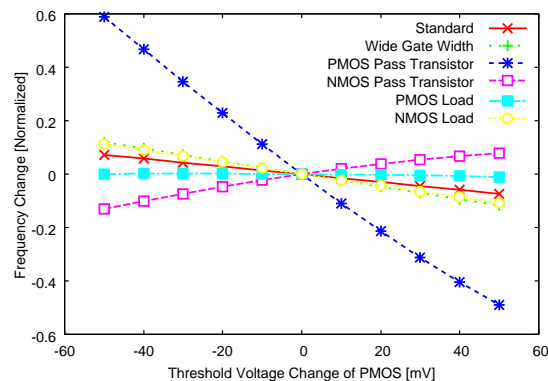


図 1: PMOS の閾値電圧の変動に対して様々な構造の RO の発振周波数の変化

RO の発振周波数に関してモデル式 (2) を作成する．

$$\frac{\Delta f}{f_0} = k_P \frac{\Delta V_{thp}}{\Delta_0 V_{thp}} + k_N \frac{\Delta V_{thn}}{\Delta_0 V_{thn}} + k_L \frac{\Delta L}{\Delta_0 L} \quad (2)$$

このモデルの特徴は，モデルが非常に簡単で使いやすい．そして，このモデルを複数回適用することにより高次の特性が表現できる．また，このモデルにおける各パラメータに対する感度係数をシミュレーションより簡単に求めることができる．

本稿で対象としてプロセスパラメータは 3 つであるため，それぞれのパラメータの変動量を推定するために 3 つの回路を用いる必要がある．3 つの回路のモデルを用いて式 (3) よりそれぞれのパラメータの変動量を推定する．

$$\begin{pmatrix} \Delta V_{thp} \\ \Delta V_{thn} \\ \Delta L \end{pmatrix} = \begin{pmatrix} k_{P1} & k_{N1} & k_{L1} \\ k_{P2} & k_{N2} & k_{L2} \\ k_{P3} & k_{N3} & k_{L3} \end{pmatrix}^{-1} \begin{pmatrix} \frac{\Delta f_1}{f_{01}} \\ \frac{\Delta f_2}{f_{02}} \\ \frac{\Delta f_3}{f_{03}} \end{pmatrix} \quad (3)$$

ここで， (k_{P1}, k_{N1}, k_{L1}) ， (k_{P2}, k_{N2}, k_{L2}) と (k_{P3}, k_{N3}, k_{L3}) はそれぞれの回路の感度係数ベクトルを表している．測定時の誤差，シミュレーション時の誤差などを考慮して，各パラメータの変動量を正確に抽出するには，これらの感度係数ベクトルを適切に設定する必要がある．

2.2 モニタ回路の検討

ここで，いくつかの構造の RO に対してその感度係数ベクトルを調べ，モデル式 (1) により推定するための必要な条件を検討する．感度係数ベクトルの違う回路を実現するために，図 2 ~ 4 のような工夫を行った回路を設計した．図 2 の回路は負荷に MOS による容量をつけることにより閾値電圧の変動の効果をお小さくしている．図 3 の回路は NMOS のパスゲー

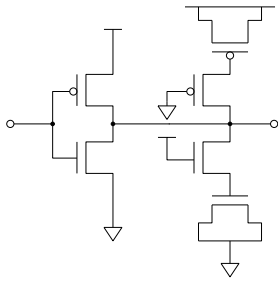


図 2: 閾値電圧の変動の影響を少なくする回路構造

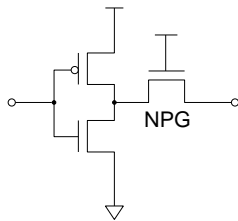


図 3: NMOS の閾値電圧の感度を高める回路

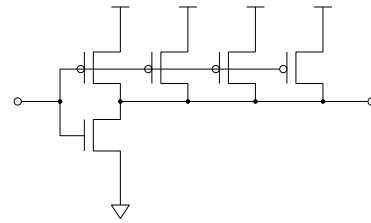


図 4: NMOS の閾値電圧の感度を高める回路

表 1: 各回路の感度係数

モニタ回路	kp	kn	kl
NMOS RICH(16 倍)	-0.046	-0.034	-0.031
PMOS RICH(16 倍)	-0.032	-0.042	-0.027
NMOS RICH(4 倍)	-0.043	-0.031	-0.030
PMOS RICH(4 倍)	-0.030	-0.038	-0.027
標準	-0.036	-0.032	-0.029
NMOS Passgate	0.084	-0.408	-0.053
PMOS Passgate	-0.209	0.019	-0.081
容量	-0.029	-0.030	-0.026
CMOS Passgate	-0.039	-0.036	-0.030

トを出力側につけることにより NMOS の閾値電圧の変動に対する感度を高くした回路構造である。ここで、パスゲートのトランジスタは抵抗として働き、閾値電圧の変動に対してその抵抗値は大きく変化する。従って、NMOS の閾値電圧の変動に対する感度が高くなる。図 3 と同様に PMOS のパスゲートをつけることにより PMOS の閾値電圧の変動に対する感度を高くする回路の実現ができる。図 4 は PMOS のサイズを標準のインバータのサイズより 4 倍にしている。その結果、インバータの遅延が NMOS の特性により敏感になり、NMOS の特性変動に対する感度が高くなる。同様に、PMOS の特性変動に対する感度を高くすることができる。

これらの回路において各パラメータの変動に対する感度係数を表 1 に示す。表 1 において、NMOS RICH は NMOS を大きくした回路を示し、括弧内の数字は標準の回路を基準としたときの倍率を表す。容量の回路は図 2 の回路を表す。表 1 より、NMOS あるいは PMOS のパスゲートつけることにより各 MOS の閾値電圧の変動に対する感度係数が標準の回路より 7 ~ 12 倍になる。

次に、これらの回路の感度係数ベクトルがお互いとなす角度を表 2 に示す。表 2 において、MOS のパストラジスタをつけた回路の場合、他の回路の感度係数となす角度が最も大きくなっている。角度が大きいほど測定値の誤差や他のパラメータの影響がある場合でも正しい推定ができる。

2.3 シミュレーションによる推定条件の検討結果

表 2 に 7 つ回路があり、この中から 3 つを選択する必要がある。測定結果の誤差、対象のパラメータ以外の要因の影響などを考慮して、選択する 3 つの回路の間に次の条件が成り立つことが重要である。

1. あるパラメータの変動に対する感度係数がお互いの回路で違うこと。
2. 最適に推定を行うにはお互いの感度係数ベクトルができるだけ直交すること。

これらの条件を確認するために、表 2 に示している回路で検討した結果の内、感度係数ベクトル間の角度の違う次の 2 つの回路群の検討結果を述べ、プロセス変動量を正しく推定するための条件を確認する。

1. 回路群 1: 標準の回路, PMOS と NMOS のサイズを独立に変えた 2 つの回路
2. 回路群 2: 標準の回路, パスゲートによる工夫を行った 2 つ回路

回路群 1 は最も簡単な回路構造であるが、要する面積が大きくなる。しかし、感度係数に関して大きな変化が得られない。回路群 1 のように感度係数ベクトル間の角度が小さいモニタ回路で各プロセスプロ

表 2: 各回路がお互いとなす角度 [単位:度]

	NMOS RICH	PMOS RICH	標準	NMOS Gate	PMOS Gate	容量	CMOS Gate
NMOS RICH	0.0	13.9	4.9	64.5	38.9	9.8	5.3
PMOS RICH	13.9	0.0	10.3	50.6	52.8	6.4	8.9
標準	4.9	10.3	0.0	60.8	43.0	5.1	1.9
NMOS Gate	64.5	50.6	60.8	0.0	103.1	56.0	59.5
PMOS Gate	38.9	52.8	43.0	103.1	0.0	48.1	44.1
容量	9.8	6.4	5.1	56.0	48.1	0.0	4.7
CMOS Gate	5.3	8.9	1.9	59.5	44.1	4.7	0.0

メータの変動量が推定できるかを確認する．そのために，シミュレーションにおいて PMOS と NMOS の閾値電圧の変動に関して 4 パターンの変動を実現し，それぞれの場合において回路群 1 を用いて本モデルにより変動量を推定した．回路群 1 を用いて各プロセスパラメータの変動量を推定した場合の閾値電圧の推定結果を図 5 の点 “+” で示す．図 5 の丸い点はシミュレーション上で実現した閾値電圧の変動量を表している．図 5 の横軸は PMOS の閾値電圧と変動を規格化して表している．縦軸は NMOS の閾値電圧の変動を規格化して表している．ここで，点 “+” が丸い点に近いほどより正しい推定結果となる．

図 5 よりシミュレーション上で与えた既知の変動量が正しく推定されているが，推定に誤差が生じている．この誤差は各パラメータの変動に対して回路特性の線形性からのずれが原因であると考えられる．本モデルを複数回適応することができるため，モデルを複数回適応することによりその誤差をなくすることができる．ここで，他のパラメータの影響や測定値とシミュレーション値の誤差などを考慮していないため，感度係数ベクトル間の小さい角度でも正しく推定されている．

次に，測定値の誤差をシミュレーション上で実現するために，NMOS RICH の回路の発振周波数に 1% 誤差を入れて上と同じような実験を行った．その結果を図 5 の点 “x” で示す．図 5 より測定データに誤差が含まれる場合，推定した変動量が実際の変動量より大きくずれてしまい，正しく推定できない．回路群 1 では感度係数ベクトル間の角度が小さい (4.9, 10.3, 13.9) ため，測定誤差が推定結果に大きく影響しているといえる．さらに，他のパラメータの影響，シミュレーション時で求める感度係数の誤差などを考慮すると，このような回路より各パラメータの変動量を正しく推定できない可能性があることがわかる．従って，本モデルより各プロセスパラメータを正確に推定するには感度係数ベクトル間の角度が大きく (なるべく直交) なるようなモニタ回路の設計が必要である．

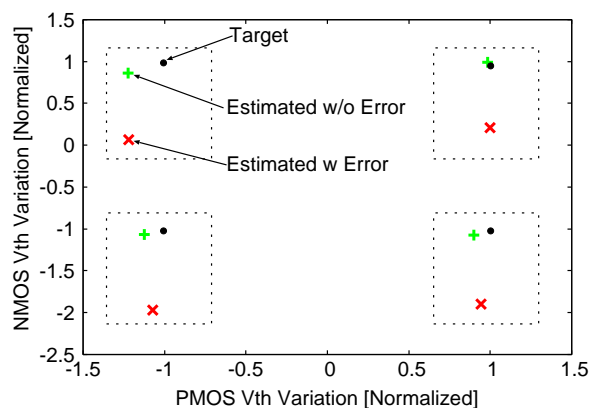


図 5: 回路群 1 で推定した閾値電圧の推定結果

次に，感度係数ベクトル間の角度の大きい (60.8, 43.0, 103.1) 回路群 2 を用いて上と同じような実験を行った．その結果を図 6 に示す．図 6 の点 “+” は測定値に誤差がない場合の結果であり，点 “x” は誤差が含まれている場合の結果になっている．回路群 1 の結果と比較すると，測定値に誤差が含まれている場合でも回路群 2 では正しい推定ができています．これは表 2 より回路群 2 では感度係数ベクトル間の角度が大きい (60.8, 43.0, 103.1) ため，誤差がある場合でも正しい推定にその影響が少ないためである．

以上の結果より，て本モデルより各プロセスパラメータの変動量を推定するには，測定誤差や他のパラメータの影響を考慮して回路群 2 のように感度係数ベクトル間の角度の大きいモニタ回路を用いる必要がある．

3 実測値よりプロセス変動量の推定

実チップでの測定より本稿で提案した推定手法を確認するために 65nm プロセスにおいてチップを試作した．試作したチップでは，表 3 に示す回路を搭

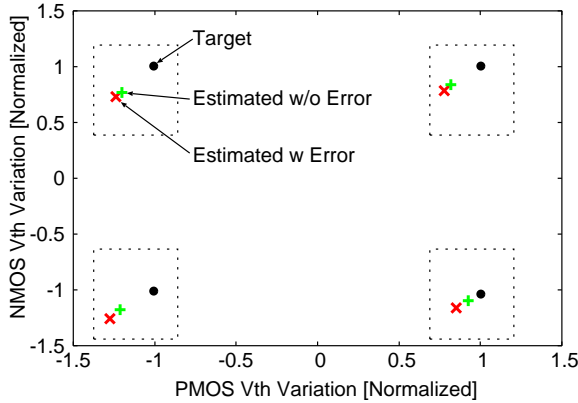


図 6: 回路群 2 で推定した閾値電圧の推定結果

表 3: Wafer 上における発振周波数の測定値の平均と Typical 条件でのシミュレーション時の値の比較 [単位:MHz]

RO	測定値	中心値
NMOS RICH (16 倍)	326.0	329.7
PMOS RICH (16 倍)	322.1	337.7
NMOS RICH (4 倍)	773.8	765.1
PMOS RICH (4 倍)	751.6	778.1
標準	1248	1231
NMOS Gate	211.5	164.0
PMOS Gate	277.3	293.3
容量	590.8	588.1
CMOS Gate	580.5	576.0

載した．ランダムな変動をなくすために，1つのチップに同じ種類の回路を 400 個用意した．

3.1 測定データ

本稿では，チップ間のグローバルな変動を各プロセスパラメータに分離する．チップ内ばらつきをなくすために，400 個の測定データを平均化した．今回の TEG ではチップ間ばらつきが 1.27% となり，今後の微細化プロセスではこのチップ間ばらつきを補償することが重要である．

チップによって各プロセスパラメータの変動量を決めるために，コーナモデルの Typical 条件での特性を標準とした．すなわち，Typical 条件での値より各パラメータの値のずれをチップによって推定する．表 3 にウェハ上での測定値の平均と Typical 条件での値の比較を示す．表 3 よりウェハ上で発振周波数は標準の値よりずれており，そのずれを各パラメータに分離する．

3.2 推定結果

第 2 節の回路群 1 を用いて各チップでのプロセス変動量を推定した結果の内，閾値電圧に関する結果を表 4 に示す．表 4 は推定した各 MOS の閾値電圧の変動量を PCM データの変動範囲を -1 から 1 までとして推定結果を正規化して表している．表 4 より PCM データでの閾値電圧の変動範囲と本モデルにより推定した変動範囲が大きく異なっている．推定した閾値電圧の変動範囲が PCM データの変動範囲内にある必要があるため，回路群 1 を用いて実際のチップ上でプロセスパラメータをモニタすることができていない．この原因として測定誤差，他のパラメータの影響などが考えられる．ゲート長に関して推定した変動量の範囲は $-10.8 \sim -3.2\text{nm}$ となり，大きな変動量となっている．従って，回路群 1 のような単純にトランジスタサイズを変えた場合，感度係数ベクトルの間の角度が小さい ($4.9, 10.3, 13.9$) ため，誤差などの影響で正しく測定できないことがある．正しく推定を行うには，各回路の感度係数ベクトルを大きくする必要がある．

次に，感度係数ベクトル間の角度の大きい第 2 節の回路群 2 を用いて各チップでプロセス変動量を推定した結果，PMOS と NMOS の閾値電圧の変動範囲が PCM データと変動範囲内にある．表 5 に各チップでの各 MOS の閾値電圧に関する推定結果の範囲と PCM データより閾値電圧の変動範囲を示している．そして，ゲート長に関して推定した変動量の範囲は $-2.0 \sim 1.4\text{nm}$ となり，現実的な結果となった．回路群 2 の場合，感度係数ベクトル間の角度が ($60.8, 43.0, 103.1$) であり，お互いのベクトルは大きく開いている．従って，感度係数ベクトル間の角度が大きくなるようにモニタ回路を設計すると，本モデルより各プロセスパラメータの変動量を正確に推定することができる．

表 4: 回路群 1 による MOS トランジスタの閾値電圧の変動結果 (PCM データと推定結果の比較)

	PCM	推定
NMOS	$-1 \sim 1$	$3.38 \sim 4.21$
PMOS	$-1 \sim 1$	$-2.85 \sim 0.99$

表 5: 回路群 2 による MOS トランジスタの閾値電圧の変動 (PCM データと推定結果の比較)

	PCM	推定
NMOS	$-1 \sim 1$	$-1.3 \sim -0.23$
PMOS	$-1 \sim 1$	$-0.33 \sim 0.32$

3.3 結果の妥当性の検討

回路群 2 を用いて本モデルにより推定した変動量の範囲が PCM データの範囲内にある。ここで、推定した変動量の妥当性について検討する。推定した変動量でシミュレーション上ですべての回路の測定値を再現できたら、本モデルにより推定した結果が正しいことがいえる。推定した結果を用いて 1 つのチップにおいてシミュレーション値と測定値の比較を表 6 に示す。表 6 より、PMOS を大きくした回路以外のどの RO の場合でも最大誤差が 1.2% で測定値とシミュレーション値が一致している。PMOS を大きくした回路の場合の最大誤差が 6.7% であり、シミュレーション値と実測値が大きく異なっている。これは本モデルで考慮していない他のパラメータ、例えば移動度などが強く影響していることが原因であると考えられる。PMOS を大きくした回路以外ではシミュレーション値と実測値が一致していることから、本モデルにより正しい推定が可能である。しかし、移動度などのパラメータも考慮してモニタ回路の設計とモデル化が今後の課題となる。

表 6: 推定した変動量を用いたシミュレーション結果と実測値の比較 [単位:MHz]

RO	測定値	Sim	誤差 [%]
NMOS RICH(16)	326.0	329.7	1.1
PMOS RICH(16)	319.6	340.9	6.7
NMOS RICH(4)	767.1	765.2	-0.25
PMOS RICH(4)	748.4	785.4	4.9
標準	1236	1236	0.00
NMOS Passgate	203.6	204.0	0.20
PMOS Passgate	264.8	264.6	-0.08
容量	584.5	591.6	1.2
CMOS Gate	574.2	578.5	0.75

4 まとめ

本稿では同時に複数のプロセスパラメータの変動量を推定するためのモデルとモニタ回路の構造について検討した。プロセスパラメータとして MOS の閾値電圧とゲート長を考慮した場合、シミュレーション上でこれらのプロセスパラメータの変動量を推定できることを示した。測定値に誤差や考慮していないパラメータの影響がある場合、回路の感度係数ベクトル間の角度が小さいモニタ回路では正しい測定ができないことを示した。しかし、感度係数ベクトル間の角度が大きくなるようにモニタ回路を設計すると、正しい推定ができることを確認した。最後に、本手

法を確認するために 65nm プロセスにおける実測値を用いてプロセス変動量の推定を行った。感度係数ベクトル間の角度が大きい回路を用いた場合、閾値電圧の推定結果が PCM データの変動範囲内にあった。そして、推定した結果を用いて他の回路の特性をシミュレーションした結果、PMOS を大きくした回路以外の回路の特性は実測値と一致した。PMOS を大きくした場合、移動度などが強く影響していると考え、今後他のパラメータも考慮してモニタ回路の設計とモデル化が課題となる。

謝辞

本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ技術開発事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し 株式会社半導体理工学研究センター、(株)イー・シャトルおよび富士通株式会社の協力で行われた。

参考文献

- [1] B.H. Calhoun. "Digital circuit design challenges and opportunities in the era of nanoscale CMOS". *Proceedings of the IEEE*, Vol. 96, No. 2, pp. 343-365, March 2008.
- [2] Hidetoshi Onodera. "Variability Modeling and Impact on Design". *Proceedings of the IEEE*, pp. 701-704, 2008/12.
- [3] K. Agarwal, S. Nassif, F. Liu, J. Hayes, and K. Nowka. "Rapid Characterization of Threshold Voltage Fluctuation in MOS Devices". *Microelectronic Test Structures, 2007. ICMTS '07. IEEE International Conference on*, pp. 74-77, March 2007.
- [4] M. Bhushan, M.B. Ketchen, S. Polonsky, and A. Gattiker. "Ring oscillator based technique for measuring variability statistics". *Microelectronic Test Structures, 2006 IEEE International Conference on*, pp. 87-92, March 2006.
- [5] B.L. Ji, D.J. Pearson, I. Lauer, F. Stellari, D.J. Frank, L. Chang, and M.B. Ketchen. "Operational amplifier based test structure for transistor threshold voltage variation". *Microelectronic Test Structures, 2008. ICMTS 2008. IEEE International Conference on*, pp. 3-7, March 2008.
- [6] H. Notani, M. Fujii, H. Suzuki, H. Makino, and H. Shinohara. "On-chip digital Idn and Idp measurement by 65 nm CMOS speed monitor circuit". In *Solid-State Circuits Conference, 2008. A-SSCC '08. IEEE Asian*, pp. 405-408, Nov. 2008.
- [7] T. Sakurai and A.R. Newton. "Alpha-power law MOS-FET model and its applications to CMOS inverter delay and other formulas". *Solid-State Circuits, IEEE Journal of*, Vol. 25, No. 2, pp. 584-594, Apr 1990.