

# 改良型 SEILA (ソフトウェア耐性ラッチ) の $\alpha$ 線による耐性評価

吉田 圭汰<sup>1</sup> 杉崎 春斗<sup>1</sup> 中島 隆一<sup>1</sup> 古田 潤<sup>2</sup> 小林 和淑<sup>1</sup>

**概要:** 集積回路の微細化に伴い、信頼性の低下が問題となっている。信頼性低下の一因としてソフトウェア耐性が挙げられる。本研究では、先行研究で提案されているソフトウェア耐性ラッチのソフトウェア耐性評価を行う。その結果をもとに、改良型ラッチとそれを使用した 2 つのフリップフロップを提案する。提案したフリップフロップについてシミュレーションを用いた性能評価と、65 nm バルクプロセスで設計したチップを用いた  $\alpha$  線照射によるソフトウェア耐性評価を行った。評価結果より、改良型ラッチでは改良前で見られたエラーが 0 となった。提案 FF のエラー発生率は一般的な FF である TGFF と比べて 1/125, 1/14732 まで減少し、耐性が向上していることを確認した。

## Improved SEILA (Soft Error Immune Latch) Tolerance evaluation by $\alpha$ radiation

KEITA YOSHIDA<sup>1</sup> HARUTO SUGISAKI<sup>1</sup> RYUICHI NAKAJIMA<sup>1</sup> JUN FURUTA<sup>2</sup> KAZUTOSHI KOBAYASHI<sup>1</sup>

**Abstract:** With the miniaturization of integrated circuits, the reliability of integrated circuits has been declining. Soft errors are one of the causes of reliability degradation. In this study, we evaluate the soft-error tolerance of SEILA (Soft Error Immune Latch) in a previous research. Based on the results, we propose an improved latch and two flip-flops that use the improved latch. We evaluate the performance of the proposed flip-flops by circuit simulations and soft-error tolerant evaluation by irradiation of an  $\alpha$  source using a chip designed in a 65 nm bulk process. The evaluation results show that the improved latch has no error, which was observed before the improvement. The error rates of the proposed FFs were reduced to 1/125 and 1/14732 compared to TGFF, which is a general FF, confirming the improved tolerance.

### 1. 序論

集積回路は微細化に伴い、低消費電力化、動作周波数の向上が実現されている [1]。一方、微細化による集積回路の信頼性低下が問題になっている。信頼性低下の原因の一つにソフトウェア耐性が挙げられる。ソフトウェア耐性とは放射線による一時的な故障のことである。放射線の突入により発生した電子正孔対がトランジスタの拡散層に収集されることで記憶素子の保持値が反転し、ソフトウェア耐性となる。ソフトウェア耐性は永久故障であるハードエラーとは異なり、再

起動により修復可能であるが、医療機器などの高信頼性が求められる機器では致命的となるため対策が必要である。

本稿では、先行研究で提案されているソフトウェア耐性ラッチのソフトウェア耐性評価を行う。その結果をもとに、改良型ラッチとそれを使用したフリップフロップ (FF) を提案する。提案 FF についてシミュレーションを用いた性能評価と、65 nm バルクプロセスで設計したチップを用いた  $\alpha$  線照射によるソフトウェア耐性評価を行った。第 2 節ではソフトウェア耐性の発生原理と評価方法について述べる。第 3 節ではソフトウェア耐性ラッチである SEILA (Soft Error Immune Latch) と改良型ラッチの説明、評価を行う。第 4 節では改良型ラッチを使用した耐ソフトウェア耐性 FF の説明を行う。第 5 節では耐ソフトウェア耐性 FF の、回路シミュレーションと  $\alpha$  線を用いた加速試験によるソフトウェア耐

<sup>1</sup> 京都工芸繊維大学電子システム工学専攻  
Department of Electronics, Kyoto Institute of Technology

<sup>2</sup> 岡山県立大学情報工学部情報通信工学科  
Department of Information and Communication Engineering,  
Okayama Prefectural University

性評価について述べる。第 6 節では結論を述べる。

## 2. ソフトエラー

本節では、放射線による一時的故障であるソフトエラーの説明と、本研究で用いたソフトエラー耐性の評価評価手法について述べる。

### 2.1 ソフトエラーの発生原理

ソフトエラーの発生機構を図 1 に示す。放射線がトランジスタに突入することにより電子正孔対が生成される。発生した電荷がトランジスタの拡散領域に収集されることにより、記憶素子の保持値が反転する。この現象をソフトエラーと呼ぶ [2]。地上におけるソフトエラーの発生原因となる放射線は  $\alpha$  粒子、熱中性子、高エネルギー中性子が挙げられる。

#### 2.1.1 $\alpha$ 粒子

集積回路のパッケージ材料に含まれる放射線不純物が  $\alpha$  崩壊すると  $^4\text{He}$  の原子核である  $\alpha$  粒子が生じる。この  $\alpha$  粒子がトランジスタに突入することで電子正孔対が発生し、電界によってトランジスタの拡散領域に収集されるとソフトエラーが発生する。

かつてはパッケージ材料から放出される  $\alpha$  粒子がソフトエラーの主要因であったが、純度の高い材料を用いることで放射性不純物が減少したため、 $\alpha$  線起因のソフトエラーは抑制された。しかし、近年微細化が進み電源電圧やトランジスタのゲート容量が低下し、トランジスタの出力値を反転させるのに必要な電荷量は減少している [3]。純度の高いパッケージ材料は製造にコストがかかり、大量生産には不向きである。以上の理由から現在も  $\alpha$  粒子によるソフトエラーは顕在化しており、パッケージ材料によらない対策が必要である。

#### 2.1.2 熱中性子

熱中性子とは、約 0.025 eV の低エネルギーで熱平衡状態にある中性子のことである [4]。熱中性子は電荷を持たないため、トランジスタに突入しても電子正孔対は発生しない。しかし、層間絶縁膜 ( $\text{SiO}_2$ ) を平坦化する際に用いられる BPSG (Boron Phosphorus Silicon Glass) 膜に含まれる B (ボロン) の同位元素である、 $^{10}\text{B}$  が熱中性子を吸収すると  $\alpha$  粒子と Li イオンが生じる。この  $\alpha$  粒子と Li イオンがトランジスタに突入し、電子正孔対が発生することでソフトエラーが発生する。現在は BPSG に代わって、研磨剤を用いて機械的に研磨する CMP (Chemical Mechanical Polishing) が層間絶縁膜の平坦化に使用されているため、熱中性子起因のソフトエラーは抑制された。しかし、W (タングステン) プラグの生成に用いられる  $\text{B}_2\text{H}_6$  ガスによって  $^{10}\text{B}$  が配線層に含まれるため、熱中性子によるソフトエラーが発生すると考えられる [5]。

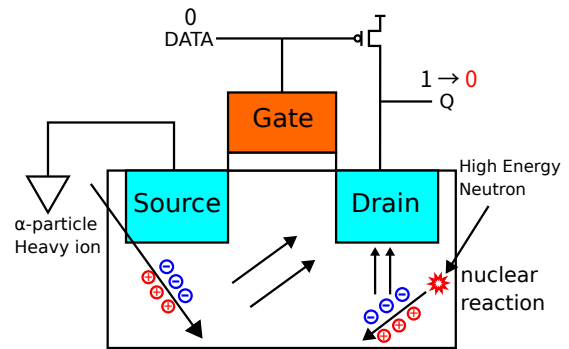


図 1 ソフトエラー発生機構

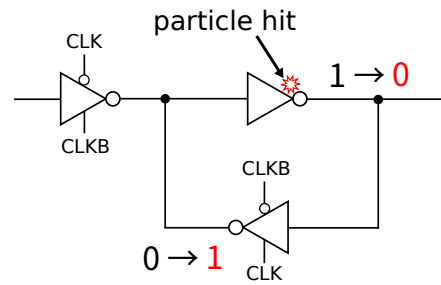


図 2 SEU の発生原理

#### 2.1.3 高エネルギー中性子

高エネルギー中性子は、陽子や He のような高エネルギーの宇宙線が大気中に突入した際に大気中の原子核と反応して発生する二次宇宙線で、数 MeV 以上のエネルギーを持つ中性子である。熱中性子と同様に電荷を持たないため、トランジスタに突入してもソフトエラーは発生しないが、高エネルギー中性子が基板の Si 原子と衝突して核反応を起こすと、 $\alpha$  線や重イオンが生じ、ソフトエラーが発生する。現在の地上でのソフトエラーの主要因は高エネルギー中性子である [6]。

## 2.2 SEU (Single Event Upset)

SEU の発生機構を図 2 に示す [7]。ラッチを構成するインバータに荷電粒子が突入することで電子正孔対が発生し、出力が反転してから元の値に戻るまでの時間幅を持ったパルスが発生する。反転した値が元の値に戻る前に、次段のトライステートインバータに取り込まれるとラッチの保持値が完全に反転する。

## 2.3 回路シミュレーションによるソフトエラー耐性評価

回路シミュレーションでは、臨界電荷量  $Q_{\text{crit}}$  による耐性評価を行う。 $Q_{\text{crit}}$  とは保持値の反転に必要な最小の電荷量のことであり、この値が大きいほどソフトエラー耐性が高いといえる [8]。微細化が進むにつれて電源電圧、トランジスタのゲート容量が減少しているため  $Q_{\text{crit}}$  は減少している。

NMOS トランジスタの場合は図 3 のように、PMOS トランジスタの場合は図 4 のように  $Q_{\text{crit}}$  を求めたいゲート

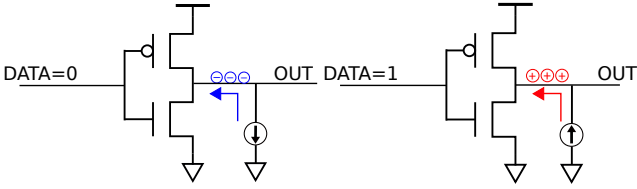


図 3  $Q_{crit}$  の測定回路 (NMOS トランジスタ) 図 4  $Q_{crit}$  の測定回路 (PMOS トランジスタ)

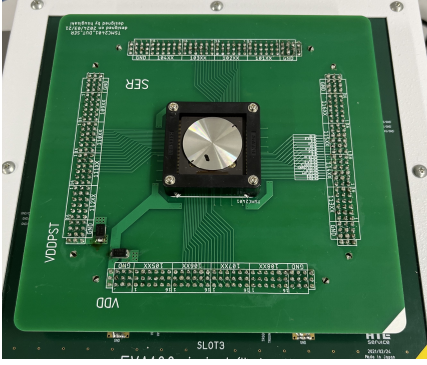


図 5 測定系

の出力ノードに電流源を接続して電荷を供給する。電荷の注入によりトランジスタの出力電圧が変化し、NMOS の場合は中間電位を下回ったときの電荷の総量、PMOS の場合は中間電位を上回ったときの電荷の総量を  $Q_{crit}$  として評価する。電源電圧は標準電圧である 1.2 V、電流源は地上においてソフトエラーの主要因となる中性子起因の誘起電荷による電流をモデル化した式 (1) に示す単一指数モデルを用いた [9]。式 (1) の  $T$  はプロセスによって決まる時定数であり、本研究では 65 nm に対応する 20 ps とした [8]。

$$I(t) = Q \frac{2}{T\sqrt{\pi}} \sqrt{\frac{t}{T}} \exp\left(-\frac{t}{T}\right) \quad (1)$$

## 2.4 $\alpha$ 線照射試験の評価手法

本研究では、3 MBq の  $^{241}\text{Am}$  が埋め込まれた  $\alpha$  線源を用いて照射試験を実施した。測定系を図 5 に示す。照射試験は以下の手順で行う。

- (1)  $\alpha$  線源をチップ上に設置。
- (2) FF に同じ値 (0 または 1) を書き込む。
- (3) CLK 信号を 0 または 1 に固定する。
- (4) 測定時間が経過した後、保持値を読み出す。
- (5) 読み出した値と期待値が異なる数をエラー数としてカウントする。
- (6)  $\alpha$  線源を取り除く。

## 2.5 $\alpha$ 線照射試験の測定条件

本研究で行った  $\alpha$  線照射試験の測定条件を以下に示す。

- 電源電圧：1.2 V (標準電圧)
- 照射時間：60 秒
- 動作状態：(DATA, CLK) = (0, 1), (1, 1), (1, 0), (0,

0)

- 測定回数：100 回

## 2.6 SER (Soft Error Rate)

実測における各 FF のソフトエラー耐性の評価方法として、エラー発生率  $P_{error}$  を用いる。エラー発生率は 1 bit ごとにエラーが発生する確率のことであり、ソフトエラーが発生した FF 数  $N_{SE}$  と FF の総数  $N_{FF}$  を用いて式 (2) で表される。

エラー発生率は FIT (Failure In Time) という単位で表す。FIT とは  $10^9$  時間あたりに発生するエラー数であり、SER は式 (4) で表される。SER が小さいほどソフトエラー耐性が高い。1 bit 毎のエラー発生率  $P_{error}$  を 1 Mbit 毎のエラー発生率に変換するために  $1024^2$  を掛ける。 $t_{ex}$  は 1 回あたりの照射時間であり、今回は 60 秒としている。 $F_{acc}$  は  $\alpha$  線の加速係数であり、式 (3) で表される。本実験では、3 MBq の  $^{241}\text{Am}$  を使用しており、測定には片面のみを使用したため 1.5 MBq として計算する。 $\alpha$  線源の大きさは 9.5 mm 角であり、 $1\text{ cm}^2$  あたりの照射線量にするために  $1/0.95^2$  を掛ける。 $\xi$  は減衰率を表しており、 $\alpha$  線源と測定対象との距離によって決まる。文献 [10] の Medium source についての曲線より、 $\alpha$  線源と測定対象の距離が 1 mm であったため、減衰率  $\xi$  は 0.68 とした。パッケージから放出される  $\alpha$  線の線量を SULA (Super Ultra Low Alpha) グレードの  $0.001\text{ count/cm}^2 \cdot \text{hour}$  と仮定した。

$$P_{error} = \frac{N_{SE}}{N_{FF}} \quad (2)$$

$$F_{acc} = \frac{1.5 \times 10^6\text{ count/sec} \times 3600 \times 1/0.95^2\text{ cm}^{-2}}{0.001\text{ count/cm}^2 \cdot \text{hour}} = 6.0 \times 10^{12} \quad (3)$$

$$\text{SER}[\text{FIT/Mbit}] = \frac{1}{\xi} \times \frac{P_{error}}{F_{acc}} \times \frac{3600}{t_{ex}[\text{sec}]} \times 10^9 \times 1024^2 \quad (4)$$

## 3. ソフトエラー耐性ラッチ

### 3.1 SEILA

先行研究 [11] にて報告されている、ソフトエラー耐性ラッチである SEILA (Soft Error Immune Latch) の回路図を図 6 に示す。SEILA は Dual-Clock-Buffers (DCB) と Double-Height-Cell (DHC) という技術を使用することで信頼性を担保していると報告されている。

通常ラッチはクロックツリーで分配されたクロック信号で制御される。クロックツリー内のクロックバッファで SET (Single-Event-Transient) が発生すると、バッファからラッチに誤った信号が送られる。これにより、予期せぬタイミングでデータが書き換わる。特にクロックツリー最終団のバッファサイズは小さいため、SET の影響を受けやすい。DCB を使用することでクロックバッファを冗長化

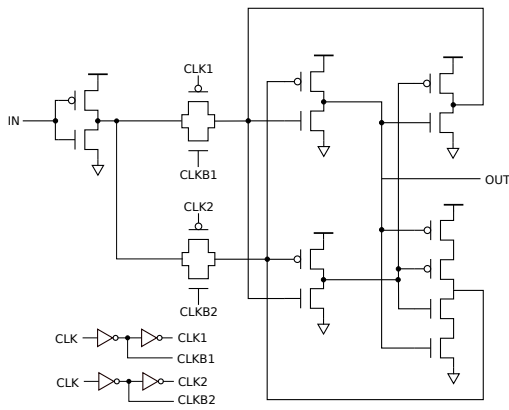


図 6 SEILA

し、SET を抑制することができる。DHC によりクリティカルエリアとキャンセリングエリアを配置し、複数ノードでの同時 SEU を抑制している。

以上の点より、SEILA はソフトエラーに強い構造を持っているが、先行研究ではエラーが発生していることが報告されている。本研究では SEILA のエラー発生要因を特定し、改良したラッチの提案を行う。

### 3.2 改良型 SEILA

SEILA におけるエラー発生メカニズムを図 7 に示す。青色は DATA = 1 のときにインバータの PMOS に放射線が衝突しパルスが発生した場合、赤色は DATA = 0 のときに C-element の NMOS に放射線が衝突しパルスが発生した場合の、パルスの伝送経路である。脆弱箇所のインバータの出力からの配線は、次段の 2 つのインバータの NMOS に共に接続されている。C-element の出力からの配線は、次段の 2 つのインバータの PMOS に共に接続されている。両ゲートの出力から伸びる配線はともに同じ型の MOS に接続されているため、図の二箇所が発生したパルスは同時に取り込まれてしまい C-element の保持値も反転してしまう。よって本研究では配線を改良し、よりソフトエラーに強いラッチを提案する。改良型ラッチの回路図を図 8 に示す。脆弱であったゲートの出力からの配線を次段の違う型の MOS につながるように変更している。これにより C-element の保持値が反転しなくなると考えられる。

### 3.3 耐性評価

先行研究の SEILA と本研究で提案する改良型ラッチのソフトエラー耐性評価を行う。

2.3 節で説明した  $Q_{crit}$  による評価結果を表 1, 2 に示す。単一ノードでの  $Q_{crit}$  の評価を行った。図 7 で示した SEILA の脆弱箇所では少量の電荷でエラーが発生したが、改良型ラッチでは  $Q_{crit}$  が大幅増加し単一ノードでのエラーは確認されなかった。よってエラー耐性の向上が期待される。

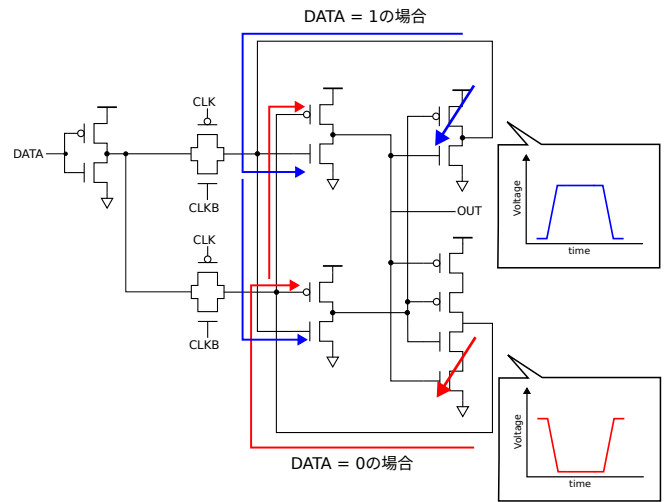


図 7 SEILA の脆弱箇所

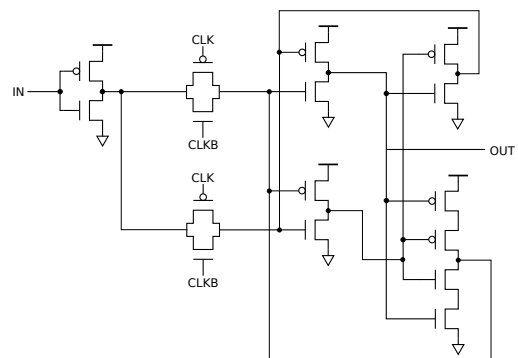


図 8 改良型 SEILA

表 1 各ラッチの NMOS の  $Q_{crit}$

回路構造	$Q_{crit}$ [fC]	
	DATA = 0	DATA = 1
SEILA	6.5	40 ↑
改良型ラッチ	40 ↑	40 ↑

表 2 各ラッチの PMOS の  $Q_{crit}$

回路構造	$Q_{crit}$ [fC]	
	DATA = 0	DATA = 1
SEILA	40 ↑	6.4
改良型ラッチ	40 ↑	40 ↑

次に  $\alpha$  線照射試験による耐性評価結果を図 9 に示す。実測方法や条件、評価指標については 2.4, 2.5, 2.6 節にて述べたものを用いる。エラー率は 95% の信頼区間を示している。先行研究の SEILA では  $\alpha$  線によるエラーが確認された。一般的に冗長化ラッチでは  $\alpha$  線によるエラーはほとんど発生しないため [12]、他の多重化ラッチと比較するとソフトエラー耐性が低いことがわかる。対して、改良型ラッチでは DATA = 0, 1 の両条件でエラーが発生せずソフトエラー耐性が大幅に向上していることがわかった。よって本研究では改良型ラッチを使用した耐ソフトエラー FF を提案する。

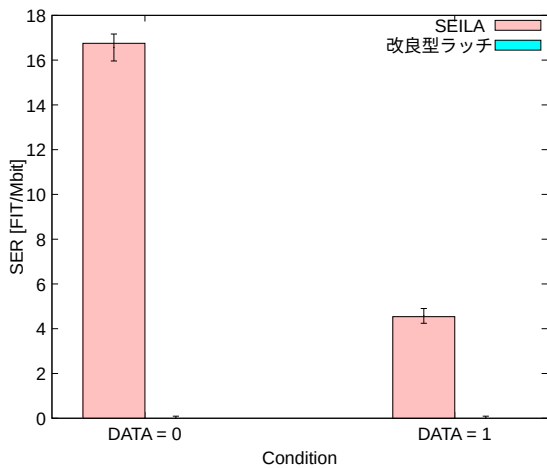


図 9 改良ラッチと SEILA の  $\alpha$  線による SER の比較

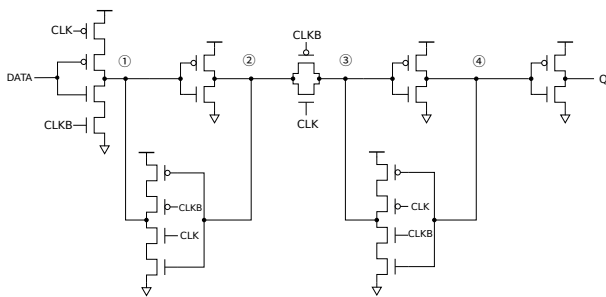


図 10 TGFF

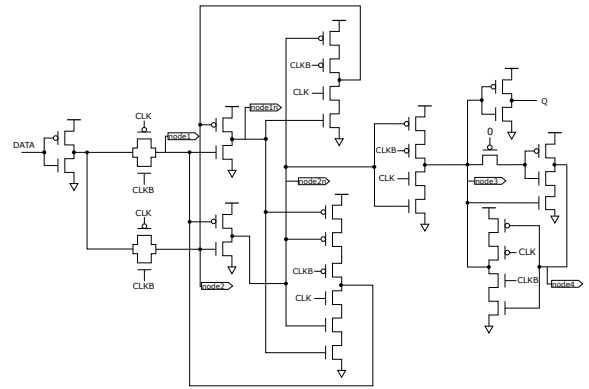


図 11 提案回路 1

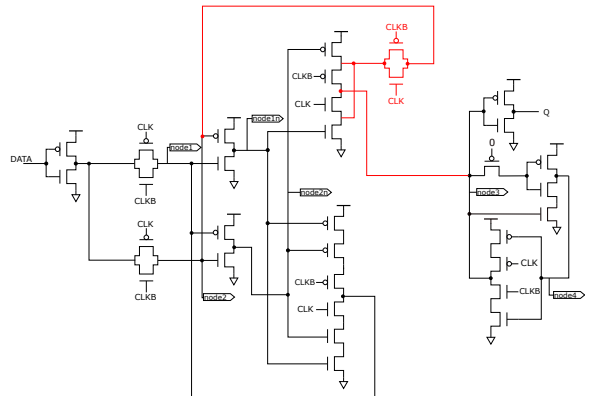


図 12 提案回路 2

## 4. 評価対象回路と性能評価

本研究でソフトエラー耐性評価を行った回路について述べる。すべての FF を 65 nm バルクプロセスで設計し、シフトレジスタとしてチップ内に実装している。

### 4.1 評価対象回路

#### 4.1.1 TGFF

TGFF の回路図を図 10 に示す。TGFF は最も一般的な D 型 FF であり、ソフトエラー対策は施されていない。

#### 4.1.2 提案回路 1

改良型 SEILA を使用した 1 つ目の提案回路の回路図を図 11 に示す。FF のプライマリラッチに改良型 SEILA を使用している。セカンダリラッチには PMOS パストランジスタを使用したソフトエラーに強いラッチを用いる [13]。このラッチは NMOS の  $Q_{crit}$  を大きくするよう設計されている。PMOS パストランジスタは入力を常時 0 にすることで、前段の NMOS でエラーが発生した場合のパルスを抑制することができる。常に ON 状態であるため静的電力が増加してしまうが、ノード 3 を入力とする NMOS をスタックすることで抑制している。

#### 4.1.3 提案回路 2

2 つ目の提案回路を図 12 に示す。この回路は図 11 の回路のラッチ間ゲートを変更した回路である。プライマリ

ラッチの Tristate Inverter (TI) に配線を追加し、ラッチ間を TI から Transmission Gate (TG) に変更することで、提案回路 1 からトランジスタ数を 2 つ削減している。

### 4.2 性能評価

TGFF と 2 種類の提案回路の性能評価 (面積, 遅延時間, 消費電力, ADP 積) を行う。各性能は RC 抽出後のネットリストを使用して回路シミュレーションで評価する。遅延時間は入力信号の振幅が 50% となった時刻から出力の振幅が 50% となる時刻までの時間とし、入力信号が出力されるまでの最小値を測定する。測定した立ち上がり遅延時間と立ち下がり遅延時間の平均を遅延時間とする。消費電力は活性化率  $\alpha$  を 10% として評価する。活性化率とはクロックエッジの入力回数に対して入力信号が変化した回数の割合のことであり、活性化率  $\alpha$  が 10% の場合ではクロックエッジの入力 10 回に対して入力信号は 1 回変化する。面積は設計した回路のレイアウトから算出する。ADP 積は面積, 遅延時間, 消費電力を掛け合わせた性能指標であり、ADP 積が小さいほど性能が良いものとする。

性能評価結果を表 3 に示す。TGFF の値を 1 として規格化している。冗長ラッチを使用しているため、提案回路の ADP 積は TGFF と比較して大きく増加している。提案回路 2 ではトランジスタ数を削減しているが、提案回路 1 から面積が 2.7%, 遅延時間が 5.9%, 消費電力が 4.5% 増加し

表 3 性能評価

回路構造	面積	遅延時間	消費電力	ADP
TGFF	1	1	1	1
提案回路 1	2.000	1.639	1.628	5.334
提案回路 2	2.053	1.736	1.701	6.063

表 4 NMOS の  $Q_{crit}$ 

回路構造	$Q_{crit}$ [fC]			
	(0, 1)	(1, 1)	(1, 0)	(0, 0)
TGFF	3.7	11	3.0	11
提案回路 1	40 ↑	40 ↑	17.2	17.5
提案回路 2	40 ↑	40 ↑	14.8	23.8

表 5 PMOS の  $Q_{crit}$ 

回路構造	$Q_{crit}$ [fC]			
	(0, 1)	(1, 1)	(1, 0)	(0, 0)
TGFF	13	4.5	12	3.9
提案回路 1	40 ↑	40 ↑	7.4	7.5
提案回路 2	40 ↑	40 ↑	8	7.7

ている。提案回路 2 ではラッチ間の配線が複雑になり、面積や配線抵抗が増加したためだと考えられる。

## 5. ソフトエラー耐性評価

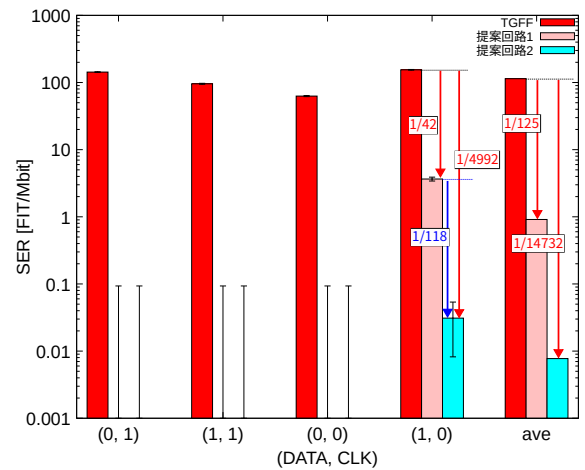
4 章で説明した回路のソフトエラー耐性評価について述べる。

### 5.1 回路シミュレーションによる耐性評価

2.3 節で説明した方法で  $Q_{crit}$  の評価を行った。各 FF の NMOS の  $Q_{crit}$  を表 4、PMOS の  $Q_{crit}$  を表 5 に示す。プライマリラッチに改良型 SEILA を使用しているため、(DATA, CLK) = (0, 1), (1, 1) 条件における提案回路 2 つの  $Q_{crit}$  は TGFF と比較して大幅に増加している。セカンダリラッチは NMOS の  $Q_{crit}$  増加を目的として設計しているため、(DATA, CLK) = (0, 0), (1, 0) 条件では NMOS の  $Q_{crit}$  が増加している。一方、(DATA, CLK) = (1, 0) では PMOS の  $Q_{crit}$  は減少している。提案回路 2 つの  $Q_{crit}$  を比較すると、ラッチ間構造を変更した提案回路 2 ではセカンダリラッチにおける  $Q_{crit}$  のバランスが変化している。これはラッチ間の配線複雑化により遅延時間が増加し、ノード 3 における信号の修復タイミングが変化したためだと考えられる。今後の放射線照射試験の結果を見て、セカンダリラッチにおける  $Q_{crit}$  のバランスを調整する必要がある。

### 5.2 $\alpha$ 線照射による耐性評価

$\alpha$  線照射結果から算出した SER の結果を図 13 に Log スケールで示す。実測方法や条件、評価指標については 2.4, 2.5, 2.6 節にて述べたものを用いる。エラー率は 95% の信頼区間を示している。提案回路では改良型 SEILA をプ

図 13 各 FF の  $\alpha$  線による SER

ライマリラッチに使用しているため、図 9 の結果と同様 (DATA, CLK) = (0, 1), (1, 1) 条件では SER が 0 となっている。(DATA, CLK) = (0, 0) 条件においても、提案回路 2 つでは SER が 0 となっており、TGFF と比較して大幅な耐性の向上が確認できる。(DATA, CLK) = (1, 0) における SER は TGFF と比較して、提案回路 1 では約 1/42、提案回路 2 では約 1/4992 になっており、エラー数が大幅減少した。全条件の平均 SER では TGFF と比べて、提案回路 1 では約 1/125、提案回路 2 では約 1/14732 となっており、 $\alpha$  線によるエラーはほとんど発生しないといえる。

提案回路 2 つを比較すると、変更点はラッチ間構造のみでありラッチの構造は同様だが、(DATA, CLK) = (1, 0) におけるエラー耐性に大きな差が現れた。提案回路 2 の SER は提案回路 1 と比較して約 1/118 となっている。これは 5.1 節で述べたように、遅延時間の変化により信号の修復タイミングがずれたことにより (DATA, CLK) = (1, 0) 条件での  $Q_{crit}$  が増加したためであると考えられる。今後の他の放射線を用いたソフトエラー耐性評価の結果を踏まえて、拡散層面積や遅延時間を考慮したゲート幅の調整を行っていく予定である。

## 6. 結論

本稿では、先行研究で提案されているソフトエラー耐性ラッチである SEILA のソフトエラー耐性評価を行った。SEILA では脆弱箇所のゲートの出力から伸びる配線はともに同じ型の MOS に接続されており、発生したパルスが同時に取り込まれてしまい C-element の保持値も反転してしまう。よって本稿では配線を改良したラッチを作成した。 $\alpha$  線によるソフトエラー耐性評価の結果より、改良後のラッチではエラーが発生せず、耐性の向上が確認できた。

改良型ラッチを使用して 2 種類の耐ソフトエラー FF を提案した。冗長ラッチを使用しているため、一般的な FF である TGFF と比較すると性能のオーバーヘッドが大き

い.  $\alpha$ 線照射の結果より, TGFF の SER と比較して提案回路 1 の SER は約  $1/125$ , 提案回路 2 では約  $1/14732$  となっておりソフトエラー耐性の大幅な向上を確認できた. 提案回路 2 つを比較すると, ラッチの構造は同様だが, (DATA, CLK) = (1, 0) におけるエラー耐性に大きな差が現れた. 提案回路 2 の SER は提案回路 1 と比較して約  $1/118$  となっている. これはラッチ間の構造変化により遅延時間が増加し, セカンダリラッチにおける  $Q_{crit}$  のバランスが変化したためであると考えられる. 今後は他の放射線を用いたソフトエラー耐性評価を行い, その結果を踏まえて拡散層面積や遅延時間を考慮したゲート幅の調整を行っていく予定である.

## 謝辞

シミュレーションとレイアウト設計に使用した EDA ツールは, 東京大学 d.lab-VDEC を通じて, 日本ケイデンス・デザイン・システムズ社, 日本シノプシス合同会社, シーメンス EDA ジャパン株式会社から提供されたものである.

## 参考文献

- [1] G.E. Moore, “Cramming more components onto integrated circuits,” *IEICE Transactions on Electronics*, vol.90, no.4, pp.699–707, 2007.
- [2] 戸坂義春, “知っておきたいソフト・エラーの実態,” *日経エレクトロニクス*, vol.2005 年 7 月 24 日号, 2005.
- [3] “ソフト・エラー対策待ったなし SRAM や論理回路が狙上に,” *日経エレクトロニクス*, no.903, pp.63–70, 2005.
- [4] “放射線・アイソトープを取り扱う前に – 実習訓練テキスト –, ” 日本アイソトープ協会, pp.14–16, 2005.
- [5] Y.P. Fang and A.S. Oates, “Thermal neutron-induced soft errors in advanced memory and logic devices,” *IEEE Transactions on Device and Materials Reliability*, vol.14, no.1, pp.583–586, 2014.
- [6] J. Ziegler, “Terrestrial cosmic rays,” *IBM Journal of Research and Development*, vol.40, no.1, pp.19–39, 1996.
- [7] E. Petersen, “Single event effects in aerospace”, John Wiley & Sons, 2011.
- [8] P. Hazucha and C. Svensson, “Impact of CMOS technology scaling on the atmospheric neutron soft error rate,” *IEEE Transactions on Nuclear Science*, vol.47, no.6, pp.2586–2594, 2000.
- [9] P. Shivakumar, M. Kistler, S.W. Keckler, D. Burger, and L. Alvisi, “Modeling the effect of technology trends on the soft error rate of combinational logic,” *Proceedings International Conference on Dependable Systems and Networks*, pp.389–398, 2002.
- [10] J.S. JeSD89A, “Measurement and reporting of alpha particle and terrestrial cosmic ray-induced soft errors in semiconductor devices,” *JEDEC solid state technology association*, vol.1, no.6, p.8, 2006.
- [11] T. Uemura, Y. Tosaka, H. Matsuyama, K. Shono, C.J. Uchibori, K. Takahisa, M. Fukuda, and K. Hatanaka, “Seila: Soft error immune latch for mitigating multi-node-seu and local-clock-set,” *2010 IEEE International Reliability Physics Symposium*, pp.218–223, 2010.
- [12] T. Ito, R. Nakajima, J. Furuta, and K. Kobayashi, “Evaluation of soft error tolerance on flip-flops restoring from

a single node upset by c-elements,” *2022 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, pp.1–2, 2022.

- [13] S. Sugitani, R. Nakajima, K. Yoshida, J. Furuta, and K. Kobayashi, “Radiation hardened flip-flops with low area, delay and power overheads in a 65 nm bulk process,” *2023 IEEE International Reliability Physics Symposium (IRPS)*, pp.1–5, 2023.