

段数切り替え機能を搭載したリングオシレータを用いた ホットキャリア注入現象の実測評価

戸田 莉彩¹ 岸田 亮² 小林 和淑³ 宮内 亮一¹ 兵庫 明¹

概要: 集積回路に用いられる MOSFET の微細化に伴い、ホットキャリア注入現象 (Hot Carrier Injection, HCI) などの経年劣化現象による信頼性問題が顕在化している。一般的に、HCI は単体 MOSFET の電圧電流特性を測定することにより評価するが、この手法は高精度な測定機器と回路が必要となる。本研究ではより容易な手法であるリングオシレータ (RO) を用いた評価回路を提案する。RO の段数切替機能により、MOSFET 劣化時と発振周波数測定時の 2 つのモードで発振周波数が切り替わる。これにより HCI の影響が支配的な劣化の測定が可能となり、RO を用いて HCI の実測評価ができる。この回路を用いた測定結果を指数近似した。パラメータ n が 0.30~0.46 となり、BTI の影響に比べて HCI の影響が支配的になった。

Measurement Evaluation of Hot Carrier Injection Using a Ring Oscillator with Stage Switching Function

RISA TODA¹ RYO KISHIDA² KAZUTOSHI KOBAYASHI³ RYOICHI MIYAUCHI¹ AKIRA HYOGO¹

Abstract: As MOSFETs used in integrated circuits become more miniaturized, reliability issues due to aging phenomena such as Hot Carrier Injection (HCI) have become increasingly apparent. Generally, HCI is evaluated by measuring the voltage-current characteristics of individual MOSFETs. However, this method requires high-precision measurement equipment and circuits. In this study, we propose an evaluation circuit using ring oscillators (ROs), which is a more simple method. By utilizing the stage switching function of the RO, the oscillation frequency can be switched between two modes: one for measuring the degradation of MOSFETs and the other for measuring the oscillation frequency. The HCI degradation becomes dominant in the proposed circuit. By using this circuit, we can evaluate HCI using the RO. The measurement results using this circuit were approximated by an exponential function, with the parameter n ranging from 0.30 to 0.46, indicating that the HCI impact was dominant compared to the BTI impact.

1. はじめに

大規模集積回路 (Large Scale Integration, LSI) で用いられる電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) は、1960 年代から実用的に使用され、現在も多くの電子機器に使用されている。ムーアの法則に従って、時代とともに MOSFET の微細化が進み、集積率と性能が指数関数的に向上している [1]。こ

れに伴い、集積回路の小型化、高速化、低消費電力化が実現されている。

一方で、MOSFET の微細化によって、集積回路の信頼性問題が顕在化している。集積回路の信頼性とは、動作の正確性を表す。信頼性問題の 1 つの要因として MOSFET のしきい値変動が挙げられる。しきい値が変動すると、回路が劣化し動作しなくなる場合がある。MOSFET のしきい値変動を及ぼす主な経年劣化現象は、ホットキャリア注入現象 (Hot Carrier Injection, HCI) やバイアス温度依存性 (Bias Temperature Instability, BTI) などがある [2]。

回路設計をする際に経年劣化によるしきい値の変動量を考慮することで、集積回路の寿命を縮める可能性を小さく

¹ 東京理科大学
Tokyo University of Science
² 富山県立大学
Toyama Prefectural University
³ 京都工芸繊維大学
Kyoto Institute of Technology

できる。そのため、実際に HCl や BTI など経年劣化現象の影響を測定によって評価することが重要となる。

HCl, BTI は一般的に単体 MOSFET の電圧電流特性を測定することにより評価する。しかし、この手法は高精度な測定機器や測定回路が必要となる。そこで、より簡易的な測定方法として、リングオシレータ (Ring Oscillator, RO) の発振周波数を用いる方法がある。発振周波数の減少により、MOSFET のしきい値が増加し劣化することを確認できる。

BTI において、RO の発振周波数を用いた測定方法は多く報告されている。一方、HCl において RO を用いた測定方法は、1 段ごとに電圧を測定する必要があり [3]、発振周波数を用いたより簡易的な手法は報告されていない。

本論文では、段数切り替え機能を搭載した HCl 評価回路を提案する。この回路により、RO の発振周波数を用いて HCl を測定評価することが可能となる。段数を切り替えることにより、発振周波数の切り替えが可能となる。これにより、RO 内の MOSFET で発生する BTI の影響を最小限にし、HCl の影響が支配的となる。これにより、HCl の劣化傾向を測定することができる。

2. MOSFET の経年劣化現象

本節では、MOSFET で発生する主な経年劣化現象について述べる。

2.1 ホットキャリア注入現象 (Hot Carrier Injection, HCl)

ホットキャリア注入現象 (Hot Carrier Injection, HCl) とは、ドレイン・ソース間に電圧がかかった状態でドレイン電流が流れることにより、しきい値が増加する現象である。CMOS 構造では、貫通電流が流れると劣化するため ON と OFF の切り替える動作を繰り返すことで、MOSFET のしきい値の大きさが劣化する。

図 1 に NMOS で発生する HCl の原理を表した NMOS の断面図を示す。ドレイン・ソース間に電圧がかかることでキャリアが加速し、稀に高いエネルギーを持つホットキャリアが生成される。そのホットキャリアがゲート酸化膜中に注入され、浮遊電荷として捕獲される。その結果、しきい値が増加して MOSFET の劣化が生じる。MOSFET の微細化に伴い、ドレイン・ソース間の距離は短くなる一方で電源電圧はあまり下がっていないため、ドレインソース間の電圧が相対的に大きくなり、HCl が顕在化している。

2.2 バイアス温度不安定性 (Bias Temperature Instability, BTI)

バイアス温度不安定性 (Bias Temperature Instability, BTI) とは、時間経過とともに ON 状態である素子の特性が劣化する現象である。ゲート・ソース間に電圧がかか

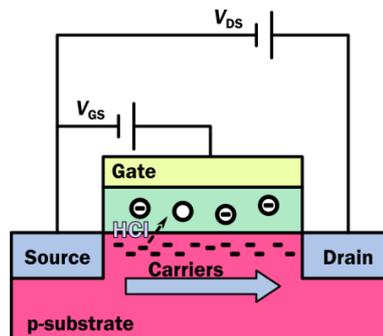


図 1 HCl の原理を表した NMOS の断面図

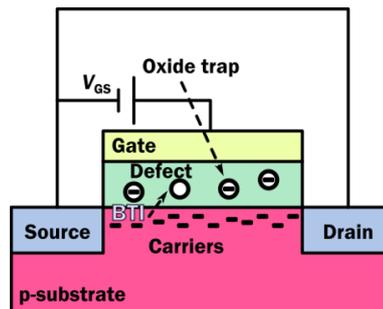


図 2 PBTI の原理を表した NMOS の断面図

る (ストレス状態) ことでしきい値が変動する [4]。BTI は PMOS で発生する NBTI (Negative BTI) と NMOS で発生する PBTI (positive BTI) に分けられる。

図 2 に PBTI の原理を表した MOSFET の断面図を示す [5]。NMOS のゲート・ソース間電圧 (V_{GS}) が正であるとき、ゲート酸化膜にある欠陥にキャリアが捕獲され、ゲート酸化膜に印加される実効的なゲート・ソース間電圧が小さくなる。この影響により、チャネルを流れるキャリアの量が減少して、同じ電圧を印加しても流れるドレイン・ソース間電流 (I_D) が減少する。その結果、しきい値の大きさが増加して MOSFET の特性が劣化する。MOSFET にかかる電圧が高いほど、しきい値は劣化しやすい [6]。

3. 提案回路

本節では、HCl の評価回路を提案する。MOSFET を劣化させるストレス状態のときに、HCl のみの影響で劣化する回路を提案する。

3.1 11 段 RO

RO を用いて測定を行う際には、11 段 RO を用いる必要がある。これは、チップに内蔵されたカウンタで値をカウントするためには発振周波数が 1~2GHz 以下でなければならないためである。

11 段 RO が発振しているときの出力電圧のグラフを図 3 に示す。RO を発振させ続けると、RO の出力電圧 (V_{out}) が 1 (V_{DD}) のとき、NMOS が ON となり PBTI が発生する。 V_{out} が 0 (GND) のとき、PMOS が ON となり NBTI

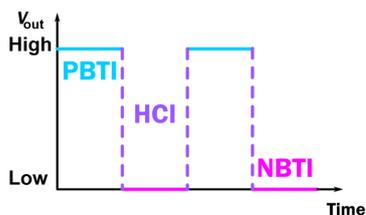


図 3 11 段 RO の出力電圧

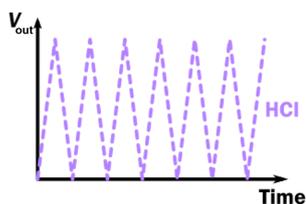


図 4 3 段 RO の出力電圧

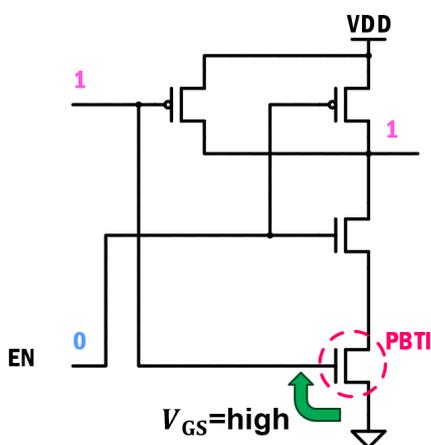


図 5 PBTI 発生型 NAND

が発生する。V_{out} が 0 から 1 または 1 から 0 に遷移している時間では、NMOS と PMOS で HCI が発生する [3]。

MOSFET の ON 時間が長いこと、経年劣化は BTI による影響が HCI による影響と比べて支配的となる。11 段 RO を用いた回路は HCI の測定には適さない。

3.2 3 段 RO

3 段 RO が発振しているときの出力電圧のグラフを図 4 に示す。発振周波数が高いため、MOSFET が完全に ON にならない。そのため、BTI の発生を抑制できる。3 段 RO は BTI の影響と比べて HCI による影響が支配的になる。

3.3 PBTI 抑制型 NAND

PBTI 発生型 NAND と PBTI 抑制型 NAND の違いについて述べる。PBTI 発生型 NAND と PBTI 抑制型 NAND をそれぞれ図 5, 6 に示す。

PBTI 抑制型 NAND では、PBTI 発生型 NAND と比較して、制御端子 (ENB) の接続が異なる。これにより、右下の NMOS で発生する PBTI を抑制することができる。EN=1

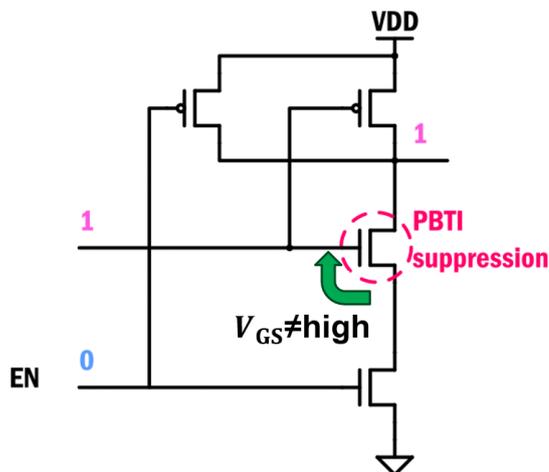


図 6 PBTI 抑制型 NAND

のとき、RO の発振は停止する。PBTI 発生型 NAND において、右下の NMOS のゲート・ソース電圧 (V_{GS}) は 1 (V_{DD}) となる。よって、右下の NMOS は ON となり、PBTI が発生する。一方で、PBTI 抑制型 NAND において、右下の NMOS のゲート・ソース電圧 (V_{GS}) は 0 (GND) のため NMOS は OFF となる。よって、2 つの NMOS の間の電圧が定まらない。真ん中の NMOS のゲート・ソース電圧 (V_{GS}) は 1 (V_{DD}) にならないため、真ん中の NMOS は完全に ON にならない。これにより、PBTI が抑制される。EN=0 のとき、RO は発振する。PBTI 発生型 NAND のと PBTI 抑制型 NAND の動作は変わらない。そのため、PBTI 抑制型 NAND を用いることで発振時に発生する PBTI の影響を低減できる。PBTI 抑制型 NAND を用いて RO を構成すると、発振するための制御時に BTI による劣化を防ぐことができる。

3.4 HCI の測定

ドレイン・ソース間に電圧がかかった状態でドレイン電流が流れることで、HCI が発生する。HCI により、MOSFET のしきい値の大きさが増加する。そのため、HCI が発生した RO では発振周波数が減少することから、発振周波数の変動量を用いて HCI を評価する。

図 7 に HCI の測定方法を示す。HCI の測定は 2 つのモードを繰り返すことにより行う。1 つ目は HCI 劣化モード、2 つ目は発振周波数測定モードである。1 つ目のモードである HCI 劣化モードでは、RO を 6GHz で発振させることで、BTI と比べて HCI の影響を支配的にし、RO 内の MOSFET を劣化させる。2 つ目のモードである発振周波数モードでは、RO の発振周波数を測定する。RO を 1.5GHz で発振させることで、カウンタで発振周波数をカウントする。この 2 つのモードを繰り返し、2 つ目のモードで測定した発振周波数の変動量を評価することで、HCI の評価を行う。

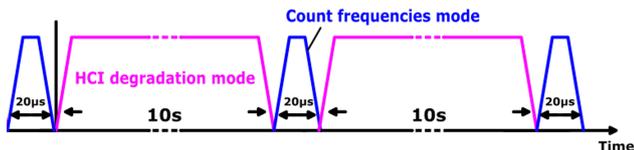


図 7 HCI の測定方法

3.5 段数切り替え機能を搭載したリングオシレータ

提案する段数切り替え機能を搭載したリングオシレータを図 8 に示す。1 つの RO につき 12 個の NAND を用いており、RO は全て PBTI 抑制型の NAND で構成されている。NAND の間にトランスマッションゲートを挟んでいる。トランスマッションゲートは 1 つの PMOS と 1 つの NMOS で構成されており、スイッチの役割をする。トランスマッションゲートの入力 (STVG) の値を 0 (GND) と 1 (V_{DD}) で切り替えることにより、トランスマッションゲートの ON と OFF が切り替わる。これにより、RO の段数が切り替え可能となる。

HCI の影響のみでストレスをかけ続けるには、MOSFET が ON にならない状態を維持する必要がある。そのため、発振周波数を高くすることが必要である。しかし、発振周波数を測定する際の発振周波数は 1~1.5GHz 程度でなければならない。

そこで、ストレス時には高い周波数で発振し、発振周波数測定時には 1~1.5GHz 程度で発振するように、段数を切り替える機能を搭載した評価回路を提案する。提案回路を図 8 に示す。

HCI によって劣化させる HCI 劣化モードでは、STVG=0 とする。これにより、図 9 の 3 段 RO が 4 つで構成される回路となる。3 段 RO は発振周波数が 6GHz 程度となり、MOSFET が ON にならないため BTI が発生しない。HCI のみの影響により劣化する。発振周波数を測定する発振周波数記録モードでは、STVG=1 とする。これにより、図 10 の 11 段 RO となる。記録モードでは RO を 11 段とすることで、発振周波数を測定に望ましい 1~1.5GHz 程度にすることができる。

3.6 シミュレーション結果

提案回路のシミュレーション結果を図 11 に示す。STVG=0 のとき、発振周波数が 6.10GHz となった。発振周波数が高いため、MOSFET が完全に ON にならないことが確認できる。これにより、BTI の発生を抑え、HCI の影響が支配的になるといえる。STVG=1 のとき、発振周波数が 1.49GHz となった。これは、チップに内蔵されたカウンタで発振周波数をカウントするのに望ましい発振周波数である。よって、提案回路により MOSFET を HCI が支配的に劣化させ、その影響を測定することが可能となる。

4. 測定方法

本節では、本研究で用いる測定方法・評価方法について述べる。

測定は提案回路の RO を 1,000 秒間発振させる。HCI の影響により劣化させるための 3 段 RO での発振と発振周波数を測定するための 11 段 RO での発振を 1 セットとし、計 37 回 RO を発振させる。37 回の発振のうち、3 段 RO での発振は 1~20 回目までは 10 秒間、20~37 回目までは 50 秒間行う。11 段 RO での発振は、37 回全てで 20 μ s 発振させる。また、1 回の発振では 108 個の RO を一斉に発振させる。本評価における各間隔 1 回あたりの発振周波数は 108 個の RO の平均発振周波数を用いる。測定は電源電圧を 1.75V とし、温度を 105 $^{\circ}$ C と 30 $^{\circ}$ C としそれぞれで測定する。

5. 測定結果

本節では、提案回路を用いた HCI の測定結果について述べる。

3 節と 4 節で述べた測定回路、測定方法を用いて発振周波数を測定する。測定で得られた発振周波数から発振周波数変動量を求める。その結果を図 12 に示す。ただし、横軸は測定時間、縦軸は発振周波数変動率である。

測定時間 100 秒を境に、劣化の傾きが変化する結果となった。測定時間が 10 秒から 100 秒までの間の測定結果と 100 秒から 1000 秒までの間の測定結果を、それぞれ図 13, 14 に示す。ただし、横軸は測定時間、縦軸は発振周波数変動率である。

発振周波数変動率を指数近似し、フィッティングする。フィッティングに用いた式を式 (1) に示す。

$$\Delta f = a(t - t_0)^n + b \quad (1)$$

ここで、 Δf は発振周波数変動率、 t は測定時間、 t_0 は測定時間の基準値である。 n , a , b はフィッティングパラメータであり、 n は時間に依存する指数である。

測定時間が 10 秒から 100 秒までの間の測定結果において、フィッティングを行う。温度を 105 $^{\circ}$ C と 30 $^{\circ}$ C としたときの測定結果をそれぞれフィッティングする。得られた式を式 (2), (3) に示す。

$$\Delta f_{T105_{10}} = 3 \times 10^{-3} \times (t - 10)^{0.423} \quad (2)$$

$$\Delta f_{T30_{10}} = 2 \times 10^{-3} \times (t - 10)^{0.463} \quad (3)$$

測定時間が 100 秒から 1000 秒までの間の測定結果において、フィッティングを行う。温度を 105 $^{\circ}$ C と 30 $^{\circ}$ C としたときの測定結果をそれぞれフィッティングする。得られた式を式 (4), (5) に示す。

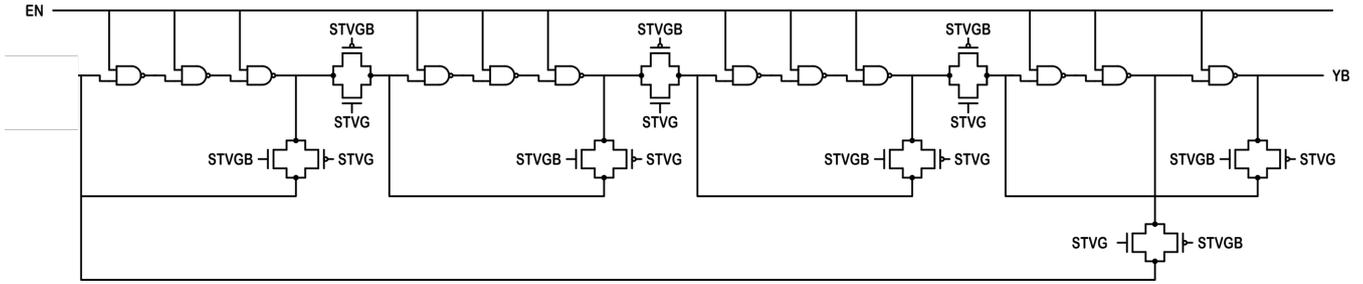


図 8 提案回路

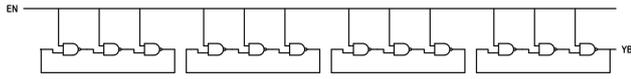


図 9 STVG=0 のときの提案回路

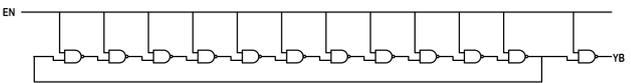


図 10 STVG=1 のときの提案回路

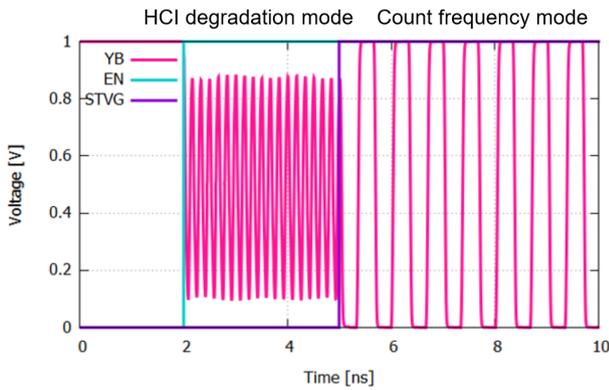


図 11 提案回路のシミュレーション結果

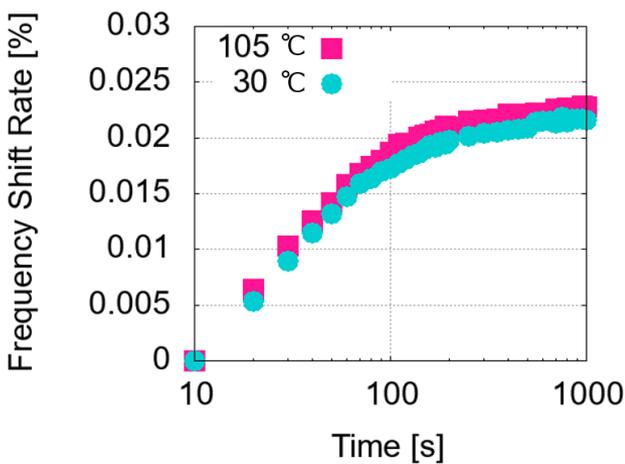


図 12 測定結果

$$\Delta f_{T105_{100}} = 0.6 \times 10^{-3} \times (t - t_0)^{0.295} + 0.02 \quad (4)$$

$$\Delta f_{T30_{100}} = 0.6 \times 10^{-3} \times (t - t_0)^{0.311} + 0.02 \quad (5)$$

測定時間が 10 秒から 100 秒までの間の測定結果おける

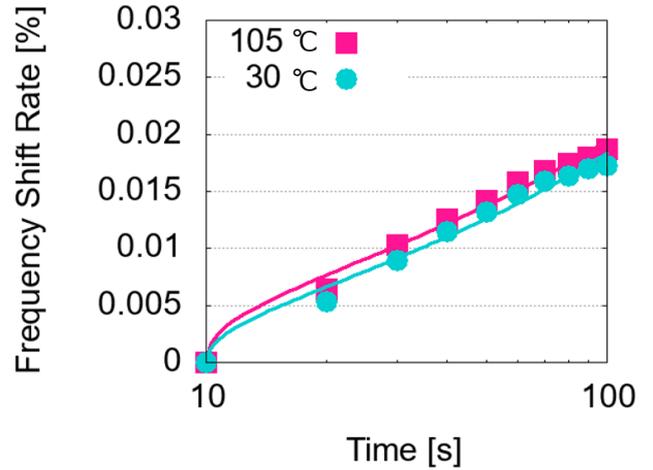


図 13 10 秒から 100 秒までの間の測定結果

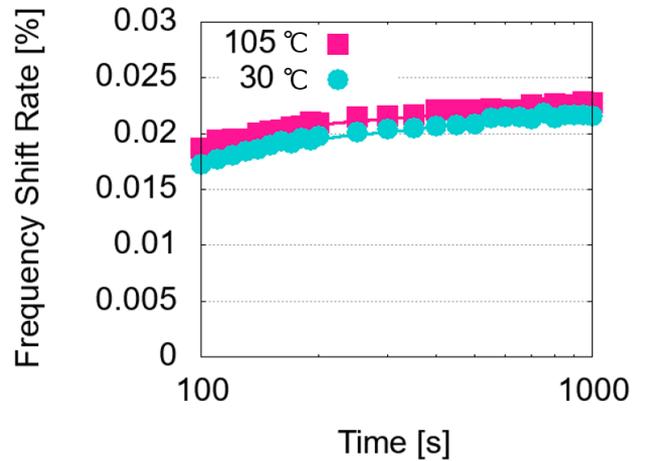


図 14 100 秒から 1000 秒までの間の測定結果

時間依存性の指数 n は、温度を 105°C と 30°C としたときにおいてそれぞれ 0.423, 0.463 となった. 測定時間が 100 秒から 1000 秒までの間の測定結果おける時間依存性の指数 n は、温度を 105°C と 30°C としたときにおいてそれぞれ 0.295, 0.311 となった.

先行研究 [7] において, HCI の時間依存性の指数 n は 0.47~0.58 であり, BTI の時間依存性の指数 n は 0.13~0.15 であると報告されている. このことから, 本研究の測定結果は BTI の影響を最小限にし, HCI の影響が支配的となったと考えられる.

測定時間が長くなるにつれ、時間依存性の指数 n が小さくなった。これは、HCI が支配的に劣化をしている一方で、時間経過により最小限発生していた BTI の影響が表れたためであると考えられる。RO を発振させるための制御を行うため、RO が発振せずストレス状態となる時間が 1 回の発振につき $0.3\mu\text{s}$ 存在する。この時間に MOSFET が ON となり、BTI が発生したと考えられる。BTI が回復せずに蓄積したことが原因で、時間依存性の指数 n の値が小さくなったといえる。

6. 結論

本稿では、段数切り替え機能を搭載したリングオシレータを用いた HCI 評価用の回路を提案した。トランスマッションゲートの入力 (STVG) の値を 0 (GND) または 1 (V_{DD}) に切り替えることにより、RO の段数が切り替わり、発振周波数を切り替えることができる。STVG=0 のとき、RO が 3 段となる。シミュレーション結果から、RO 内の MOSFET が完全に ON にならず、BTI の影響に比べて HCI の影響が支配的になることを確認した。

電源電圧を 1.75V、温度を 105°C と 30°C として、実測評価を行った。測定結果から、時間依存性の指数 n が、測定時間 10 秒から 100 秒までの間と 100 秒から 1000 秒までの間において、それぞれ $0.43\sim 0.46$ 、 $0.30\sim 0.31$ となった。これは、先行研究から、BTI の影響に比べて HCI の影響が支配的であり、提案する HCI 評価用の回路により、RO を用いた HCI の劣化傾向の測定が可能となる。

謝辞 本研究におけるテストチップの試作は東京大学 d.lab-VDEC を通し、日本シノプシス合同会社、日本ケイデンスデザインシステム社、シーメンス EDA ジャパン株式会社の協力のもと行われたものである。

参考文献

- [1] Erik P. DeBenedictis, Mustafa Badaroglu, An Chen, Thomas M. Conte, and Paolo Gargini, "Sustaining Moore's law with 3D chips," *Computer*, vol. 50, no. 8, pp. 69–73, 2017.
- [2] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, "NBTI degradation: From transistor to SRAM arrays," *IEEE International Reliability Physics Symposium*, pp. 289–300, April 2008.
- [3] Y. Kim, H. Shim, M. Jin, J. Bae, C. Liu and S. Pae, "Investigation of HCI effects in FinFET based Ring Oscillator Circuits and IP Block," *IEEE International Reliability Physics Symposium (IRPS)*, 2017, pp.4C.2.1–4C.2.4.
- [4] R. Wang, R. Huang, Y. He, Z. Wang, G. Jia, D. Kim, D. Park, and Y. Wang, "Characteristics and Fluctuation of Negative Bias Temperature Instability in Si Nanowire Field-Effect Transistors," *IEEE Electron Device Letters*, vol. 29, pp. 242–245, March 2008.
- [5] V Reddy, A. T. Krishnan, R Vattikonda, S Krishnan, and Y Cao, "Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology," *IEEE International Reliability Physics Symposium*, pp. 509–517, Dec 2007.
- [6] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," *J. Appl. Phys.*, vol. 94, pp. 1–18, July. 2003.
- [7] X. Wang, P. Jain, D. Jiao, C. H. Kim, "Impact of Interconnect Length on BTI and HCI Induced Frequency Degradation," *IEEE International Reliability Physics Symposium (IRPS)*, pp. 2F.5.1– 2F.5.6, July 2012.