

65 nm バルクプロセスのリングオシレータを用いた経年劣化のストレス電圧依存性の実測評価

仁科 拓巳^{1,a)} 木下 友晴^{1,b)} 菊田 大輔^{1,c)} 岸田 亮^{2,d)} 小林 和淑^{1,e)}

概要: 集積回路の微細化によってトランジスタの経年劣化現象の 1 つである BTI (Bias Temperature Instability) が顕在化している。65 nm バルクプロセスで試作した BTI 評価用リングオシレータ (RO) を用いて、BTI による長期間の経年劣化現象の実測評価を行った。評価回路は同一の回路によって NBTI 発生型、PBTI 発生型と MOSFET にストレスを与えない NO-STRESS 型を用いた。ストレス電圧を変更して測定することにより、BTI のストレス電圧依存性を評価した。実測結果から、ストレス電圧を上げたときの測定では従来の試験と同様に NBTI による劣化が支配的となったが、ストレス電圧を標準電圧まで下げた測定では従来の結果と異なり NBTI による劣化が小さくなり、PBTI による劣化が支配的となる結果が得られる場合があった。

Measurement of Bias Temperature Instability Dependence on Stress-voltage Using Ring Oscillators in a 65 nm Bulk Processes

TAKUMI NISHINA^{1,a)} TOMOHARU KISHITA^{1,b)} DAISUKE KIKUTA^{1,c)} RYO KISHIDA^{2,d)}
KAZUTOSHI KOBAYASHI^{1,e)}

Abstract: Miniaturization of integrated circuits has led to transistor's aging degradation such as BTI (Bias Temperature Instability). We measured and evaluated long-term aging degradation with BTI using ring oscillators (RO) to measure BTI-induced degradations fabricated in a 65 nm bulk process. Using this circuits we can measure transistor's degradation caused by NBTI and PBTI. We measured stress-voltage dependence of BTI-induced degradations. As a result of the measurement, when stress-voltage rises, the degradation caused by NBTI became dominant, which is same results as for conventional measurements. On the other hand, when lowering stress-voltage to standard voltage, the degradation caused by NBTI became smaller, while the degradation caused by PBTI became dominant.

1. 序論

集積回路は身の回りのあらゆる電化製品に使われており、集積回路は素子の微細化によって動作の高速化、低消費電力化、高集積化などの恩恵を受けている [1]。微細化は性能向上とコスト削減のメリットが得られるが、経年劣化な

どの集積回路の信頼性問題が顕在化してきた。回路の誤動作や故障につながる経年劣化現象の一種である BTI (Bias Temperature Instability) を様々な評価回路で実測し、その信頼性を評価することが重要である。BTI とは、電界効果トランジスタ (Metal Oxide Semiconductor Field Effect Transistor : MOSFET) にストレスをかけることで時間経過によりしきい値電圧 V_{th} の絶対値が増加し、特性が劣化する現象である [2]。BTI によって MOSFET の V_{th} の絶対値が上昇し、電流電圧特性の変動、遅延時間の増加、発振周波数の低下などが起こる。その原因としてゲート酸化膜内、酸化膜-チャンネル間の界面の欠陥にチャンネルを流れるキャリアが捕獲されることが挙げられる。MOSFET には

¹ 京都工芸繊維大学電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

² 富山県立大学
Toyama Prefectural University

a) tnishina@vlsi.es.kit.ac.jp

b) tkishita@vlsi.es.kit.ac.jp

c) dkikuta@vlsi.es.kit.ac.jp

d) ryokishida@pu-toyama.ac.jp

e) kazutoshi.kobayashi@kit.ac.jp

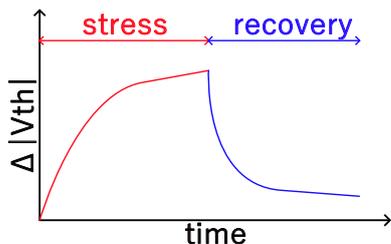


図 1 BTI による V_{th} の劣化および回復

その用途によってゲートの V_{th} が異なり、BTI による特性の劣化も異なる。

ここでは LSI テスタを用いた従来の測定系を用いて長期間、バルク構造のリングオシレータを測定し、発振周波数の変動を評価した。RO の発振周波数の劣化率をトランジスタの V_{th} 変動量に変換して経年劣化の評価を行う。

本稿の構成は以下の通りである。2 節で BTI の概要と発生原理、提案されているモデル式及びその先行研究について述べる。3 節では測定対象であるバルク構造の微細プロセスの BTI 評価回路について述べる。4 節では BTI 評価回路で LSI テスタを用いた経年劣化の実測評価を述べる。最後に 5 節で本稿の結論を述べる。

2. BTI (Bias Temperature Instability)

2.1 BTI の概要

BTI (Bias Temperature Instability) とは、MOSFET に起きる経年劣化現象の 1 つで、MOSFET に温度やゲートソース間電圧 (V_{gs}) といったストレスがかかり続けることにより特性が劣化する現象である。この特性の劣化はストレスがかかる限り続き、 $|V_{gs}|$ と温度が高いほど劣化が大きくなる [3]。

BTI によってチャネル領域に流れるドレイン電流が減少し、しきい値電圧 V_{th} の絶対値が増加する。これにより遅延時間の増加や発振周波数の減少といった悪影響をもたらす、回路の誤動作につながる。BTI は V_{th} の劣化として表される。

BTI には劣化現象だけではなく回復現象が存在する [4]。図 1 に BTI による V_{th} の劣化及び回復を示す。縦軸はしきい値電圧変化量 ΔV_{th} 、横軸は経過時間である。ストレスがかかる間は時間経過に伴って MOSFET の特性は劣化するが、ストレスを取り除くと劣化していた V_{th} が回復する。しかし、劣化は完全には回復しない。

2.2 NBTI と PBTI

BTI は NBTI (Negative BTI : 負バイアス温度不安定性) と PBTI (Positive BTI : 正バイアス温度不安定性) の 2 種類に分類される。PMOS, NMOS で BTI が発生するときのバイアス条件をそれぞれ図 2, 図 3 に示す。NBTI は PMOS において ON 状態 ($V_{gs} < 0 V$) で発生する現象

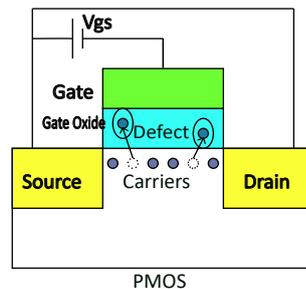


図 2 PMOS のバイアス条件

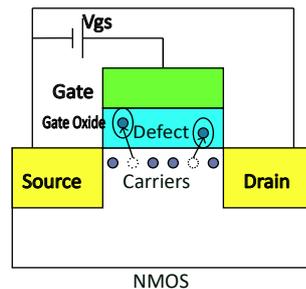


図 3 NMOS のバイアス条件

で、65 nm プロセス以降で顕在化した。PBTI は NMOS において ON 状態 ($V_{gs} > 0 V$) で発生する現象である。65 nm より微細なプロセスで絶縁膜に用いられているシリコン酸化膜 (SiO_2) やシリコン酸化膜 (SiON) のゲート酸化膜では PBTI は顕在化しなかった。45 nm プロセスでゲートリーク電流が無視できない大きさになった。ゲート絶縁膜に誘電率の高いハフニウム (Hf) などの high-k 材料を用いてゲート絶縁膜を厚くし、ゲートリーク電流を抑えた。しかし、ゲート絶縁膜製造時の欠陥が多くなり、PBTI が顕在化した。[5], [6]

先行研究 [7] では、様々なモデル式を用いて実測結果から BTI の温度依存性を評価し、NBTI が PBTI より温度依存性が大きいとしている。

2.3 BTI の発生原理

BTI の発生原理は完全には解明されていないが [8], Reaction-Diffusion Theory と Trap-De-trap Model の 2 つが提案されている。

R-D (Reaction-Diffusion) Theory ではゲートにストレスがかかることによりゲート酸化膜と基板の境界面にある Si-H 結合が分離され、欠陥ができると考えている [9]。その欠陥がチャネルを流れるキャリアを捕獲することで MOSFET の特性が劣化する。R-D Theory による BTI の発生原理を図 4 に示す。

基板の素材であるシリコンの結晶は、その製造過程でゲート酸化膜を生成する処理としてシリコン、酸素、水素などと結合している。酸化膜ではほとんどが酸素原子と結合しているが、一部は水素原子と結合している。結合の強

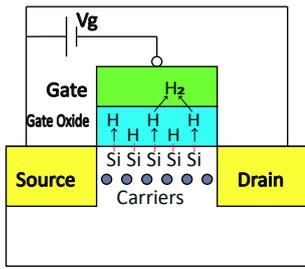


図 4 R-D Theory による BTI の発生原理

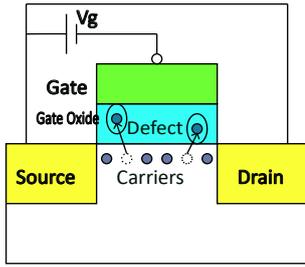


図 5 T-D Model による BTI の発生原理

さは Si-H < Si-O であり、ストレスによって Si-O 結合は分離しないが、Si-H 結合は分離する。水素原子はシリコン原子から分離すると酸化膜内をゲート側に拡散し、その一部はゲートまで到達して水素分子 (H₂) となる。酸化膜内の水素原子はストレスを取り除くと再び Si-H 結合となるが、ゲートで水素分子となったものは戻らない。これにより半永久的に欠陥が残り、ストレスを取り除いても回復しない劣化となる。この劣化は V_{th} が経過時間 t に対して t^n で増加する。 n の値は H₂ の拡散では 1/6, H の拡散では 1/4 とされている。

T-D (Trap-Detrap) Model は、製造時にできたゲート酸化膜内の欠陥がキャリアを捕獲することにより、MOSFET の特性が劣化するという考えである [10]。T-D Model による BTI の発生原理を図 5 に示す。

1 つの欠陥によるキャリアの捕獲及び放出には時定数 (τ) が存在し、これらの時定数は対数等分布に従うため、T-D Model では V_{th} が経過時間 t に対して $\log t$ で増加する [11]。捕獲及び放出時間は $10^{-9} \sim 10^9$ 秒の範囲に分布している [12]。そのため、 10^9 秒という大きい放出時間の欠陥にキャリアが捕獲されると半永久的に V_{th} が劣化し、ストレスを取り除いても回復しない劣化となる。

現在、BTI の劣化は R-D Theory と T-D Model を統合した Universal Model が提案、議論されている [13], [14]。Universal Model では、BTI の劣化は R-D Theory と同様に V_{th} が経過時間 t に対して t^n で増加する。 n は 1/6 程度である。 [15]

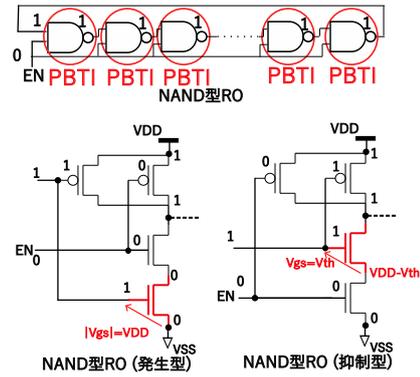


図 6 NAND 型 RO

3. BTI 測定回路

3.1 リングオシレータ (RO : Ring Oscillator)

RO は奇数個のインバータを鎖状につなげることで出力が 0 と 1 を繰り返して発振させる回路である。高調波を発生させないよう素数個のインバータで構成されるのが一般的である。初段を NAND ゲート、以降を偶数個のインバータで構成することで発振を制御する回路であるインバータ型 RO が一般的に測定で用いられる。NAND の入力値がインバータの出力値と制御用端子 EN とし、EN = 1 の状態で NAND がインバータとなり発振し、EN = 0 の状態では NAND の出力が 0 で固定されて発振が停止する。発振停止時にインバータに NMOS, PMOS が交互にストレスがかかる。この回路では NBTI と PBTI を個別に測定できないため、次に示す NAND 型 RO, NOR 型 RO が用いられる。

3.2 NAND 型 RO

NAND 型 RO の回路構造とトランジスタレベル回路図を図 6 に示す。NAND 型 RO は制御用端子 EN と前段の NAND の出力値を入力とした構造をとる。EN = 1 の状態で発振し、EN = 0 の状態で PBTI ストレス状態になる。

EN の接続先によってストレス状態が異なる。EN を NAND の出力側の NMOS に接続することで、EN = 0 で接地している NMOS のみストレスがかかる。NMOS のゲートソース間電圧の絶対値 $|V_{gs}|$ は前段の NAND の出力値 (VDD) となる。EN を接地している NMOS に接続することで、EN = 0 で出力側の NMOS のみにストレスがかかる。NMOS のゲートソース間電圧の絶対値 $|V_{gs}|$ は NMOS のしきい値電圧 V_{th} となる。

3.3 NOR 型 RO

NOR 型 RO の回路構造とトランジスタレベル回路図を図 7 に示す。

NOR 型 RO は制御用端子 ENB ($ENB = \overline{EN}$) と前段

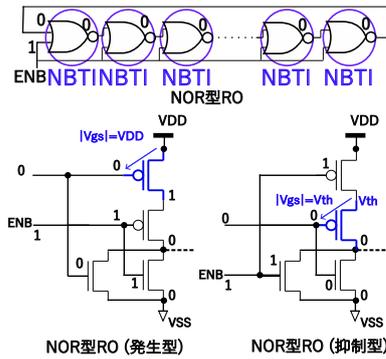


図 7 NOR 型 RO

の NOR の出力値を入力とした構造をとる。ENB = 0 (EN = 1) の状態で発振し，ENB = 1 (EN = 0) の状態で NBTI ストレス状態になる。

ENB の接続先によって NBTI のストレス状態が異なる。ENB を NOR の出力側の PMOS に接続することで，ENB = 1 で電圧源 (VDD) に接続している PMOS のみにストレスがかかる。PMOS のゲートソース間電圧の絶対値 $|V_{gs}|$ は電圧源 (VDD) となる。ENB を電圧源 (VDD) に接続している PMOS に接続することで，ENB = 1 で出力側の PMOS のみにストレスがかかる。PMOS のゲートソース間電圧の絶対値 $|V_{gs}|$ は PMOS のしきい値電圧 V_{th} となる。

3.4 従来の RO の課題

NAND 型 RO と NOR 型 RO を利用することで NBTI と PBTI の劣化率を測定できるが，NAND 型 RO と NOR 型 RO は回路構造が異なる。回路構造によって寄生容量や寄生抵抗の値が異なるため，正確には PBTI と NBTI による回路の劣化率を比較することができない。そのため，同一の回路構造で NBTI と PBTI を別々にストレス状態にすることができる回路構造が必要である。発振停止時にストレスがかからず，環境変動時のストレスのみを受けるのが理想であるため，NBTI や PBTI と比較して対象の MOSFET にストレスがかからない回路構造が必要である。

3.5 経年劣化測定回路の概要

経年劣化測定回路は 65 nm のバルクプロセスで設計したものをを用いる。発振回数を数えるカウンタはシフトレジスタとなっており，1 ビットずつ読み出すことができる。RO は 11 段であり，それぞれ各 36 個搭載されている。経年劣化測定回路には全て同じ回路構成の BTI 制御スイッチ付 RO (BTI Control Switch RO : BCS RO) を搭載している。

経年劣化測定回路に搭載されている RO はすべて BCS_INV 型 RO であり，M1～M8 のゲート端子 (VG1～VG8) を制御することによって M9 と M10 のストレス状態

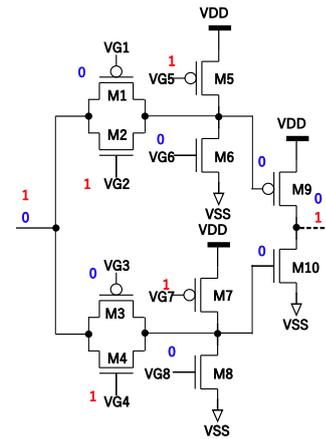


図 8 発振時の BCS_INV 型 RO

を発振停止時に NBTI, PBTI, NOSTR 状態に制御するスイッチを接続した構造をとる。発振時はゲート電圧を制御することによって 11 段のインバータ型 RO にして動作させる。

発振時の BCS_INV 型 RO のトランジスタレベルの回路構造を図 8 に示す。M1～M4 から構成されるトランSMISSIONゲート (Transmission Gate : TG) を ON にすることで，図 8 のようにインバータとして動作する。

NBTI, PBTI, NOSTR 時の BCS_INV 型 RO のトランジスタレベルの回路構造を図 9～図 11 に示す。発振時と違い，M1～M4 から構成される TG を OFF にすることで，インバータ間を切り離す。

図 9 より，M6 と M8 を ON にすることで，M9 のみにストレスがかかるようにすると NBTI のストレス状態になる。この時に PMOS のソース端子と電圧源 (VDD) が接続されているため，PMOS のゲートソース間電圧の絶対値 ($|V_{gs}|$) は電源電圧 (VDD) となる。

図 10 より，M5 と M7 を ON にすることで，M10 のみにストレスがかかるようにすると PBTI のストレス状態になる。この時に NMOS のソース端子と GND が接続されているため，NMOS のゲートソース間電圧の絶対値 ($|V_{gs}|$) は電源電圧 (VDD) となる。

NOSTR について，NBTI, PBTI と同条件で測定することで，M9, M10 の BTI の環境変動除去用として利用できる。図 11 より M9, M10 にストレスがかからないようにするために，M6, M7 を ON にする。

4. LSI テスタを用いた長期経年劣化実測評価

4.1 測定方法・測定条件・評価方法

測定方法を図 12 に，測定チップと測定系の画像を図 13 示す。図 12 の通り，測定チップにストレスをかけ続け，指定した時間毎に RO を発振させて発振周波数を記録する。測定を開始して 1,000 秒の時点から測定終了まで 1,000 秒

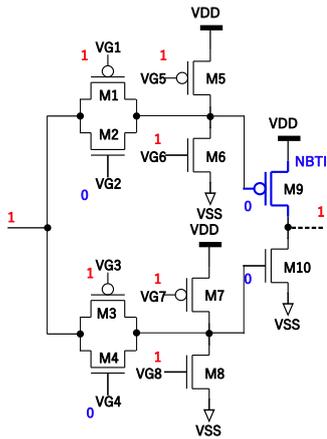


図 9 NBTI 時の BCS_INV 型 RO

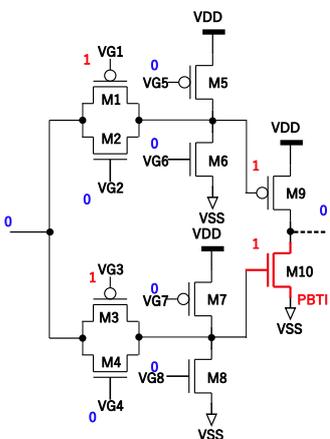


図 10 PBTI 時の BCS_INV 型 RO

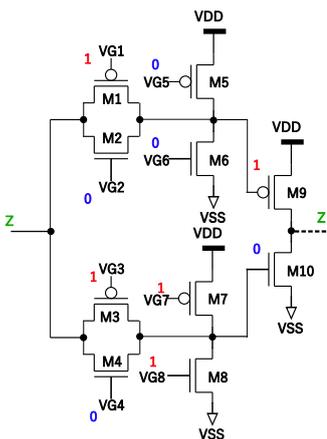


図 11 NOSTR 時の BCS_INV 型 RO

間隔で測定を行う。なお、ここでは測定開始から 100 秒までは 10 秒間隔、1,000 秒までは 100 秒間隔、10,000 秒までは 1,000 秒間隔で測定し、以降は測定終了まで 10,000 秒間隔で測定した。本測定では、測定開始時点での発振周波数を初期発振周波数としている。測定条件は以下の通りで

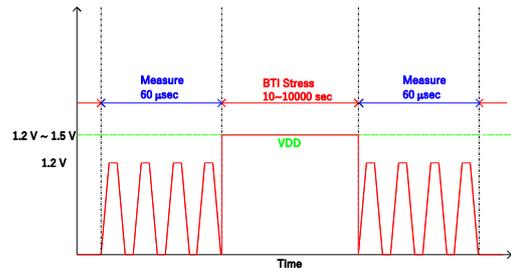


図 12 LSI テスタでの測定方法

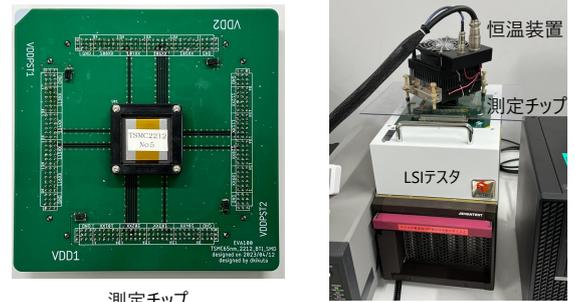


図 13 測定系

ある。

- ストレス電圧 1.2 V ~ 1.5 V
- 発振電圧 1.2 V (標準電圧)
- 温度 125 °C
- 発振時間 60 μs
- 測定時間 20 万秒 (約 3 日間)

評価方法について、発振周波数劣化率 $\Delta f(t)$ を式 (1) で評価する。 $f(0)$ は測定開始時点での初期発振周波数、 $f(t)$ は時刻 t での発振周波数である。 RO の発振周波数の劣化率をトランジスタのしきい値電圧変動量 $\Delta V_{th}(t)$ に変換する。劣化率 $\Delta f(t)$ を式 (2) で評価する。 $V_{th}(0)$ は測定開始時点でのしきい値電圧、 $V_{th}(t)$ は時刻 t でのしきい値電圧である。

$$\Delta f = \frac{f(0) - f(t)}{f(0)} \quad (1)$$

$$\Delta V_{th} = \frac{V_{th}(0) - V_{th}(t)}{V_{th}(0)} \quad (2)$$

4.2 測定結果

ストレス電圧 1.3 V での発振周波数の劣化率を図 14、図 15 に、しきい値電圧の劣化率を図 16 に、ストレス電圧 1.2 V での発振周波数の劣化率を図 17、図 18 に、しきい値電圧の劣化率を図 19 に示す。ただし、これらの表における L1X は低しきい値電圧でスタンダードゲート幅、 M1X は標準しきい値電圧でスタンダードゲート幅で設計したトラ

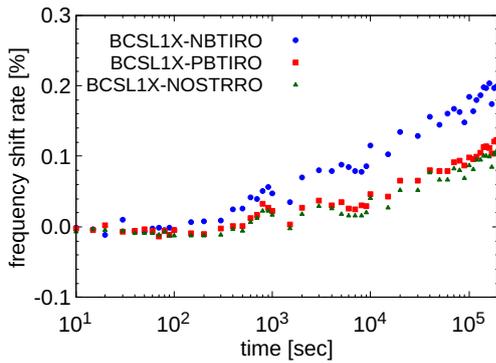


図 14 ストレス電圧 1.3 V での L1X の発振周波数の劣化率

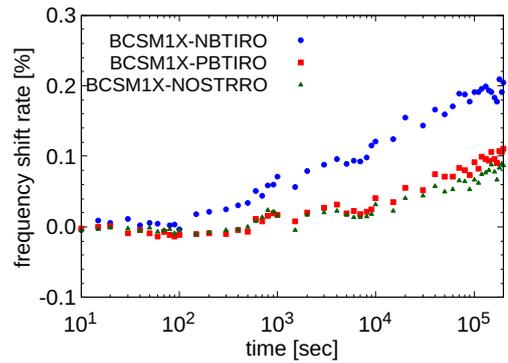


図 15 ストレス電圧 1.3 V での M1X の発振周波数の劣化率

表 1 しきい値電圧劣化率 [%] (200,000 秒時点)

| | 1.3 V | | 1.2 V | |
|-------|-------|------|-------|------|
| | L1X | M1X | L1X | M1X |
| NBTI | 0.53 | 0.33 | 0.27 | 0.13 |
| PBTI | 0.50 | 0.23 | 0.51 | 0.21 |
| NOSTR | 0.32 | 0.15 | 0.34 | 0.15 |

ンジスタの RO である。

まず図 14 から図 16 よりストレス電圧 1.3V で測定した結果について見ると、発振周波数としきい値電圧のいずれも NBTI, PBTI, NOSTR のいずれも時間のべき乗関数に従って劣化が進んでおり、劣化の大きさは NBTI, PBTI, NOSTR の順であった。しきい値電圧について見ると、L1X で NBTI による劣化が 200,000 秒時点で 0.53%, PBTI による劣化は 0.50%であった。

次に図 17 から図 19 よりストレス電圧 1.2V で測定した結果について見ると、発振周波数について 20,000~30,000 秒あたりまでは NBTI による劣化が支配的だが、それ以降では NBTI による劣化が大きくなり、100,000 秒あたりで PBTI による劣化が支配的となった。しきい値電圧についても同様に NBTI による劣化が大きくなり、PBTI による劣化が支配的となった。NBTI による劣化は 200,000 秒時点で NOSTR を下回った。特に M1X では PBTI の劣化は進み続け、200,000 秒時点で 0.21%劣化したのに対し、30,000 秒時点で NBTI の劣化が 0.15%で最も大きく、200,000 秒時点で 0.13%と劣化が小さくなっていった。

ストレス電圧を 1.3V よりさらに大きくしていくと、NBTI による劣化が支配的になり、PBTI による劣化は NBTI と比べてもかなり小さい劣化であり、ストレス電圧を標準電圧としたときのみ、PBTI による劣化が支配的となる結果が得られた。ストレス電圧を標準電圧としたときのみ NBTI による劣化が進まなくなるか、あるいは回復する減少について、BTI 以外の変動要因による回復現象が BTI による劣化を上回ったか、BTI そのものが回復したかの 2 つの要因が考えられる。

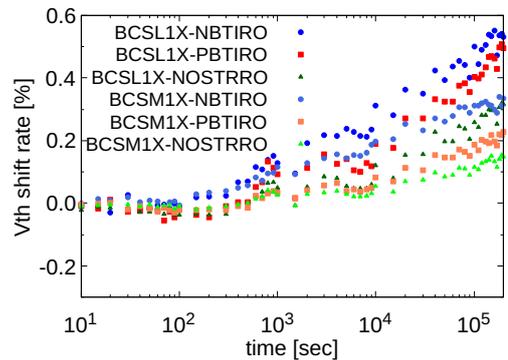


図 16 ストレス電圧 1.3 V での発振周波数の劣化率

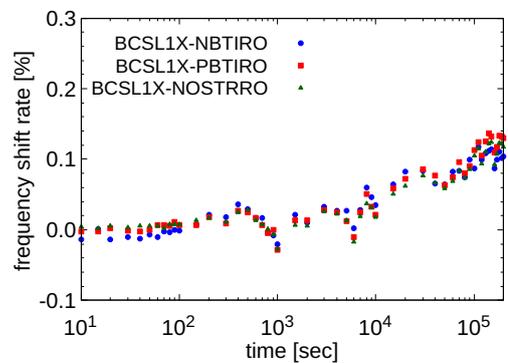


図 17 ストレス電圧 1.2 V での L1X の発振周波数の劣化率

5. 結論

本研究では、65 nm バルク構造で試作したチップを用いて MOSFET の経年劣化の 200,000 秒間の実測評価を行った。

ストレス電圧を上げて測定を行ったとき、先行研究での試験の結果の通り NBTI による劣化が支配的となり、べき乗関数で劣化が進むという結果が得られたが、ストレス電圧を上げず標準電圧で測定を行うと 100,000 秒あたりから PBTI による劣化が支配的となる結果が得られた。NBTI

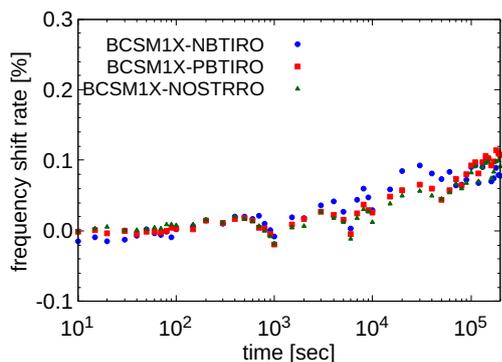


図 18 ストレス電圧 1.2 V での M1X の発振周波数の劣化率

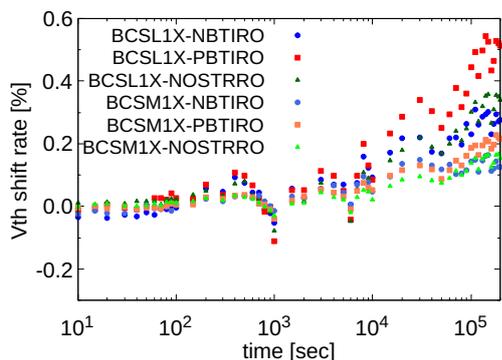


図 19 ストレス電圧 1.2 V での発振周波数の劣化率

による劣化は 20,000~30,000 秒あたりまでは進むものの、それ以降は劣化と回復が同程度となって劣化が進まなくなり、ストレスをかけていない状態のものよりも劣化が下回った。

ストレス電圧を標準電圧としたときのみ NBTI による劣化が進まなくなった原因について、BTI 以外の変動要因による回復現象が BTI による劣化を上回ったか、BTI そのものが回復したかの 2 つの要因が考えられる。

謝辞 本研究に用いたチップは TSMC 社により試作されたものであり、東京大学 d.lab-VDEC を通し、日本シノプシス合同会社、日本ケイデンス・デザイン・システムズ社、シーメンス EDA ジャパン株式会社の協力で行われたものである。

参考文献

[1] M. Bohr, “The evolution of scaling from the homogeneous era to the heterogeneous era,” 2011 International Electron Devices Meeting, pp.1.1.1–1.1.6, Dec 2011.

[2] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, “Nbti degradation: From transistor to sram arrays,” 2008 IEEE International Reliability Physics Symposium, pp.289–300, April 2008.

[3] D. Varghese, D. Saha, S. Mahapatra, K. Ahmed, F. Nouri, and M. Alam, “On the dispersive versus ar-

rhennius temperature activation of nbti time evolution in plasma nitrated gate oxides: measurements, theory, and implications,” IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest., pp.684–687, 2005.

[4] C. Yilmaz, L. Heiß, C. Werner, and D. Schmitt-Landsiedel, “Modeling of nbti-recovery effects in analog cmos circuits,” 2013 IEEE International Reliability Physics Symposium (IRPS), pp.2A.4.1–2A.4.4, April 2013.

[5] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, and G. Ghibaudo, “Review on high-k dielectrics reliability issues,” IEEE Transactions on Device and Materials Reliability, vol.5, no.1, pp.5–19, 2005.

[6] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, “A comparative study of nbti and pbti (charge trapping) in sio2/hfo2 stacks with fusi, tin, re gates,” 2006 Symposium on VLSI Technology, 2006. Digest of Technical Papers., pp.23–25, 2006.

[7] 足助拓哉, “環境変動を取り除くスタンプ型リングオシレータを用いた経年劣化の実測評価とモデル化,” Master’s thesis, 京都工芸繊維大学, 2021.

[8] H. Reisinger, T. Grasser, W. Gustin, and C. Schlünder, “The statistical analysis of individual defects constituting nbti and its implications for modeling dc- and ac-stress,” 2010 IEEE International Reliability Physics Symposium, pp.7–15, 2010.

[9] C. Ma, M. Miyake, H. Mattausch, K. Matsuzawa, T. Iizuka, T. Hozhida, A. Kinoshita, T. Arakawa, J. He, and M. Miura-Mattausch, “Compact reaction-diffusion model for accurate nbti prediction,” 09 2011.

[10] H. Kukner, S. Khan, P. Weckx, P. Raghavan, S. Hamdioui, B. Kaczer, F. Catthoor, L.V. der Perre, R. Lauwereins, and G. Groeseneken, “Comparison of reaction-diffusion and atomistic trap-based bti models for logic gates,” IEEE Transactions on Device and Materials Reliability, vol.14, no.1, pp.182–193, March 2014.

[11] K. Sutaria, A. Ramkumar, R. Zhu, R. Rajeev, Y. Ma, and Y. Cao, “Bti-induced aging under random stress waveforms: Modeling, simulation and silicon validation,” 2014 51st ACM/EDAC/IEEE Design Automation Conference (DAC), pp.1–6, June 2014.

[12] B. Kaczer, S. Mahato, V. Valduga de Almeida Camargo, M. Toledano-Luque, P.J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, “Atomistic approach to variability of bias-temperature instability in circuit simulations,” 2011 International Reliability Physics Symposium, pp.XT.3.1–XT.3.5, 2011.

[13] C. Ma, H.J. Mattausch, K. Matsuzawa, S. Yamaguchi, T. Hoshida, M. Imade, R. Koh, T. Arakawa, and M. Miura-Mattausch, “Universal nbti compact model for circuit aging simulation under any stress conditions,” IEEE Transactions on Device and Materials Reliability, vol.14, no.3, pp.818–825, Sep. 2014.

[14] S. Mahapatra, V. Huard, A. Kerber, V. Reddy, S. Kalpat, and A. Haggag, “Universality of NBTI - from devices to circuits and products,” 2014 IEEE International Reliability Physics Symposium, pp.3B.1.1–3B.1.8, June 2014.

[15] D. Kikuta, R. Kishida, and K. Kobayashi, “Ring oscillators with identical circuit structure to measure bias temperature instability,” 2023 IEEE 15th International Conference on ASIC (ASICON), pp.1–4, 2023.