

# 65 nm FDSOI プロセスで試作したリングオシレータの 超長期経年劣化の実測評価

木下 友晴<sup>1,a)</sup> 岸田 亮<sup>2,b)</sup> 小林 和淑<sup>1,c)</sup>

**概要:** 集積回路の微細化によってトランジスタの経年劣化現象の 1 つである BTI (Bias Temperature Instability) が顕在化している。65 nm FDSOI (Fully Depleted Silicon on Insulator) プロセスで試作した BTI 評価用リングオシレータ (RO) を用いて、BTI による長期間の経年劣化現象の実測評価を行った。評価回路は NBTI 発生型、NBTI 抑制型、PBTI 発生型、PBTI 抑制型 RO の 4 種類がそれぞれ 840 個ずつ搭載されている。本研究は、5 か月以上の長期間での BTI による劣化傾向が、一般的に行われる BTI の加速試験での 3 時間未満の短期間の劣化傾向と比較することが目的である。実測結果から、長期間の BTI による劣化は、BTI 発生型 RO では短期間加速試験と同様に劣化し、短期間の劣化から予測できる劣化傾向を持つ。一方、BTI 抑制型 RO でも劣化が見られ、差分による環境変動の除去が困難になった。測定では 10 万秒以降、840 個の RO の発振周波数と標準偏差に変動がみられ、発振周波数と標準偏差に平均して相関係数が 0.91 と非常に高い相関を持ち、標準偏差が小さくなるほど、発振周波数の分布は正規分布から一様分布に変化する結果が得られた。

## Ultra-Long-Term Measurement Results of Aging Degradation of Ring Oscillators in a 65 nm FDSOI Process

TOMOHARU KISHITA<sup>1,a)</sup> RYO KISHIDA<sup>2,b)</sup> KAZUTOSHI KOBAYASHI<sup>1,c)</sup>

**Abstract:** Aging degradation are becoming dominant on integrated circuits. Using a ring oscillator (RO) for BTI evaluation fabricated in a 65-nm FDSOI process, we conduct an actual measurement and evaluation of long-term BTI induced aging degradation phenomena. Four types of evaluation ROs, NBTI generation type, NBTI suppression type, PBTI generation type, and PBTI suppression type RO, are each equipped with 840 pieces. The goal of this study is to compare the long-term degradation trends of BTI with the short-term degradation trends of BTI in a typically conduct accelerated test. Based on the measurement results, BTI-induced degradation over the long term is the same tendency as that over the short term in the BTI-generating RO, and has a predictable degradation trend based on the short term degradation. On the other hand, BTI-induced degradation is also observed in the BTI-suppressed RO, making it difficult to remove environmental fluctuations by taking differences. In the measurement, oscillation frequencies and standard deviations of 840 ROs show fluctuations after 100 ks. The correlation coefficient between oscillation frequencies and standard deviations is on average 0.91, which is very high. The smaller the standard deviations, the more the distribution of oscillation frequencies change from a normal distribution to a uniform distribution.

### 1. 序論

近年、集積回路は素子の微細化により、動作の高速化、低消費電力化、高集積化などの恩恵を受けている [1]。微細化は性能向上とコスト削減のメリットが得られる一方、経年劣化などの集積回路の信頼性問題が顕在化してきた。

<sup>1</sup> 京都工芸繊維大学電子システム工学専攻  
Department of Electronics, Kyoto Institute of Technology

<sup>2</sup> 富山県立大学  
Toyama Prefectural University

a) tkishita@vlsi.es.kit.ac.jp

b) ryokishida@pu-toyama.ac.jp

c) kazutoshi.kobayashi@kit.ac.jp

回路の誤動作や故障につながる経年劣化現象の1つとして BTI (Bias Temperature Instability) が挙げられる。BTI とは、電界効果トランジスタ (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) に電圧や温度などのストレスがかかることで時間経過によりしきい値電圧の絶対値  $|V_{th}|$  が増加し、特性が劣化する現象である [2]。特性の劣化は、電流電圧特性の変動、遅延時間の増加、リングオシレータ (Ring oscillator, RO) では発振周波数の低下などである。自動車などでは、特性の劣化は誤動作の原因になるため、信頼性の評価が必要である。

BTI は適切なマージン設計により対策される。BTI の試験は一般的に 1 万秒以下の短期間の加速試験が行われ、長期間の劣化を予測しマージン設計につなげる。長期間の予測のため、短期間の劣化傾向と同様の傾向となることが必要であり、短期間では見られない劣化傾向がある場合、正確な予測が困難となる。本研究では、長期間 BTI 劣化を実測評価することで、短期間との劣化傾向との比較を行う。

測定で用いた FDSOI (Fully Depleted Silicon on Insulator) 構造は、バルク構造のプレーナ型 MOSFET の基板とチャネル間に絶縁物を挿入した構造である。絶縁物によって、チャネルが完全に空乏化しており、トランジスタの寄生容量が小さくなり、高速動作、低電圧動作が可能である。

本稿の構成は以下の通りである。2 節で BTI について述べる。3 節で測定方法と結果の評価方法について述べる。4 節で測定結果と考察について述べる。5 節で結論とする。

## 2. BTI (Bias Temperature Instability)

BTI は、ON 状態の MOSFET で起こる経年劣化現象の1つで、MOSFET に温度やゲートソース間電圧 ( $V_{gs}$ ) などのストレスがかかることで、時間経過に伴ってトランジスタの特性が劣化する現象である。特性の劣化は図 1 の Stress 時の通り、しきい値電圧 ( $V_{th}$ ) の絶対値が増加することによる遅延時間の増加であり、回路動作に悪影響をもたらす。BTI は  $V_{th}$  の劣化として表され、 $|V_{gs}|$  と温度が高いほど劣化も大きくなる [3]。劣化は時間経過に伴うため、長期間 MOSFET を稼働させる場合、特に対策が必要になる。図 1 の No の Stress 時の通り、BTI による劣化は回復する [4]。縦軸はしきい値電圧変動量  $\Delta V_{th}$ 、横軸は経過時間である。ストレス負荷時は時間経過に伴って  $\Delta V_{th}$  は劣化するが、ストレスを取り除くと劣化した  $V_{th}$  が回復する。ただし、完全には回復しない。

### 2.1 NBTI と PBTI

BTI は Negative BTI (NBTI) と Positive BTI (PBTI) に分類される。図 2 に示す NBTI は PMOS が ON 状態 ( $V_{gs} < 0V$ : Negative  $V_{gs}$ ) で発生し、65 nm プロセス以降で顕在化している。図 3 に示す PBTI は NMOS が ON 状態 ( $V_{gs} > 0V$ : Positive  $V_{gs}$ ) で発生し、45 nm 以降に高誘

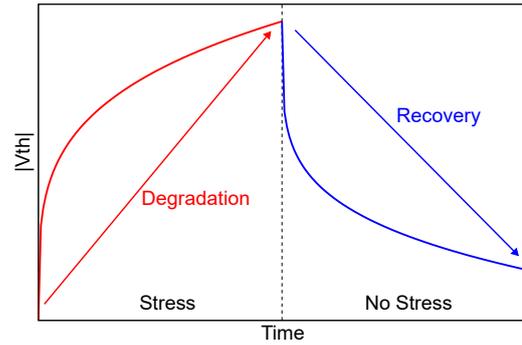


図 1 BTI の劣化・回復現象

Fig. 1 BTI-induced degradation and recovery

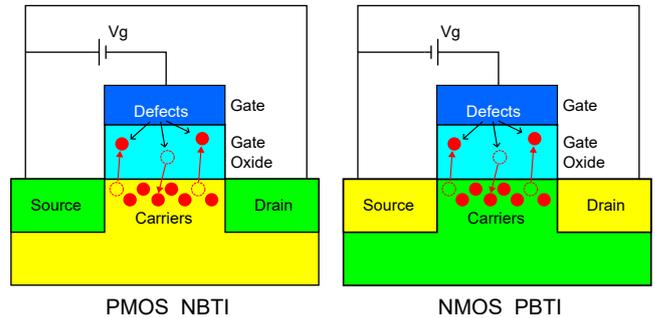


図 2 NBTI の発生原理

図 3 PBTI の発生原理

Fig. 2 Principles of NBTI

Fig. 3 Principles of PBTI

電率のゲート酸化膜として high-k 材料 [5] が使われるようになって以降顕在化している [6]。high-k 材料は、65 nm プロセスまでのシリコン酸化膜 ( $\text{SiO}_2$ ) やシリコン酸窒化膜 ( $\text{SiON}$ ) と比較してゲート酸化膜製造時の欠陥が多くなり、PBTI が顕在化した。high-k 材料はハフニウムなどの高誘電率を持つ材料であり、微細化によって増加したゲートリーク電流を抑える目的で用いられており、微細化に欠かせない要素である。

### 2.2 BTI の劣化特性

BTI の劣化は Universal Model [7] が提案、議論されており、 $V_{th}$  は経過時間  $t$  に対してべき乗関数  $t^n$  で劣化が進む。時間指数  $n$  は 1/6 程度としている。

長期測定の先行研究として、IBM の 500 日の測定 [8] があげられる。IBM の研究では、高い電圧、室温で 500 日 BTI 測定を行い、べき乗関数に従い劣化が進む結果を示している。一方で、時間指数  $n$  は 0.4 程度と大きい結果となっている。

同様の測定回路で行った 7 nm FinFET プロセスの 1200 万秒の長期測定 [9] では、時間指数 0.25 程度のべき乗関数に従い劣化が進む結果が得られている。

本研究は標準動作電圧、高温環境での長期間の測定である。

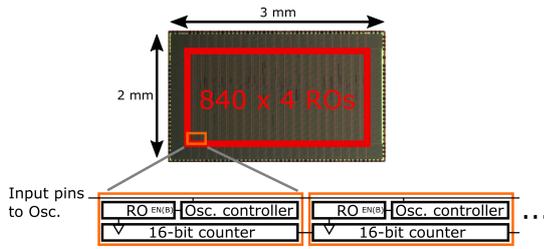


図 4 測定チップの外観および周波数カウンタ

Fig. 4 Appearance of measurement chip and frequency counter

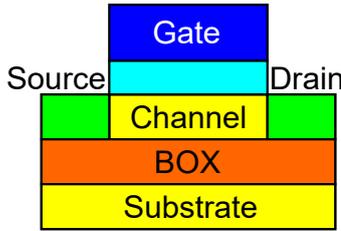


図 5 FDSOI 構造

Fig. 5 FDSOI structure

### 3. 測定方法

行った長期測定について説明する．3.1 節から 3.3 節で，使用した測定回路，3.4 節で長期測定系，3.5 節で測定方法，測定条件，評価方法について述べる．

#### 3.1 測定回路

測定回路は 65 nm FDSOI プロセスで試作したリングオシレータである．

測定チップの外観および周波数カウンタを図 4 に示す．図 4 では，チップ内に搭載している周波数カウンタでリングオシレータの発振周波数を測定する．

#### 3.2 FDSOI 構造

SOI (Silicon on Insulator) 構造とは，トランジスタと基板の間に BOX (Buried Oxide) 層と呼ばれる絶縁層を挿入した構造であり，トランジスタの寄生容量が小さくなることで高速動作，低電圧動作を可能にする [10]．図 5 に示す FDSOI (Fully Depleted SOI) 構造は，BOX 層でチャンネルが完全に空乏化されており，BOX 層の膜厚は 15 nm 程度である．

#### 3.3 リングオシレータ (RO)

RO は，奇数 (素数であることが望ましい [11]) のインバータを鎖状につなげて発振させる回路である．初段のインバータを 2 入力の NAND ゲートまたは NOR ゲートにし，入力の 1 つを発振制御端子 EN (または ENB) とすることで発振を制御できる．BTI による劣化でトランジスタの遅延が大きくなるため，RO の発振周波数が減少する．

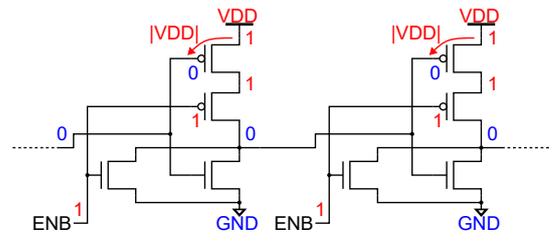


図 6 NBTI 発生型 RO

Fig. 6 NBTI-generating RO (NBTI-RO)

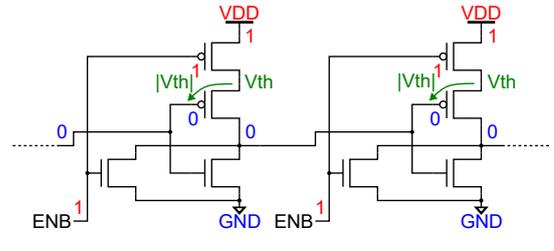


図 7 NBTI 抑制型 (R 型) RO

Fig. 7 NBTI-suppressed RO (NBTI-R-RO)

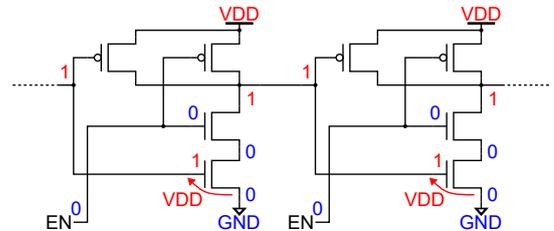


図 8 PBTI 発生型 RO

Fig. 8 PBTI-generating RO (PBTI-RO)

RO であるため，測定では複数のトランジスタが同時に劣化するため，特性ばらつきの影響を排除できる．

本研究では，RO 全段を NAND ゲートまたは NOR ゲートに置換した回路で測定する．NOR ゲートのみの RO を NBTI 型 RO，NAND ゲートのみの RO を PBTI 型 RO として扱う．測定に使用する RO は全て 11 段であり，同じ構造の RO が 840 個ずつチップに搭載されている．

##### 3.3.1 NBTI 型 RO

図 6，7 の通り全段が NOR ゲートの RO で，発振制御端子 ENB が 0 で RO が発振する．NOR ゲートでは NBTI の劣化のみが発振周波数に影響する．図 6 の通り入力が発振制御端子の PMOS が出力から近い場合，もう 1 つの PMOS はストレス状態 (発振停止) で VDD 分のストレスがかかるが，出力から遠い場合，もう 1 つの PMOS はストレス時に  $V_{th}$  分しかかからない．前者を BTI 発生型，後者を BTI 抑制型 (R 型) として扱う．

##### 3.3.2 PBTI 型 RO

図 8，9 の通り全段が NAND ゲートの RO で，発振制御端子 EN が 1 で RO が発振する．NAND ゲートでは PBTI の劣化のみが発振周波数に影響し，NBTI 型 RO と同様に発生型，抑制型の 2 種類がある．

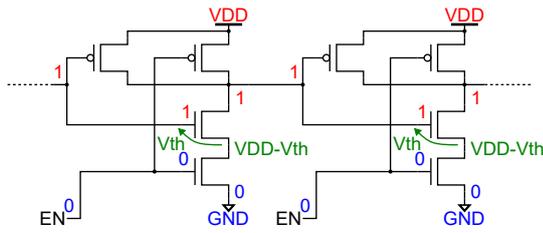


図 9 PBTI 抑制型 (R 型) RO

Fig. 9 PBTI-suppressed RO (PBTI-R-RO)



図 10 使用した長期測定系

Fig. 10 Long-term measurement system

### 3.4 長期測定系

本研究は  $10^7$  秒以上の長期間測定を行うため、長期間安定して動作する測定系が求められる。測定対象は RO であり、前述の通りチップ内部に周波数カウンタを搭載しており、周波数カウンタの結果を受け取ることができる。電圧と温度を安定して供給できることが測定系に求められる条件である。

本研究では、図 10 に示す FPGA (Field Programmable Gate Array) とマイコンを用いた低電力な測定系を用いる。FPGA でチップを制御し、マイコンで測定全体を制御する。外部電源を使用し、マイコンからシリアル通信で制御、恒温槽内に DUT を設置することで電圧・温度供給を安定させる。図 10 の USB ケーブルはマイコンからシリアル通信で PC に測定結果を取得することに用いる。

### 3.5 測定および評価方法

#### 3.5.1 測定方法および測定条件

測定は、RO の発振停止 (ストレス負荷)、RO の発振 (発振周波数の測定) を繰り返す。発振停止時間 (10 秒以上) に対して発振時間 ( $30\mu\text{s}$ ) は非常に短いため、発振時の BTI の回復、BTI 以外の劣化を無視する。

測定条件は以下の通りである。

- 電源電圧 VDD 1.2 V (標準動作電圧)
- 温度  $125^\circ\text{C}$  (車載半導体の規格 AEC-Q100 のグレード 1 の最大値)
- 発振時間  $30\mu\text{s}$

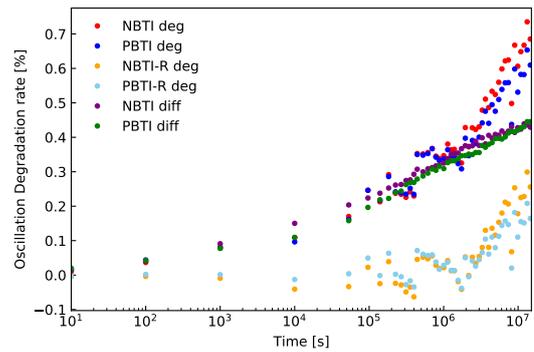


図 11 全 RO の発振周波数の劣化率

Fig. 11 Oscillation frequency degradation rate of all ROs

- 測定期間 約 160 日 (現在も測定は継続中)

#### 3.5.2 評価方法

BTI による劣化の評価方法は、RO の発振周波数の劣化率およびしきい値電圧変動量 ( $\Delta V_{th}$ ) で評価を行う。BTI は  $V_{th}$  の劣化で表されるため、発振周波数の劣化を  $\Delta V_{th}$  へ変換し、べき乗関数でフィッティングを行う。発振周波数の劣化率から  $\Delta V_{th}$  への変換は、HSPICE でのシミュレーション結果を用いる。 $\Delta V_{th}$  に対する発振周波数の変化は、 $\Delta V_{th}$  が小さい場合は一次近似できる。

## 4. 実測評価

65 nm FDSOI プロセスで試作された 4 種類の RO (NBTI 発生型, PBTI 発生型, NBTI 抑制型, PBTI 抑制型) の発振周波数の劣化率、しきい値電圧変動量への変換結果およびフィッティング結果をそれぞれ図 11, 12 に示す。図中では、NBTI 発生型, NBTI 抑制型, PBTI 発生型, PBTI 抑制型 RO を順に NBTI, NBTI-R, PBTI, PBTI-R と示し、deg は発振周波数の劣化率、diff は発生型と抑制型の差分結果、 $V_{th}$  はしきい値電圧変動量に変換した結果、std は標準偏差、Correlation: r は相関および相関係数である。

図 11 の劣化率では、NBTI による劣化が PBTI よりも大きく、先行研究 [12] 通りの傾向である。また、抑制型 (R 型) は、 $10^6$  秒まではほぼ劣化せず、設計通りの劣化傾向を示している。一方で、後述するが  $10^5$  秒以降に劣化率の変動が大きくなっている。図 12 でも、劣化率と同様に NBTI > PBTI という傾向は変わらず、先行研究 [12] と同様の結果である。長期間のストレスでもべき乗関数に従い、劣化が衰えないため、短期間の測定で得られた傾向を延長することで長期間の劣化傾向を再現できると考えられる。一方で、抑制型は長期間のストレスで BTI により劣化するため、差分結果は環境変動に加え、一部の BTI による劣化も打ち消す。

#### 4.1 100 万秒以降の結果の変動

図 11 の通り、 $10^5$  秒以降で変動が顕著である。図 13 に、

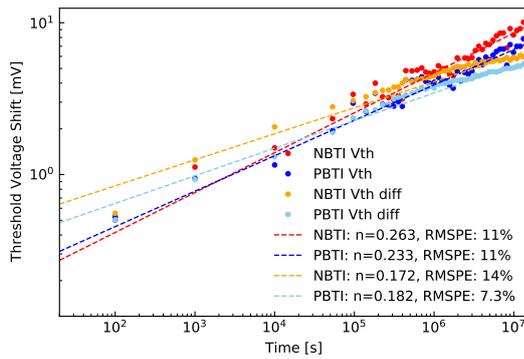


図 12 しきい値電圧変動量への変換およびフィッティング結果  
Fig. 12 Threshold voltage shift and fitting results

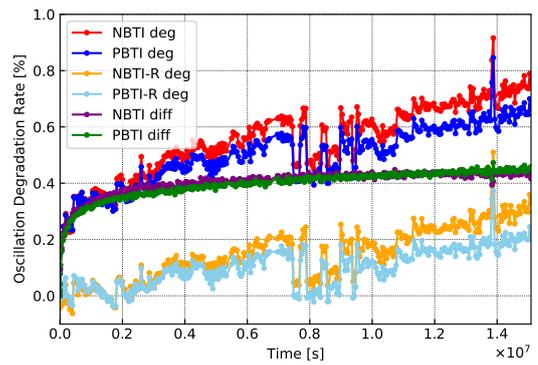


図 13 線形軸での全 RO の発振周波数の劣化率  
Fig. 13 Oscillation frequency degradation rate of all ROs on linear axis

図 11 の横軸を線形軸にしたグラフを示す．図 13 では，劣化率の変動が，全ての RO で同様に発生している．差分結果ではきれいに打ち消されているため，変動は RO 単位ではなく，チップ単位に原因があると考えられる．

劣化率は，840 個ある同じ構造の RO の劣化率の平均である．図 14 に NBTI 発生型 RO での劣化率と 840 個の RO の標準偏差を示す．図 14 の劣化率と標準偏差を比較すると，劣化率が減少すると標準偏差が減少，劣化率が増加すると標準偏差も増加する傾向が見られ，正の相関があると考えられる．

図 15 に，劣化率と標準偏差の相関を示す．図 15 の通り，最も相関が低い NBTI 発生型 RO (NBTI Correlation) で相関係数  $r$  は 0.85 であり，劣化率と標準偏差に高い相関が見られる．さらに，RO の種類で比較すると，BTI による劣化が大きい (NBTI > PBTI, 発生型 > 抑制型) ほど相関が小さくなるため，BTI による劣化は関係なく，劣化率の変動と標準偏差が非常に高い相関を持つと考えられる．図 16 に，特定の標準偏差での 840 個の RO の劣化率の分布を示す．標準偏差が小さい場合，840 個の RO の結果の分布は正規分布を示すが，標準偏差が大きくなるほどに一樣分布に近づく．

全ての RO で劣化の変動が発生するため，原因はチップ単位にあると考えられ，環境変動 (電圧や温度の変動) が原因であると考えていたが，環境変動によって標準偏差は変わらないため，別の原因があると現在考察中である．

## 5. 結論

65 nm FDSOI プロセスで試作された RO で，標準動作電圧，125 °C の高温環境で 160 日以上 の長期間，BTI の実測評価を行った．

BTI の劣化は NBTI が PBTI よりも大きく，べき乗関数で劣化が続く結果が得られ，先行研究の加速試験での短期間の劣化と同様の傾向が長期間の測定で得られた．このため，長期間の劣化傾向は，短期間の劣化傾向を延長させることで再現できる．

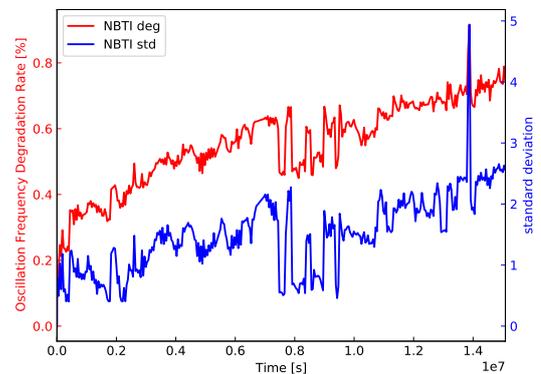


図 14 NBTI 発生型 RO の劣化率と標準偏差  
Fig. 14 Degradation rate and standard deviation of NBTI-ROs

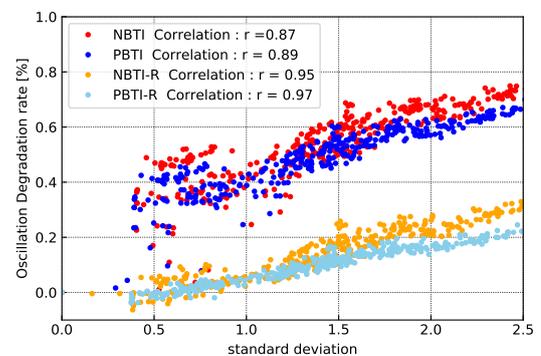


図 15 NBTI 発生型 RO の劣化率と標準偏差の相関  
Fig. 15 Correlation between degradation rate and standard deviation of NBTI-ROs

一方で，発振周波数が変動する現象が 10 万秒以降で観測され，標準偏差も発振周波数と同様に変動することが確認された．発振周波数の劣化率と標準偏差は非常に高い正の相関がみられ，標準偏差が大きくなるほど，発振周波数の分布は正規分布から一樣分布に変化する．今回観測された現象の原因について考察中である．

謝辞 本研究に用いたチップはルネサスエレクトロニクス株式会社により試作されたものであり，東京大学 d.lab-VDEC を通し，日本シノプシス合同会社，日本ケイデン

ス・デザイン・システムズ社，シーメンス EDA ジャパン株式会社との協力で行われたものである．助言を頂いた本学

シニアフェローの熊代成孝様に感謝致します．

参考文献

- [1] M. Bohr, "The evolution of scaling from the homogeneous era to the heterogeneous era," 2011 International Electron Devices Meeting, pp.1.1.1–1.1.6, Dec. 2011.
- [2] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, "NBTI degradation: From transistor to SRAM arrays," 2008 IEEE International Reliability Physics Symposium, pp.289–300, April 2008.
- [3] D. Varghese, D. Saha, S. Mahapatra, K. Ahmed, F. Nouri, and M. Alam, "On the dispersive versus arrhenius temperature activation of nbtI time evolution in plasma nitrated gate oxides: measurements, theory, and implications," IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest., pp.684–687, 2005.
- [4] C. Yilmaz, L. Heiß, C. Werner, and D. Schmitt-Landsiedel, "Modeling of NBTI-recovery effects in analog CMOS circuits," 2013 IEEE International Reliability Physics Symposium (IRPS), pp.2A.4.1–2A.4.4, April 2013.
- [5] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, and G. Ghibaudo, "Review on high-k dielectrics reliability issues," IEEE Transactions on Device and Materials Reliability, vol.5, no.1, pp.5–19, 2005.
- [6] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzick, "A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO<sub>2</sub>/HfO<sub>2</sub> Stacks with FUSI, TiN, Re Gates," 2006 Symposium on VLSI Technology, 2006. Digest of Technical Papers., pp.23–25, 2006.
- [7] S. Mahapatra, V. Huard, A. Kerber, V. Reddy, S. Kalpat, and A. Haggag, "Universality of NBTI - From devices to circuits and products," 2014 IEEE International Reliability Physics Symposium, pp.3B.1.1–3B.1.8, June 2014.
- [8] P.-F. Lu and K.A. Jenkins, "A built-in BTI monitor for long-term data collection in IBM microprocessors," 2013 IEEE International Reliability Physics Symposium (IRPS), pp.4A.1.1–4A.1.6, 2013. <https://ieeexplore.ieee.org/abstract/document/6532003>
- [9] K. Kobayashi, T. Kishita, H. Nakano, J. Furuta, M. Igarashi, S. Kumashiro, M. Yabuuchi, and H. Sakamoto, "Ultra Long-term Measurement Results of BTI-induced Aging Degradation on 7-nm Ring Oscillators," 2023 IEEE International Reliability Physics Symposium (IRPS), pp.1–7, 2023.
- [10] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.-O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Béranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud, and M. Haond, "28nm FDSOI technology platform for high-speed low-voltage digital applications," 2012 Symposium on VLSI Technology (VLSIT), pp.133–134, 2012.
- [11] M. Bhushan and M.B. Ketchen, "Generation, elimination and utilization of harmonics in ring oscillators," 2010 International Conference on Microelectronic Test Structures (ICMTS), pp.108–113, 2010.
- [12] R. Kishida, T. Asuke, J. Furuta, and K. Kobayashil,

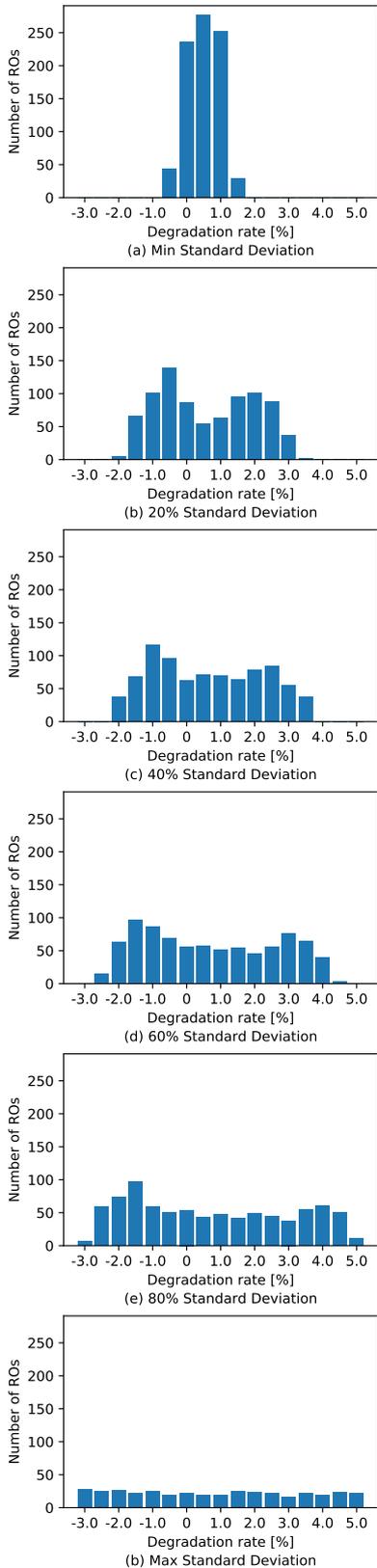


図 16 特定の標準偏差での 840 個の RO の劣化率の分布

Fig. 16 Distribution of degradation rates for 840 ROs at specific standard deviations

“Extracting BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive ring Oscillators,” 2019 IEEE 32nd International Conference on Microelectronic Test Structures (ICMETS), pp.24–27, 2019.