



地上および宇宙用集積回路 のソフトエラー対策とその実測 評価方法

第4回スマート宇宙機器システムシンポジウム

京都工芸繊維大学

電気電子工学系 教授

小林和淑

講演内容

- ソフトエラーと集積回路 (LSI)
- ソフトエラーの実例紹介
- ソフトエラーの実測方法
- 対ソフトエラー集積回路
- まとめ

直前のご依頼のため一部スライドは英語もしくは英語日本語混在です。
ご容赦ください。



ソフトウェアとは

- ハードエラー(永久故障)との対比で, 電子回路の「一時故障」
 - ソフトウェアのエラー(バグ)ではない
- JEDEC JESD89A (国際規格)でのSoft Errorの定義
 - An erroneous output signal from a circuit that can be corrected by performing one or more normal functions of the (e.g. retrying operation, rewriting data, power cycling, etc.) Synonymous with SEU.
 - 再実行, 再書き込み, 電源の再投入等で訂正できる回路からのエラー出力. SEUと同義
- SEU: Single Event Upset
 - An error in a circuit that is not permanent (i.e. not a hard error) caused by the change in state of a latch, flop, memory cell from a single energetic particle strike.
 - 1度の粒子線衝突(シングルイベント)により回路中のラッチ, フリップフロップ, メモリセル(等の記憶素子)の状態が一時的に変化するエラー

集積回路のシングルイベント効果

- Single Event Effects (SEE)

- SEU (single event upset) == Soft Error

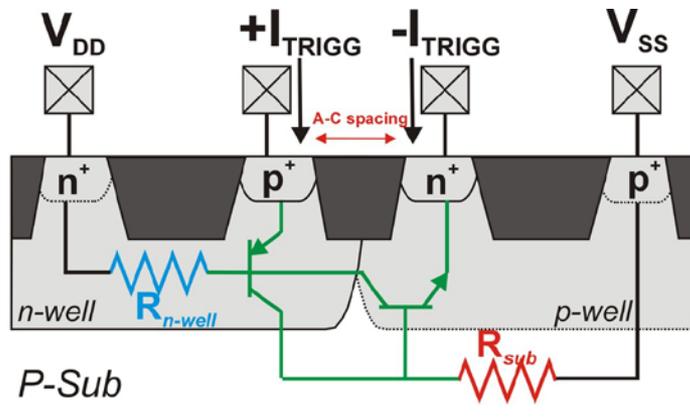
- Flip a storage node in flip flop (FF) or memory cell.

- SEL (single event latch-up)

- Turn on a stray thyristor, then large current flows from VDD to ground.

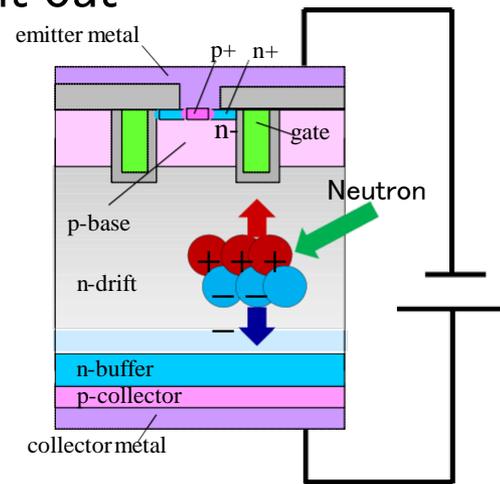
- SEB (single event burnout)

- Turn on a power transistor, then burn it out



SEL

Diagram from Gianluca Boselli, TI



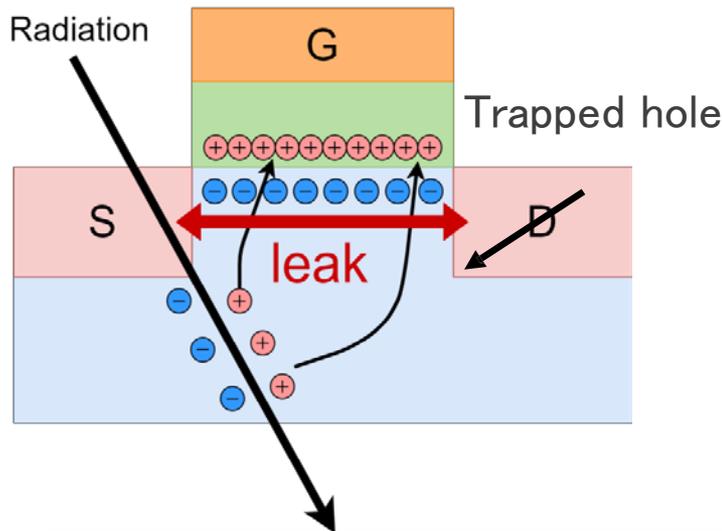
SEB

Diagram from Hitachi

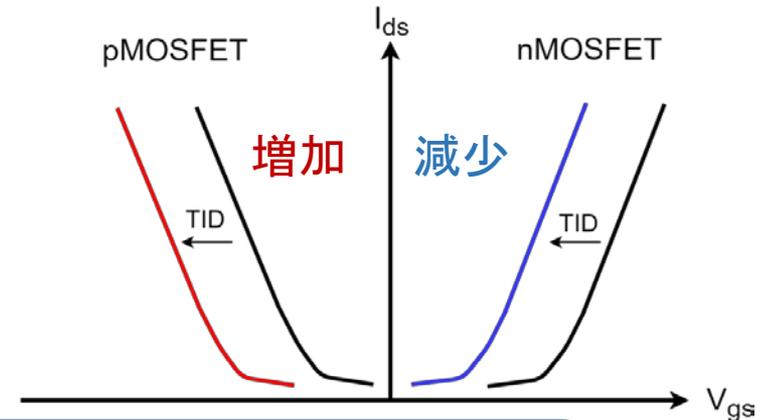
トータルドーズ効果

➤ TID (Total Ionizing Dose Effect)

- 放射線の入射により電子正孔対が発生 (電離効果)
- デバイス内の酸化膜の欠陥や界面準位に正孔が蓄積
- 蓄積した正孔 → リークパス形成 / しきい値変動
- 永久故障(ハードエラー)



- ・ 宇宙空間で顕在化
- ・ 地上ではガンマ線照射施設で測定



11/18にデザインガイア2020(有償)でTID測定の結果を発表予定
“デザインガイア 2020 トータルドーズ”で検索を

ソフトウェア発生要因

宇宙

- 重イオンにより発生
 - 重イオンは通過すると必ず電子正孔対発生
 - 遮蔽困難
- 数が少なく損害大
 - ロケット, 人工衛星 数台/年, **30億円/台**
- 少量の耐性を強靱に

プラズマ圏

地上

- α 線, 中性子により発生
 - α 線はLSI周辺から発生. 低 α 材料で低減可
 - 中性子は**遮蔽困難**
- 数が多い
 - スマホ 1億台/年
 - 自動車 100万台/年
 - 問題を起こすと大変. エアバッグは**3000億円**
- 大量の耐性を強靱に

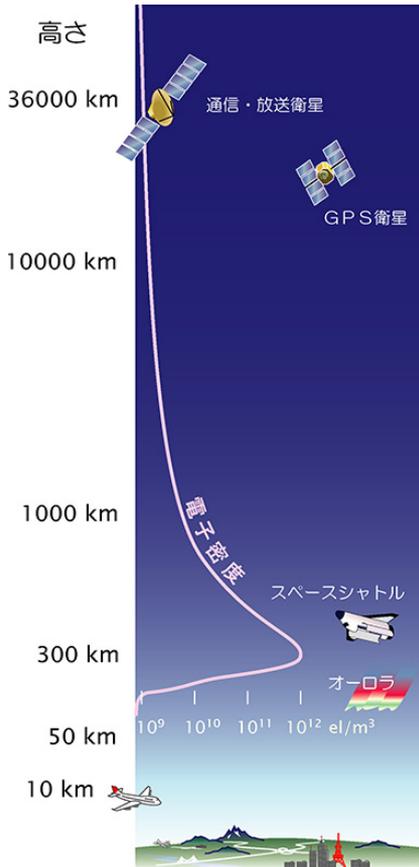
(熱圏)

電離圏

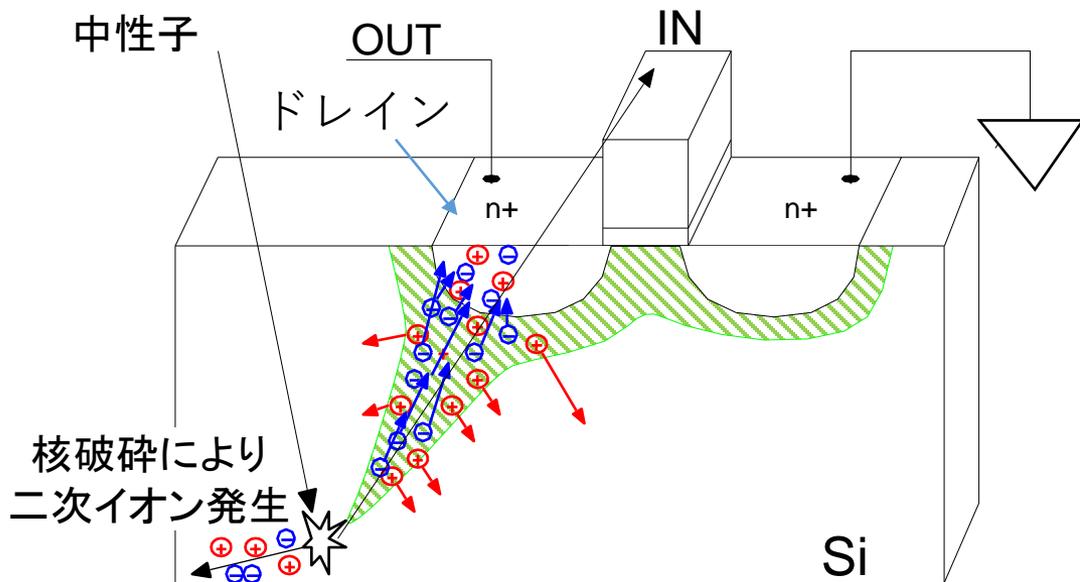
(中間圏)

(成層圏)

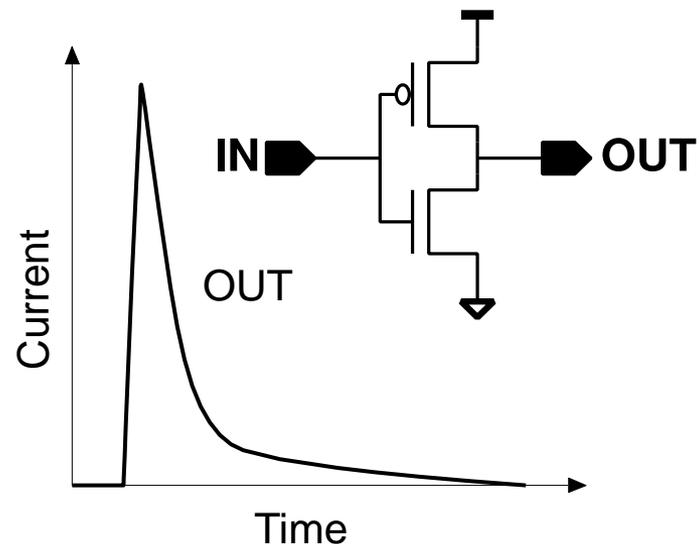
(対流圏)



シングルイベントによる物理現象



MOSトランジスタ断面図



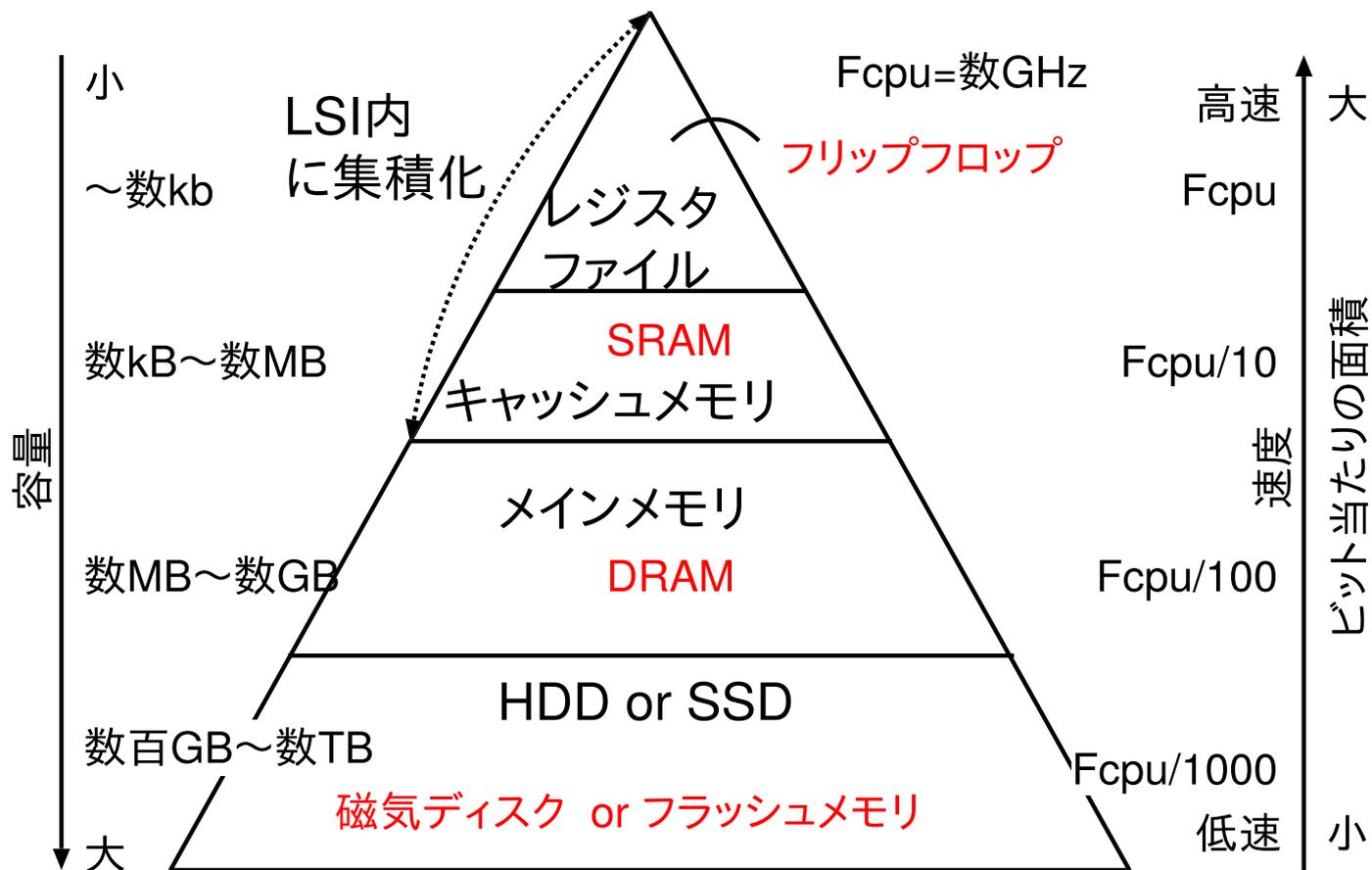
放射線による励起電流

$n + {}^{28}\text{Si} \rightarrow \gamma + {}^{29}\text{Si}$
 $\rightarrow n + {}^{28}\text{Si}$
 $\rightarrow p + {}^{28}\text{Al}$
 $\rightarrow n + p + {}^{27}\text{Al}$
 $\rightarrow {}^3\text{He} + {}^{26}\text{Mg}$
 $\rightarrow \alpha + {}^{25}\text{Mg}$
 $\rightarrow n + \alpha + {}^{24}\text{Mg}$
 $\rightarrow 2\alpha + {}^{21}\text{Ne}$
 $\rightarrow \text{etc.}$

- 放射線の電離効果により電子正孔対が発生
- トランジスタのドレイン領域に電荷が収集
- ファネリング、ドリフト、拡散
- ノードの電位が反転(0→1, 1→0)
- LSIの誤動作の原因に

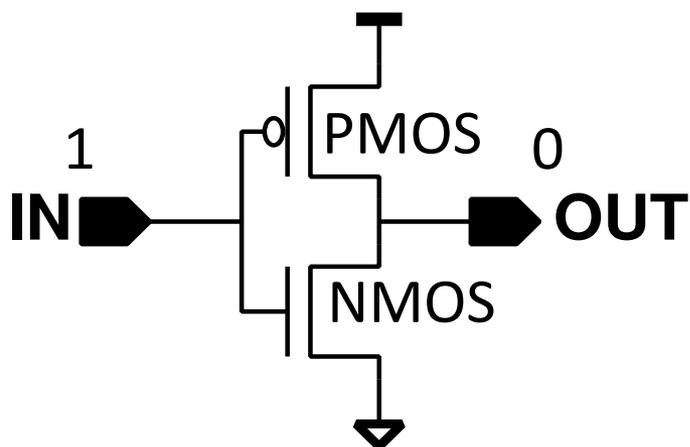
電子回路中の記憶素子

- 記憶素子の記憶値が反転するとソフトエラー
 - フリップフロップとSRAMがSEUを起こす. DRAM・フラッシュは比較的強靱



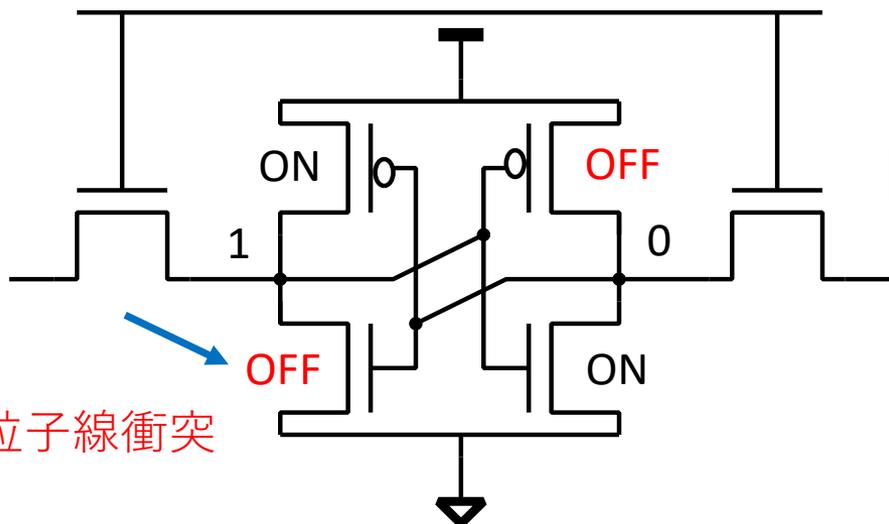
コンピュータの記憶階層

CMOS論理ゲートとSRAMのソフトウェア



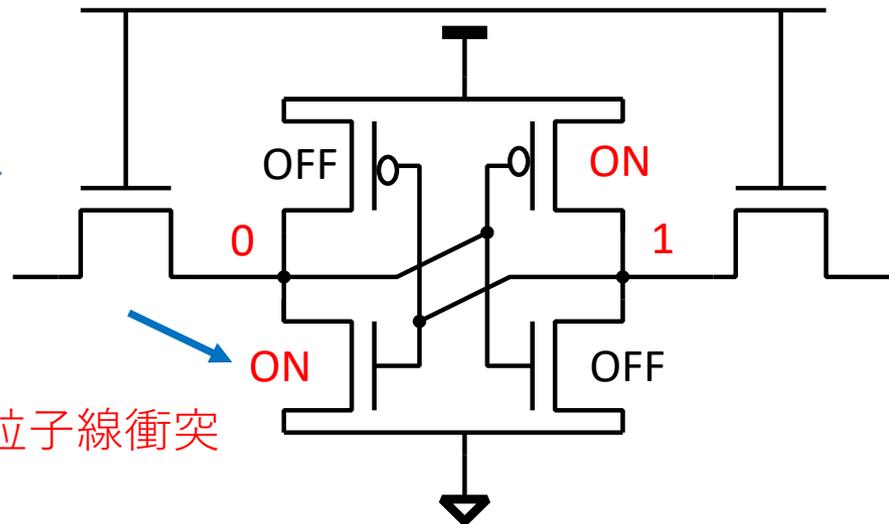
CMOSインバータ(NOTゲート)

- N型MOSトランジスタとP型MOSトランジスタを対にして作るCMOS論理ゲート
 - NMOS: 入力1でON
 - PMOS 入力0でON
 - NとPが相補的に働くのでComplementary Metal Oxide Semiconductor (CMOS)と呼ぶ. **非動作時電力ほぼ0**
 - バイポーラトランジスタ: CMOS普及前の技術. 高電力
- LSI中にはCMOS構造の論理ゲートが多数敷き詰められている



粒子線衝突

SRAM (Static Random Access Memory)



粒子線衝突

粒子線衝突による電荷収集で記憶値が反転

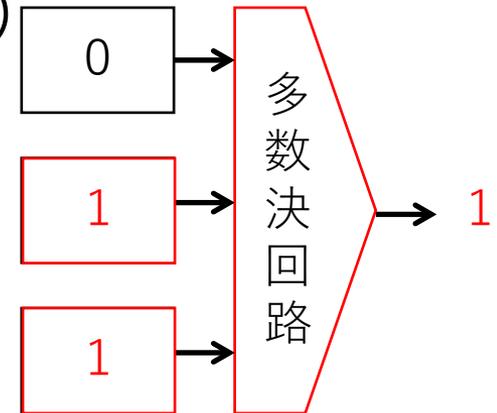
記憶素子(メモリ)のソフトウェアエラー対策

- フリップフロップ (LSI内の高速な記憶素子)

- 多重化(三重化)

- 記憶素子を多重化して**多数決**

- 1ビット反転(**SEU**)には強い. 2ビット反転(**MCU**)すると✖



- DRAM/SRAM: メイン/キャッシュメモリ

- Error Check Code (ECC)

- ワード毎に検査ビットを付加し**SEU**を訂正

- **MBU** (同一ワードの複数ビット反転)は検出のみ

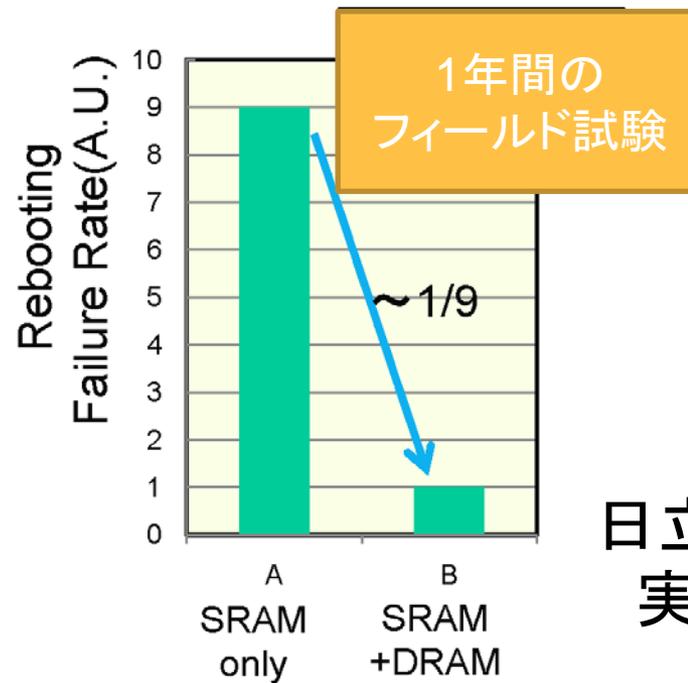
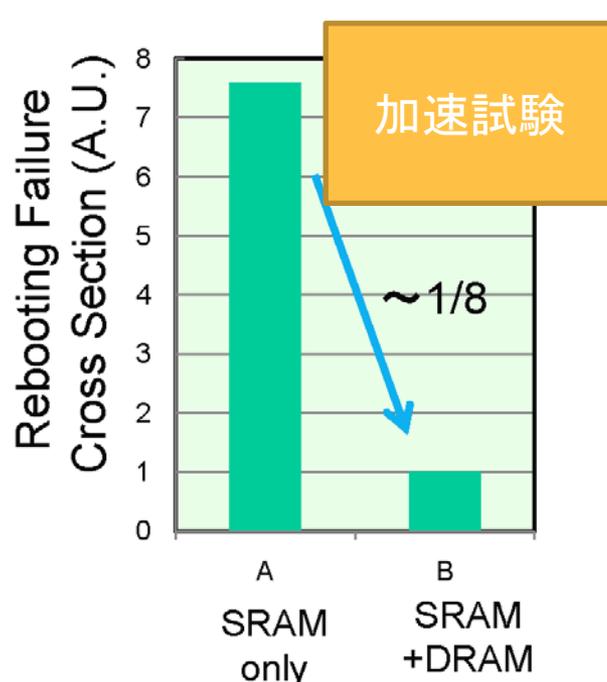


講演内容

- ソフトエラーと集積回路 (LSI)
- ソフトエラーの実例紹介
- ソフトエラーの実測方法
- 対ソフトエラー集積回路
- まとめ



実動機器における一例



日立製作所の
実験データ

- ソフトエラーに弱いSRAMを、DRAM+ECCに換えると、エラーは約1/10に

日常の一時故障の90%はソフトエラー

ソフトウェア問題：実害



EE Times:

SRAM soft errors cause hard network problems

Anthony Cataldo [Anthony Cataldo](#)

[EE Times](#)

(08/17/2001 7:22 HCE EDT)

SAN MATEO, Calif. — Networking equipment is growing increasingly susceptible to soft errors — nonrecoverable, temporary misfires that can play havoc with things like traffic destinations — as chip



Sun CEO
Scott McNealy
[Forbes 2000]



金輪際IBM社のSRAMは購入しない!!!

[EETimes 2001]

- サーバ用SRAMで生じたソフトウェアによってSun Microsystems社のワークステーションがクラッシュ
- たまたまソフトウェアに脆弱だったIBM社のSRAMを使用
- **ソフトウェアは製品の信頼性を低下**

宇宙線の影響で30億円の特損計上、横河電の4～6月期

2019/8/6 20:30

 保存  共有  印刷     その他▼

降り注ぐ宇宙線が業績にも影響——。横河電機は6日発表した2019年4～6月期の連結決算で、宇宙線中性子が原因とみられる半導体部品の不具合に関する対策強化費用として30億円を特別損失に計上した。同社が顧客企業に販売するシステム制御機器に組み込む半導体部品が微細になったことで、宇宙線中性子の影響による不具合が生じるケースがあるという。

不具合は「ソフトウェア」と呼ばれる一過性の異常で、半導体に記憶されたデータが乱れて誤作動を起こすことがある。データを書き換えると正常な動作に戻る。横河電は顧客企業のソフトウェア対策などに関する費用を4～6月期に引き当て、純利益は前年同期比38%減の21億円となった。

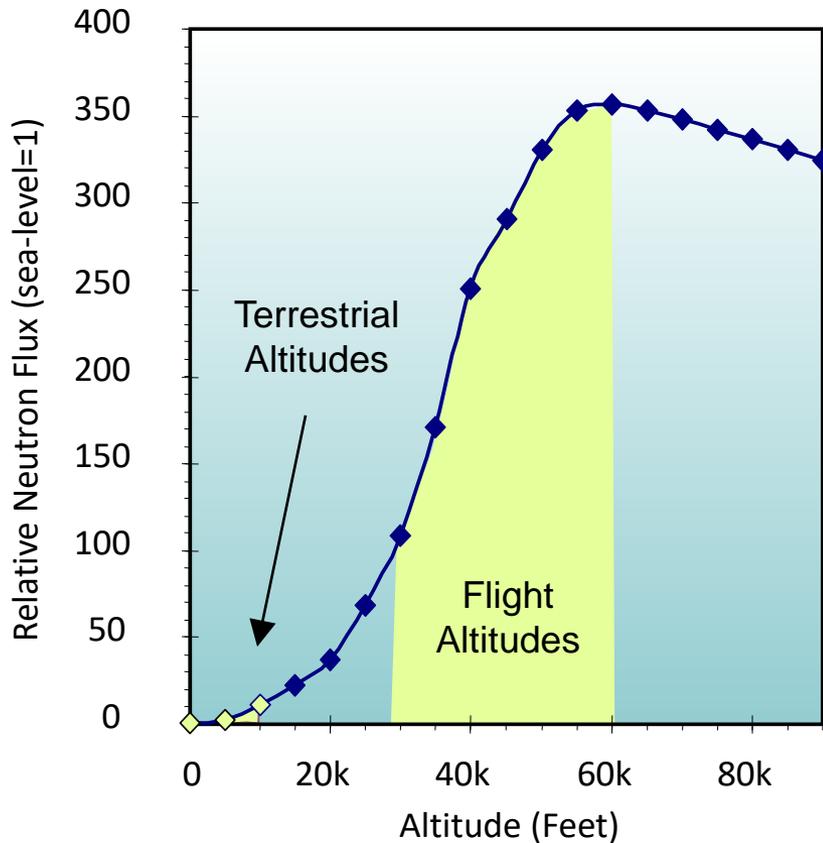
売上高は1%増の902億円、営業利益は37%増の65億円だった。中東などの顧客企業の設備投資が旺盛で、主力のプラント関連の制御機器が好調だった。

20年3月期通期の業績見通しは据え置いた。売上高は前期比4%増の4200億円、純利益は2%増の290億円を見込む。米中貿易摩擦については「現時点で受注に影響は出ていない」（同社）としている。

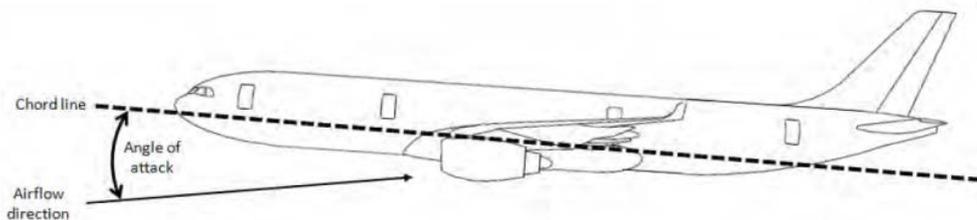
冗長化等対策はとっていたがソフトウェアを念頭に置いたものではなかった



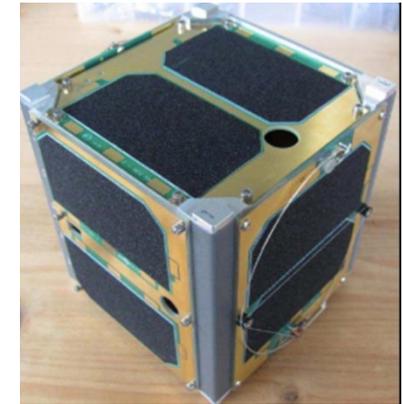
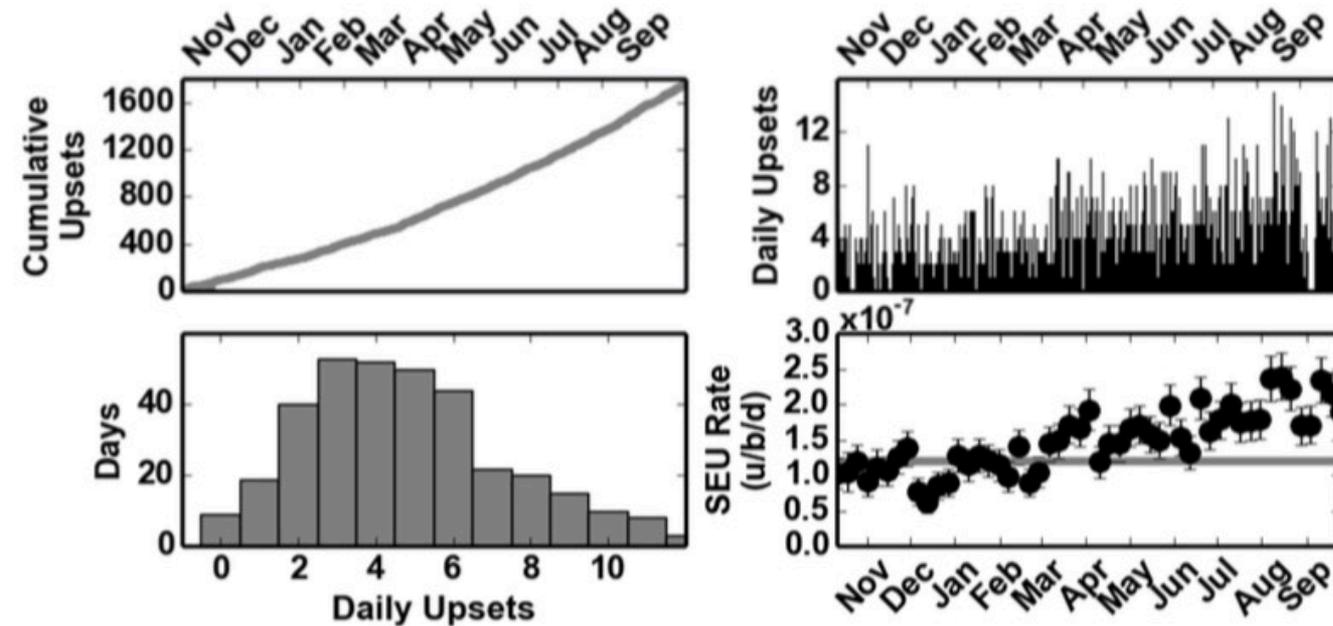
航空機への放射線の影響



- 航空高度は大気が薄く、中性子量が多い
 - 約100倍@10,000m (30,000 feet)
- 2008年10月 Airbus A330の事故
 - フライバイワイヤの制御システム故障により急降下
 - 1/3の乗客と3/4の乗員が怪我



人工衛星でのソフトウェア



Cubesat

- 32Mbit SRAMのソフトウェアによる反転数(Low-earth Orbitsの Cubesat)
 - 1.5年で3000bit/32Mbit = 7,135, 000FIT/Mbit (FIT=10⁹時間あたりのソフトウェア数)
 - 地上では高く1000FIT/Mbit程度=地上の**7135倍**のエラー率.

講演内容

- ソフトエラーと集積回路 (LSI)
- ソフトエラーの実例紹介
- **ソフトエラーの実測方法**
- 対ソフトエラー集積回路
- まとめ



ソフトウェアの実測方法

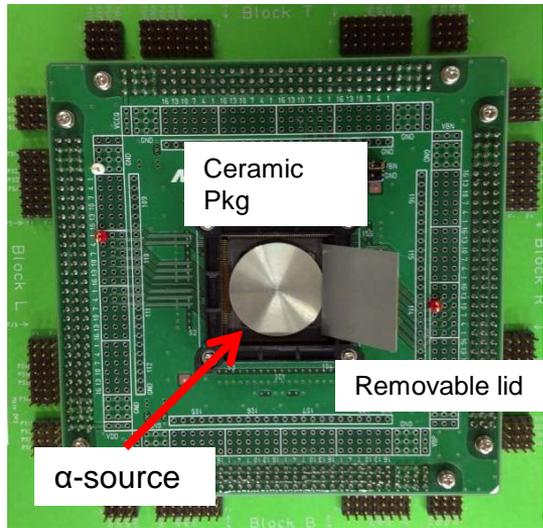
• フィールド試験

- 地上や高い山に多数のデバイスを並べてソフトウェアを実測
 - ハワイのマウナケア
 - 実データが取れるが、時間と多数のデバイスが必要
 - 日立の例: 1年間
- 宇宙空間での試験は多数のエラーが観測できるが費用甚大で取替が困難

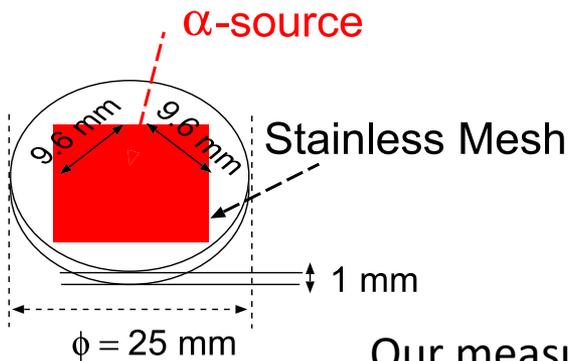
• 加速試験

- 単位時間あたりの粒子線数(フラックス)を加速
- α 線: ^{241}Am . 取扱いが簡単、エネルギー小
- 中性子線: 要加速器、地上でのエラーを加速観察可能. 2次効果のため、エラー数少.
- 重イオン: 要加速器、チャンバーに入れる必要あり. エラー多数観測可. 宇宙用LSIの評価可能

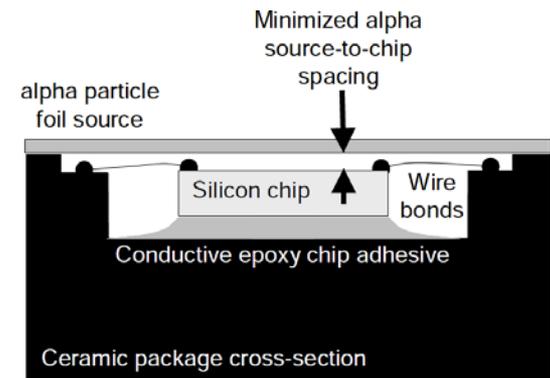
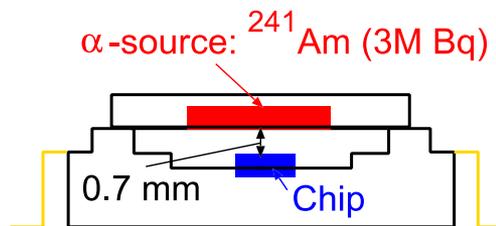
Alpha Irradiation Test



- ^{241}Am or ^{232}Th source on a chip
- Alpha particles are shielded by a sheet of paper.
 - Ceramic package with removable lid
 - Decap mold package
 - Better to remove polyimide to increase SER
 - DUT is placed to alpha source as close as possible (< 1 mm is recommended)



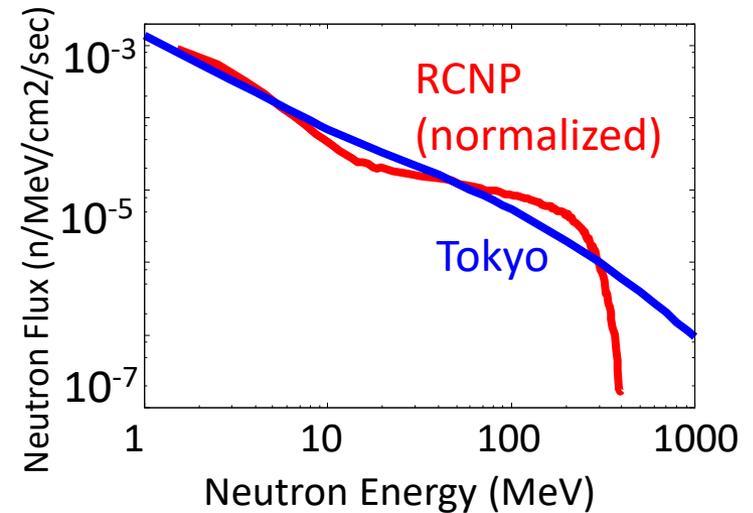
Our measurement setup



[JEDEC Standard: JESD89A]

中性子線による加速試験

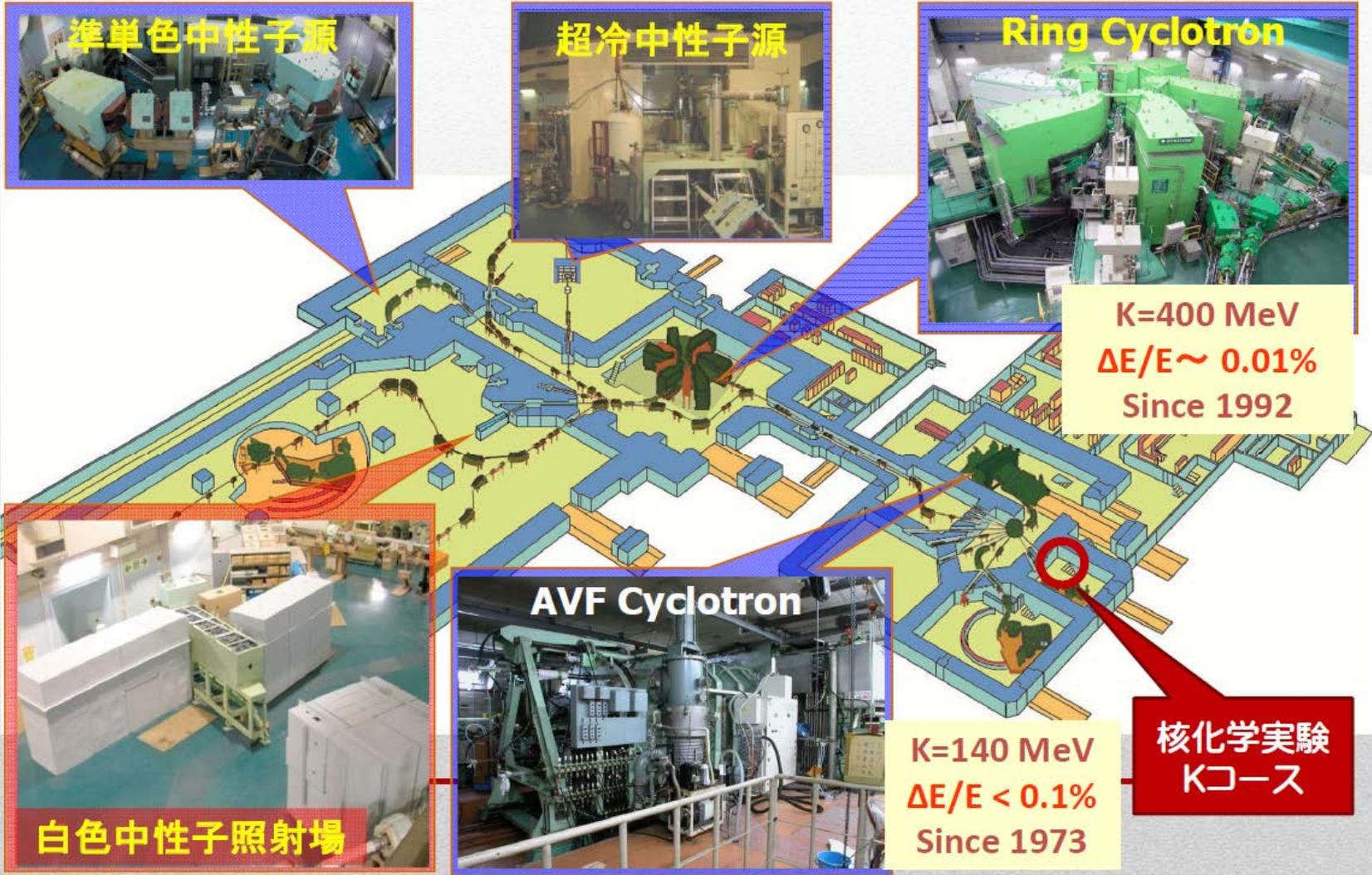
- 白色中性子を利用
 - 大阪大学RCNP(核物理研究センター)の加速器
 - 1時間で10万年分(約 10^8 に加速)
- “白色”=地上と同等のエネルギースペクトル
 - 特定のエネルギー付近にピークを持つ“準単色”ビームもあり(東北大CYRIC)
- 中性子は遮蔽困難(数mのコンクリート等)のため、測定に工夫必要



白色中性子源の中性子スペクトラム

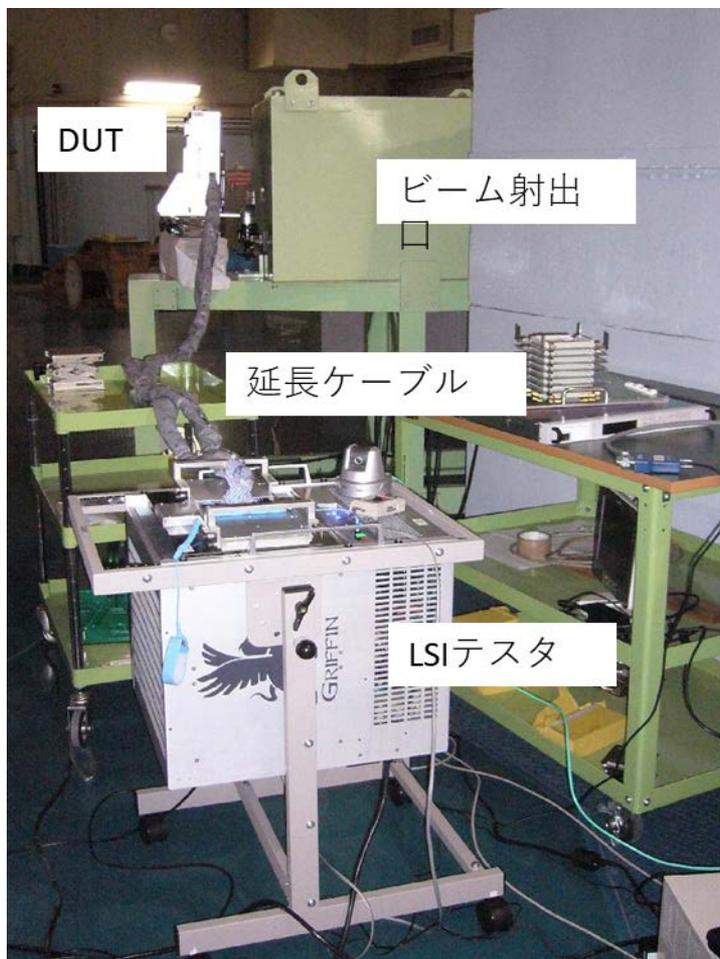
RCNPサイクロトロン施設

RCNP福田先生資料より



現在リニューアル工事中。2021/10にアップグレードされ再オープン予定

中性子実験セットアップ



- 可搬型LSIテスタにより実施
 - LSIテスタ: LSIの動作試験を行う測定機器 (価格は一軒家程度)
- ビーム射出口直後に測定器はおけない
 - 測定器がソフトウェアで誤動作
 - 4m離す治具を作成
 - 要 暫時再起動 → リモート電源遮断装置
- PCは実験室外
 - 最先端LSI多数のため、すぐにおかしくなってしまう
 - USBをLANケーブルに変換
- 測定器の電源が中性子による焼損 (シングルイベントバーンアウト、SEB) を起こし壊れることもあり



重イオン試験

● 要加速器

- 高崎量子応用研究所のTIARA、東北大学CYRICのカクテルビームを利用
- 大気照射も可能だが、減衰を避けるためチャンバーに入れて真空状態でイオンを照射

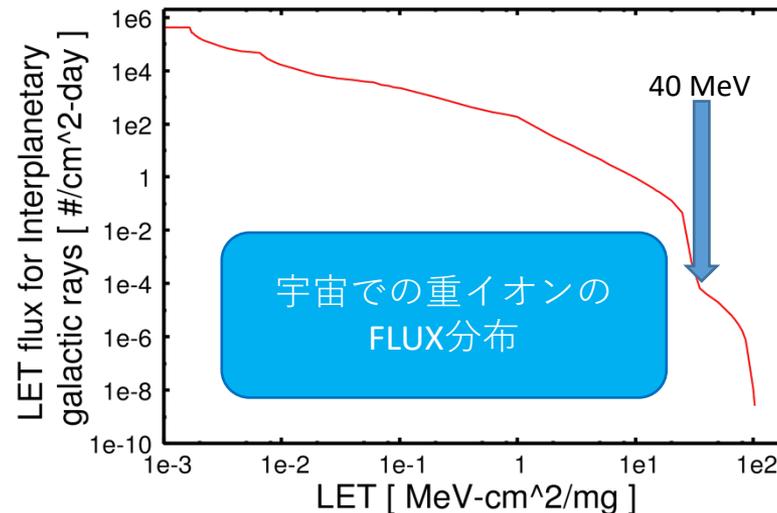
● 重イオンは荷電粒子のため、LSIへの照射で多数のエラー発生

- 中性子はSi原子との衝突要

● 40-60MeVのLETへの耐性要

Heavy Ions	LET [MeV/ (mg/cm ²)]	Energy [MeV]
N	3.4	56
Ne	6.6	75
Ar	16	150
Kr	40	322
Xe	64	454

TIARAのカクテルビームからのイオン種



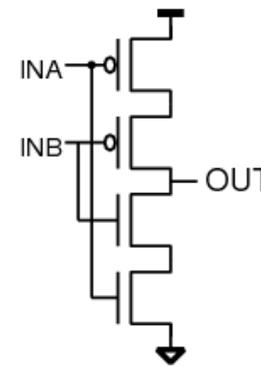
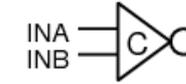
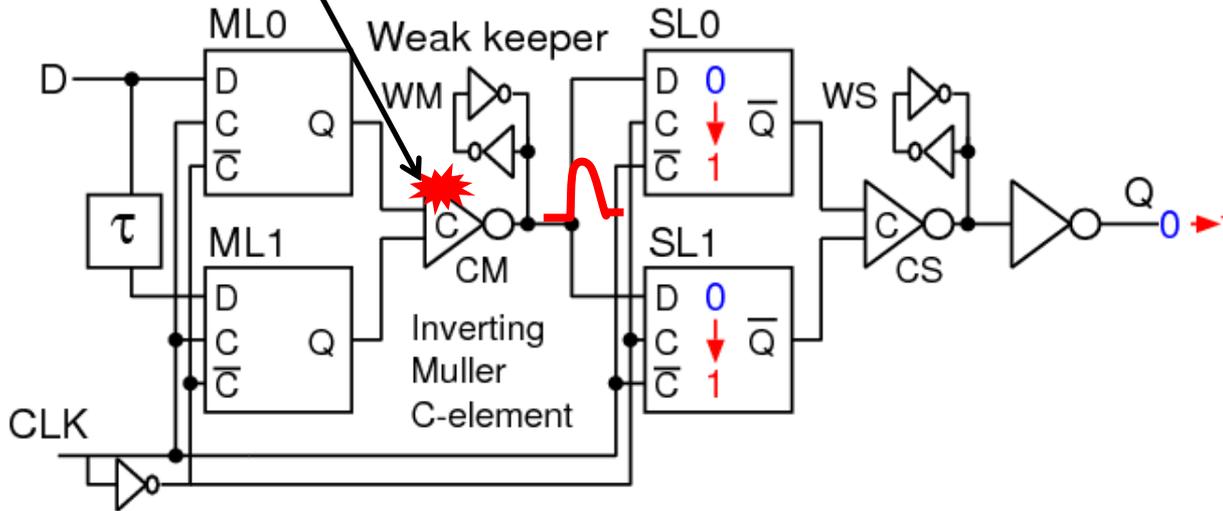
講演内容

- ソフトエラーと集積回路 (LSI)
- ソフトエラーの実例紹介
- ソフトエラーの実測方法
- 対ソフトエラー集積回路
 - FF (Flip-Flop, フリップフロップ) の設計事例・実測結果を紹介
- まとめ



BISER FF

Particle hits

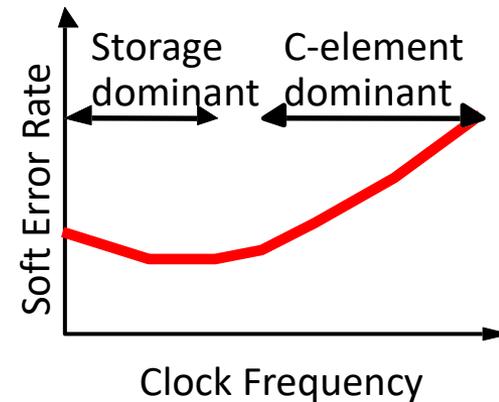


A	B	OUT(t)
0	0	0
1	0	OUT(t-1)
0	1	
1	1	1

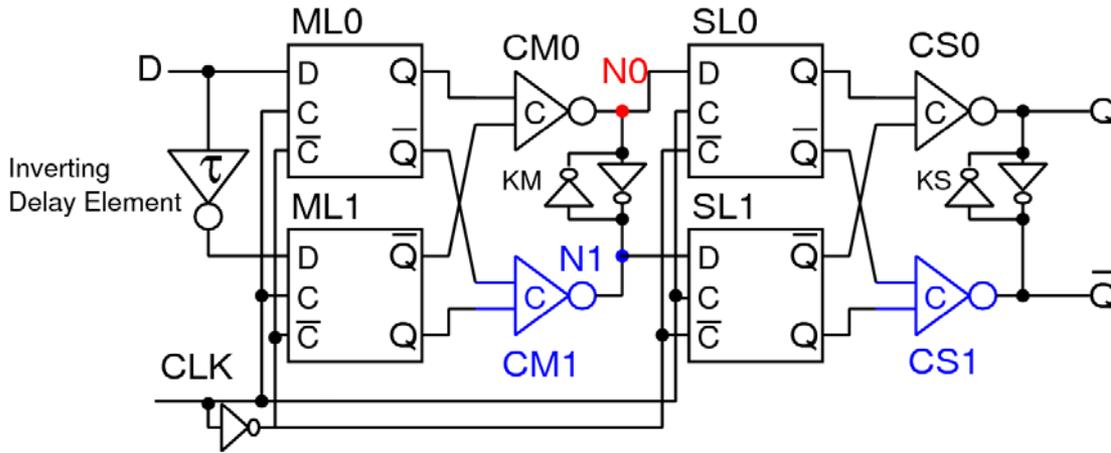
C-element

Built-in Soft-Error Resilience FF

- Developed by Intel and Stanford
- Two latches and a weak keeper hold data
- C-element resolves SBU on latches
- Area efficient but weak to an SET (Single event transient) pulse from the C-element



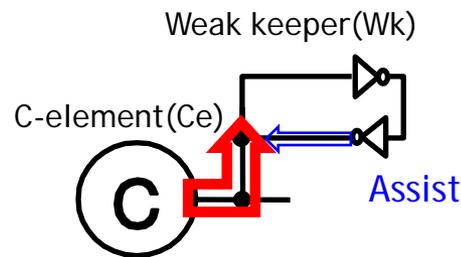
BCDMR FF [Furuta et.al, VLSI Cir. 2010]



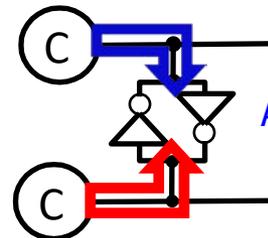
	Area	Delay	Power
BISER	3.00	1.47	2.15
BCDMR	3.00	1.45	2.20

Normalized by Standard FF

- Bistable Cross-coupled Dual Modular Redundancy FF
 - Strong against an SET pulse from C-element
 - Duplicated C-elements **strongly** assists to keep correct data. No area-overhead because of smaller transistors on C-elements



BISER



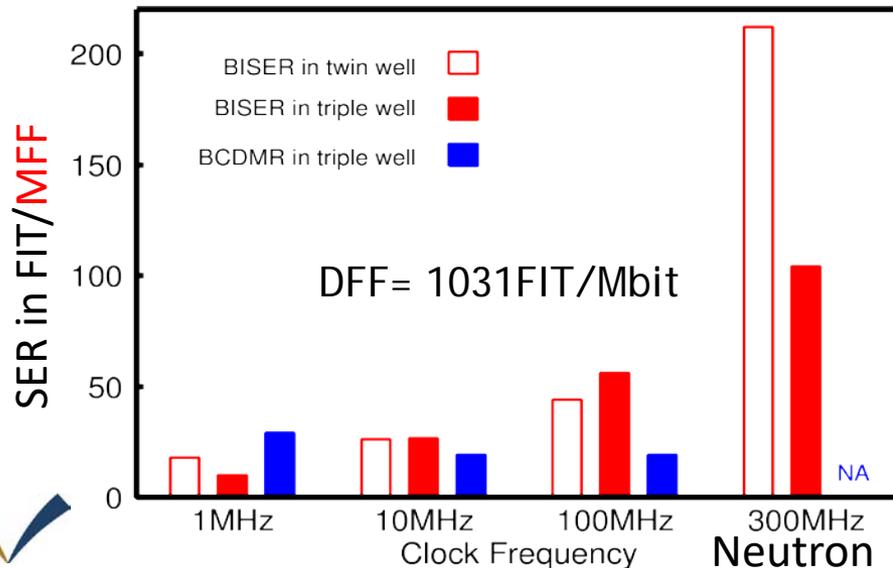
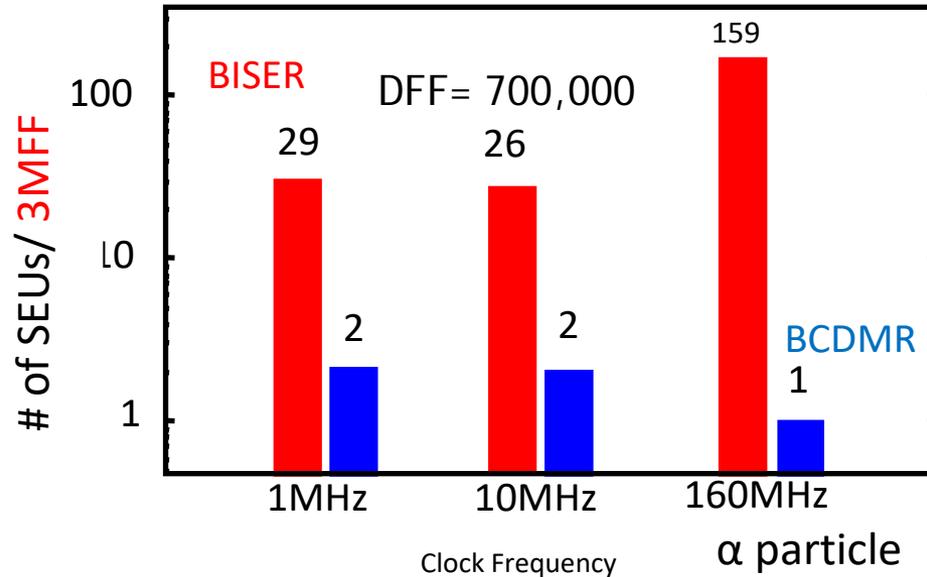
BCDMR

Drive strength

$$C_e : W_k = \underline{10} : 1$$

$$C_e : S_k = \underline{5} : 2$$

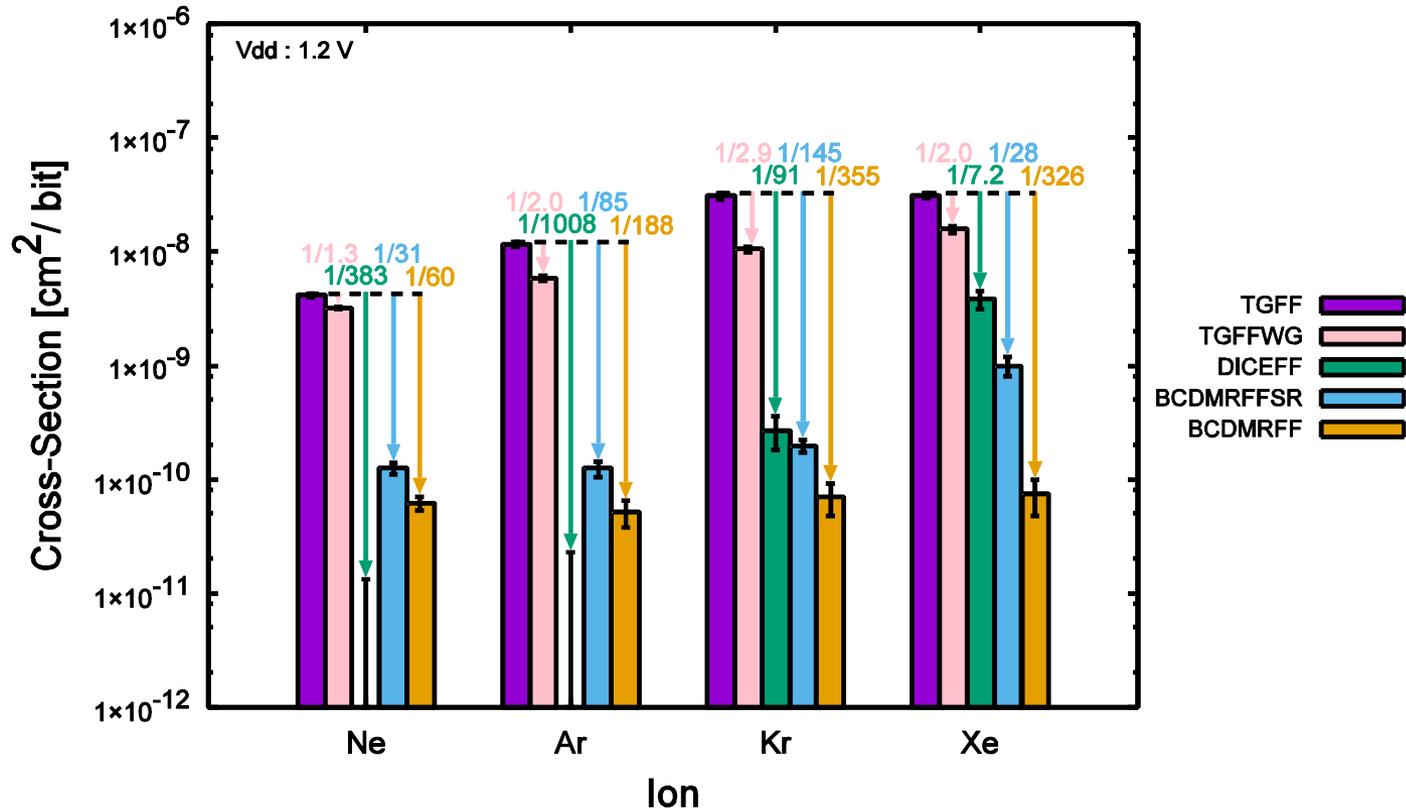
Alpha and Neutron Results



Fabricated in a 65 nm bulk

- BCDMR is strong against soft errors at higher clock frequency
- Below 10 FIT at 100MHz. BISER in twin well is 50 FIT. BCDMR FF in twin well has no error

BCDMR FFの重イオン測定結果



- BCDMR FFはTGFF（普通のFF）に比べCS（=エラー率）が2～4桁小さい
- セット, リセットをつけるとBCDMRFFのエラー耐性が低下
- Kr以上のLETではBCDMRFFの方がソフトエラーに強い

For Outer Space Missions

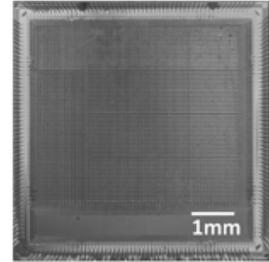
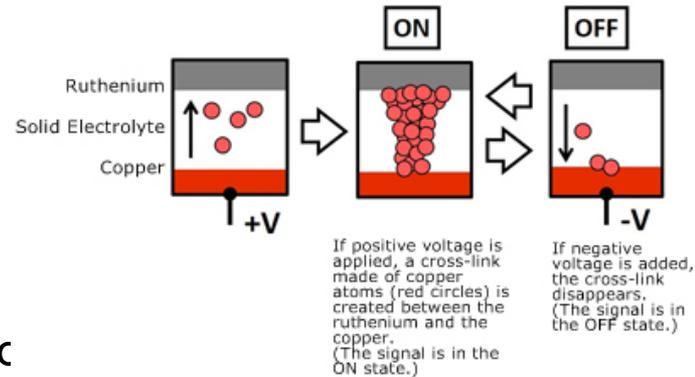
- NanoBridge FPGA (NEC)

- Replace Anti-fuse FPGA
- ReRAM (nanoBridge) stores **configuration** instead of SRAMs
- Programmed Nanobridge is a resistor
- No single event on Nanobridge

[S. Kaeriyama et al., JSSC, 2005]

- Radiation-hard NanoBridge FPGA for highly-reliable applications

- Current FPGA includes **standard FF w/o rad-hardness** even though configuration data is rad-hard
- Standard FF is replaced by **BCDMR FF**

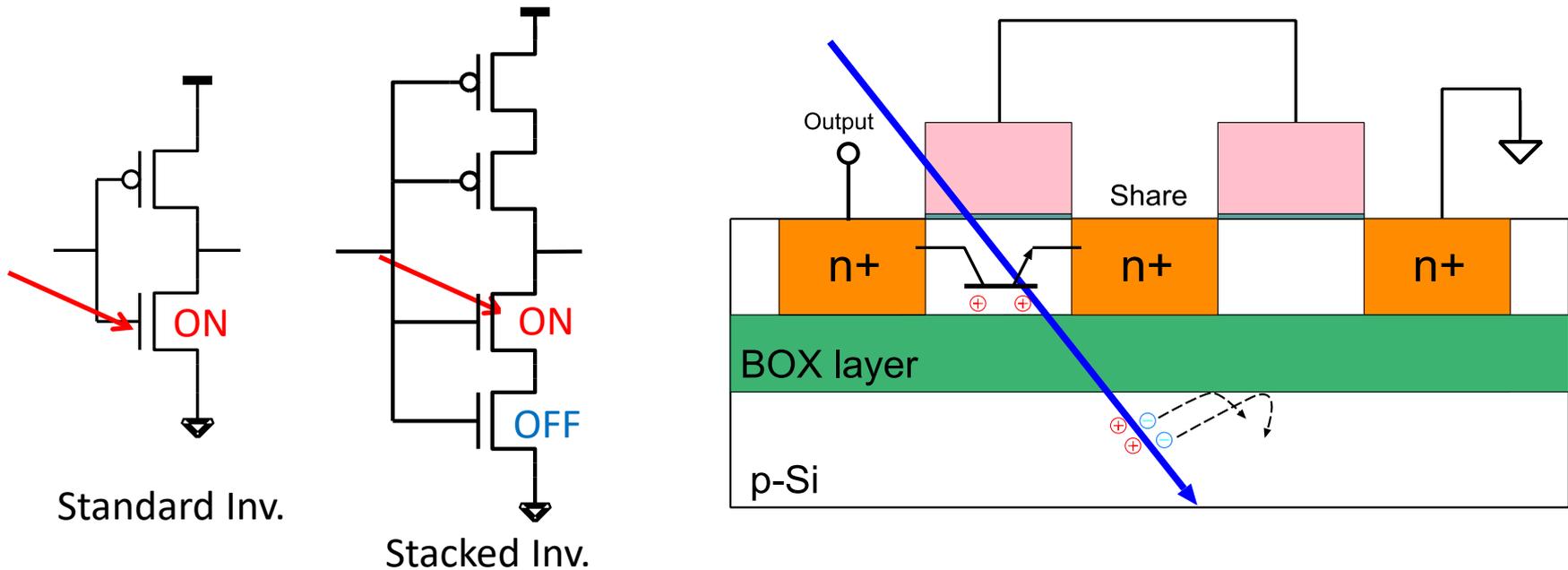


Launched into space by Epsilon rocket on Jan 11th 2019
(w/o radiation hardness on FF)



Soft-error Mitigation for SOI

- Stacked Transistor Structure on SOI

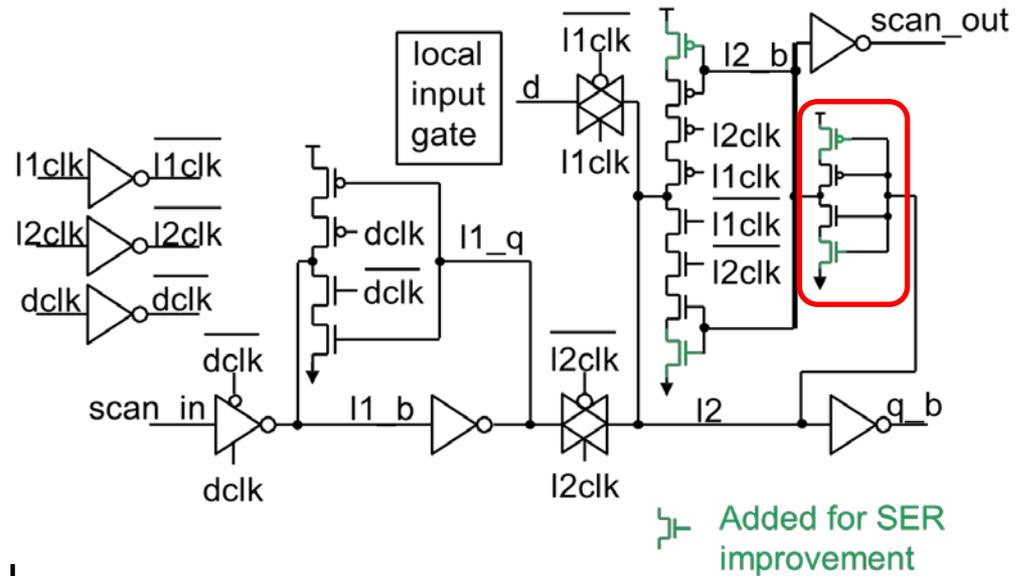
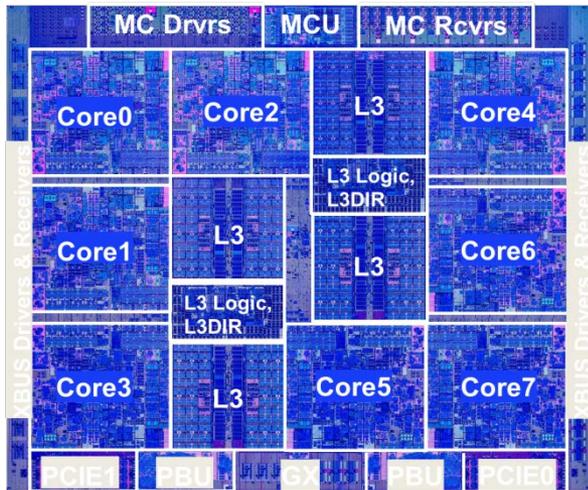


- No simultaneous turn-on
 - All transistors are isolated by BOX layer.
 - Not effective on bulk process
- With area and delay overheads
- 1/3 to 1/10 SER reduction on stacked FF

[A. Makihara, TNS 2004]

Stacked Latch on HPC Processor

- 22nm IBM System z Microprocessor



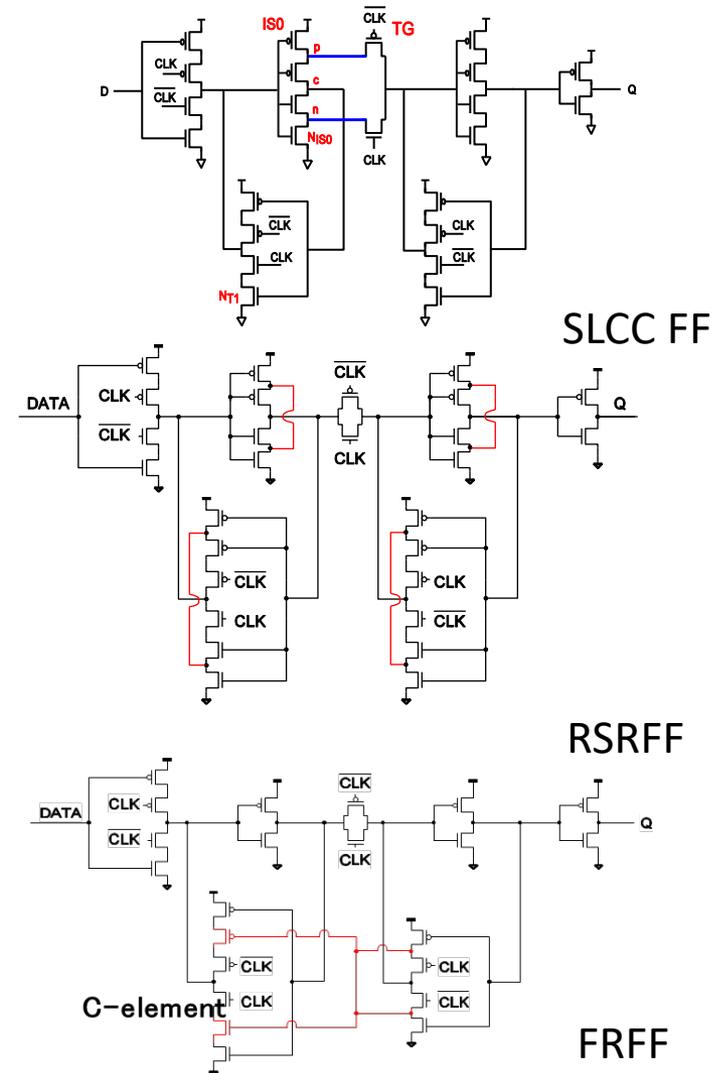
- Additional transistors on latch
 - This figure was not included in the paper, but in slides

我々が設計実測したSOI用FF一覧

	Area	Delay	Power	Rad-hard level	
				Master	Slave
Standard FF	1.00	1.00	1.00	1	1
ACFF	1.00	1.45	0.62	3	1
Stacked FF	1.12	2.00	2.13	2	2
AC_SS FF	1.12	1.49	0.65	3	2
AS_AS FF	1.24	2.17	0.66	3	2
SLCC FF	1.24	1.67	1.89	2	2
RSRFF	1.24	2.16	1.07	3	3
RSRLDFF	1.35	1.35	1.08	3	3
GGFF	1.47	2.20	1.06	2	2
FRFF	1.06	1.06	1.03	2	1
DFRFF	1.18	1.08	1.02	2	2

1 → 2 → 3

Weak Strong



FRFFは22nm FDSOIで試作予定

まとめ

- ソフトエラーは、粒子線で生ずる一過性の故障。再起動で修復可能
- 地上では α 線, 中性子, 宇宙では重イオンがソフトエラー発生源
- ソフトエラーによる事故や損害の事例あり
- 地上での測定方法
 - アルファ線源(地上向け)
 - 加速器による中性子照射(地上向け)
 - 加速器による重イオン照射(宇宙向け)
- 対ソフトエラー回路設計
 - BCDMR FFを紹介. 宇宙用のFPGAに実装予定

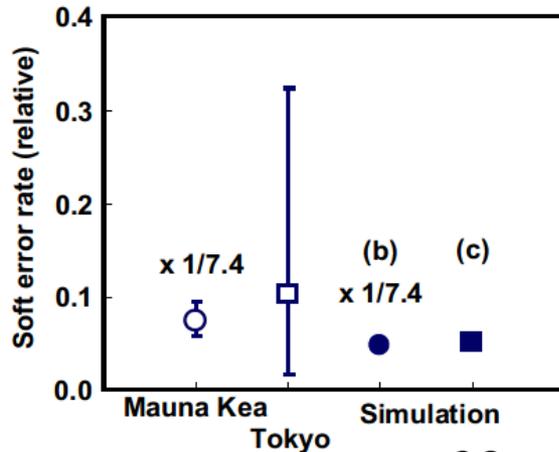


バックアップ



フィールド試験

- 多数のDUT(測定対象LSI)が必要
 - 100 errors/year at 1000 FIT/Mbit
- 高高度環境が利用される
 - 20x on 4000 m (13,000 feet)

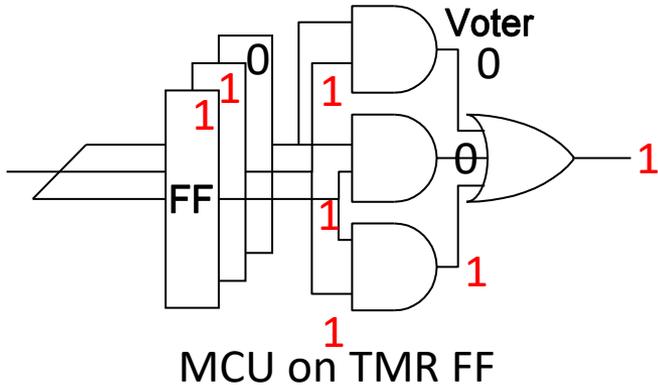


36 soft errors / 100 days

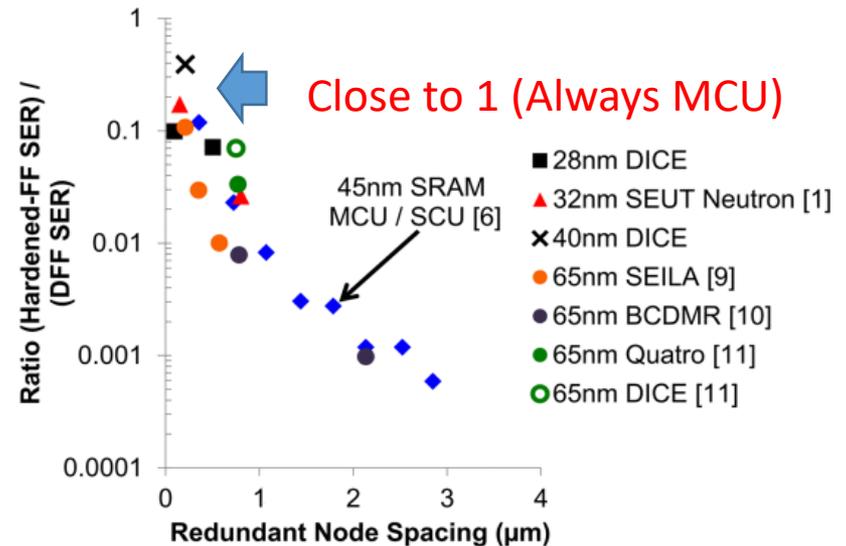
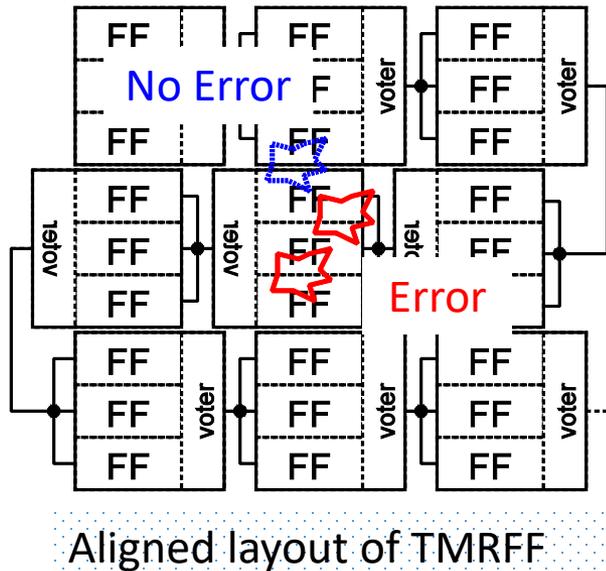
マウナケア山頂のすばる天文台でのフィールドテスト
[Tosaka et al., IRPS 2008]

- 中性子の影響を排除するために地下での実験も
 - 鉱山跡などを利用

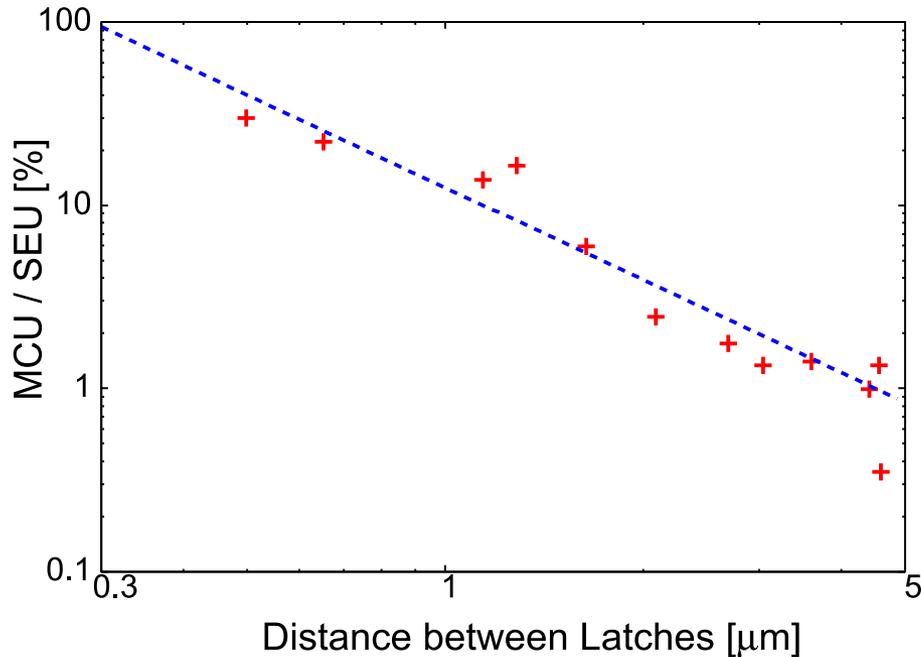
Triple Modular Redundancy



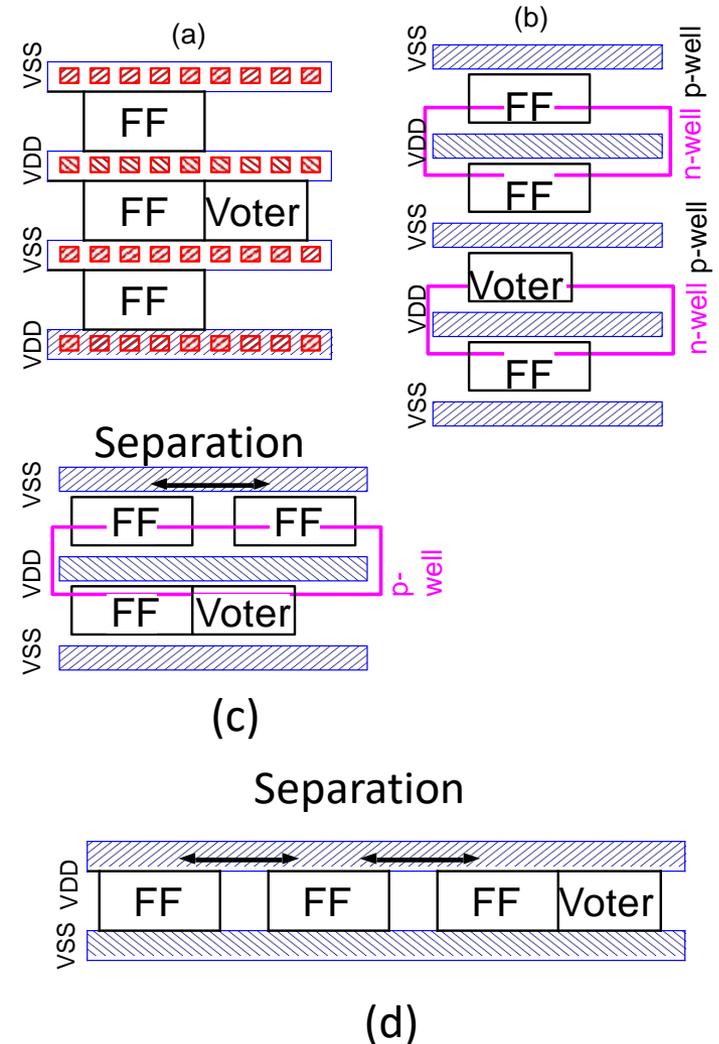
- If one of three FFs is flipped, voter removes an error
- If two FFs are flipped, voter cannot remove errors
- Redundant FFs are weak against MCU (Multiple Cell Upset)
- MCU rate becomes higher as process scaling



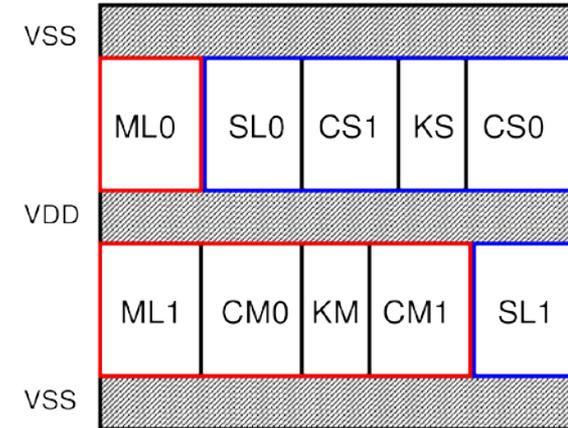
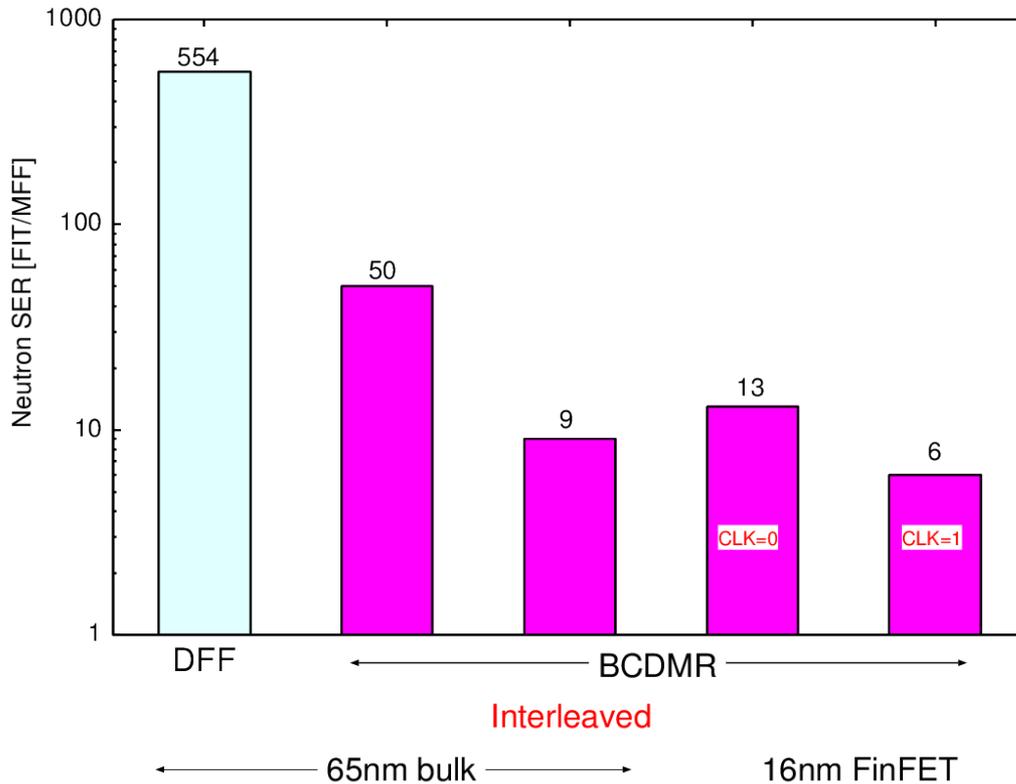
Placement of TMR FF to prevent MCU



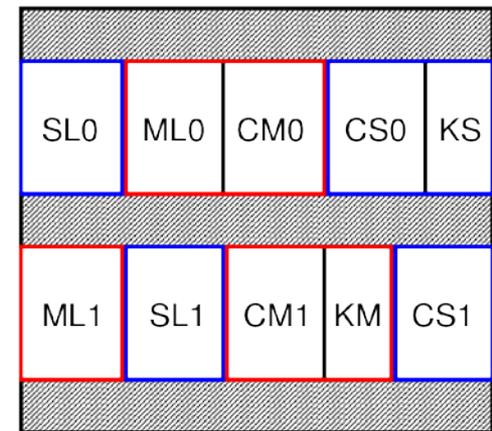
- (a) Well taps between FF
- (b) Share n-well (PMOSFET is stronger than NMOSFET)
- (c) (b)+separation
- (d) Inline layout with separation



BCDMR FF in Scaled Technology



Not Interleaved



Interleaved

Place redundant storage cells as far apart as possible

- Similar SERs b/w 65nm interleaved and 16nm not-interleaved BCDMR
- Interleaved layout decreases SER