

# ゲート酸化膜欠陥に起因する集積回路の信頼性 と実測評価

岸田 亮  
京都工芸繊維大学



# 目次

<b>第 1 章 序論</b>	<b>1</b>
1.1 経年劣化	1
1.1.1 Time Dependent Dielectric Breakdown (TDDB)	1
1.1.2 Hot Carrier Injection (HCI)	2
1.1.3 Bias Temperature Instability (BTI)	3
1.2 アンテナダメージによる製造時劣化	4
1.3 ランダムテレグラフノイズ	4
1.4 信頼性問題の時間による故障率	5
1.5 本論文の構成	5
1.5.1 2章: BTI	6
1.5.2 3章: アンテナダメージ	7
1.5.3 4章: RTN	7
<b>第 2 章 Bias Temperature Instability (BTI)</b>	<b>10</b>
2.1 NBTI と PBTI	11
2.2 BTI 対策	12
2.3 基板バイアス制御	13
2.3.1 基板バイアスによる BTI への影響	14
2.3.2 Silicon On Insulator (SOI)	15
2.4 提案する回路設計時における BTI 対策	17
2.4.1 リングオシレータ	17
2.4.2 NBTI 型と PBTI 型リングオシレータ	18
2.4.3 試作チップのリングオシレータ発振制御回路とカウンタ	20
2.4.4 測定方法	24
2.4.5 測定結果	25
2.5 動作時における BTI 対策	27
2.5.1 測定回路	27

---

2.5.2	測定方法	27
2.5.3	基板バイアスの違いによる NBTI 測定結果	28
2.6	BTI のしきい値電圧変動量変換	29
2.6.1	電流スターブ型リングオシレータ	31
2.6.2	NOR 型リングオシレータ	32
2.6.3	電流スターブ型リングオシレータでの BTI 測定結果	33
2.6.4	しきい値電圧変動量への変換	35
2.7	単体トランジスタの NBTI	40
2.7.1	測定方法	40
2.7.2	測定結果	41
2.8	2 章まとめ	41
<b>第 3 章</b>	<b>アンテナダメージ</b>	<b>46</b>
3.1	アンテナダメージ対策	47
3.1.1	SOI におけるアンテナダメージの緩和	49
3.1.2	アンテナ比	50
3.2	アンテナ比によるアンテナダメージ	52
3.2.1	アンテナを付加したリングオシレータ	52
3.2.2	アンテナ比の種類	52
3.2.3	バルクと Thin-BOX FDSOI	53
3.2.4	寄生成分抽出シミュレーション	54
3.2.5	測定結果	54
3.3	配線層によるアンテナダメージ	56
3.3.1	測定回路	57
3.3.2	測定結果	61
3.4	アンテナダメージによる BTI 劣化の加速	64
3.4.1	NOR の入力端子接続を工夫したリングオシレータ	65
3.4.2	アンテナ接続構造	66
3.4.3	アンテナ比	67
3.4.4	測定方法	67
3.4.5	測定結果	67
3.5	3 章まとめ	70

---

第4章	ランダムテレグラフノイズ (RTN)	75
4.1	物理に基づく RTN モデルの回路シミュレーションへの適用 . . . . .	76
4.1.1	RTN の物理的メカニズムとモデル化 . . . . .	77
4.1.2	回路シミュレーションにおける MOSFET への RTN の組み込み . . . . .	78
4.1.3	RTN モジュールの動作機構 . . . . .	79
4.2	RTN シミュレーション結果 . . . . .	81
4.2.1	単体 NMOS の RTN によるドレイン電流変動 . . . . .	81
4.2.2	発振周波数の時間的な変動 . . . . .	83
4.3	RTN 実測評価回路設計 . . . . .	86
4.3.1	RTN 提案測定回路 . . . . .	86
4.3.2	RTN 測定結果 . . . . .	88
4.4	4章まとめ . . . . .	90
第5章	結論	93
参考文献		102



# 第1章 序論

我々が普段から使用している電化製品のほぼ全てに集積回路が使われている。電化製品の性能向上には集積回路の高性能化が必要不可欠である。集積回路を構成している素子は主に半導体のトランジスタであり、トランジスタの微細化により集積回路の性能が向上してきた。微細化による性能向上の例として、単位面積あたりに搭載できるトランジスタ数が増加する高集積化、1つ1つの素子の消費する電力が少なくなる低消費電力化、CPUの動作速度向上などがある [1]。微細化は年を追うごとに進んでおり、集積回路が発明された1971年にはトランジスタのゲート長は10  $\mu\text{m}$  から、2017年には10 nmと3桁小さくなっており、面積では6桁小さくなっている [2]。微細化が驚異的な速度で進んできたのは、微細化すればするほど性能向上とコスト削減という相乗効果的なメリットが得られるためである。しかし、微細化によって経年劣化などの集積回路の信頼性問題が顕在化してきた。時間経過とともに集積回路に使われているトランジスタの特性が劣化していき、故障や誤動作といった問題が起こる。電界効果トランジスタ (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) のゲート酸化膜にできる欠陥が経年劣化の原因とされており、ゲート酸化膜の信頼性は重要なものとなっている。ゲート酸化膜欠陥に起因する経年劣化について次節で述べる。

## 1.1 経年劣化

時間経過とともに素子特性が劣化する経年劣化は、集積回路の故障につながるため、対策が重要である。特に、ゲート酸化膜欠陥に起因する問題は、ゲートの制御性を悪くし、電流量の減少や遅延時間の増加につながり、しきい値電圧を劣化させる。ここでは、ゲート酸化膜欠陥に起因する経年劣化について取り上げる。

### 1.1.1 Time Dependent Dielectric Breakdown (TDDB)

TDDBは時間経過によるゲート酸化膜の破壊に至る現象である [3, 4]。図 1.1 に TDDB による酸化膜破壊を表した MOSFET の断面図を示す。ゲート酸化膜に耐圧以上の高電圧を印加すると、ゲート酸化膜は破壊されるが、耐圧以下の電圧で

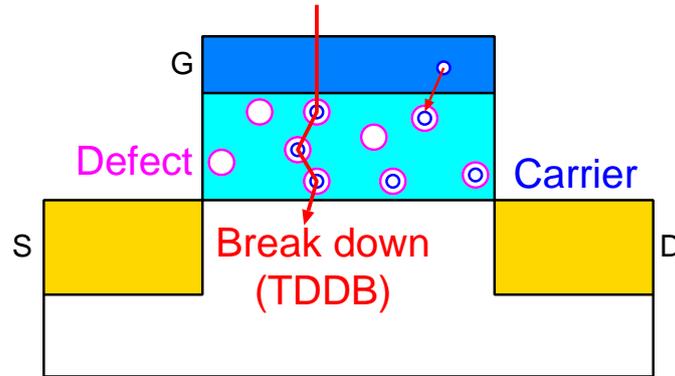


図 1.1: TDDB による酸化膜破壊．ゲート電圧により，ゲート酸化膜に電流経路が生成され，酸化膜が破壊する．

も長時間印加すると，ゲート酸化膜が破壊される場合がある．ゲートに電圧を印加すると，ゲート酸化膜に  $\text{pA} \sim \text{nA}/\mu\text{m}^2$  のわずかながらのゲートリーク電流が流れる．ゲートリーク電流によって酸化膜欠陥が生じ，時間経過とともにその数は増加する．欠陥数増加により，ゲートと基板間に電流経路が作られ，本来流れないはずのゲート酸化膜に電流が流れる．故障しない程度に電流が流れることをソフトブレイクダウンと呼び，動作しないまでに大電流が流れるようになるとハードブレイクダウンでゲート酸化膜が破壊され故障に至る．ソフトブレイクダウンにより，TDDB 発生が予見でき，薄い酸化膜であるほどソフトブレイクダウンが顕在化しやすい．

### 1.1.2 Hot Carrier Injection (HCI)

HCI はドレイン・ソース間に印加された電圧により加速されて高いエネルギーを持った（ホットな）キャリアがゲート酸化膜に注入されて，トランジスタ特性が劣化する現象である [5]．図 1.2 に HCI によるキャリア捕獲を表した MOSFET の断面図を示す．ドレイン・ソース間に電流が流れることで HCI が発生するため，CMOS 構造では貫通電流が流れる ON と OFF の切り替え時に発生する．HCI による劣化は蓄積していくため，ON と OFF を頻繁に繰り返すような動作をすると，HCI によってすぐに劣化することになる．

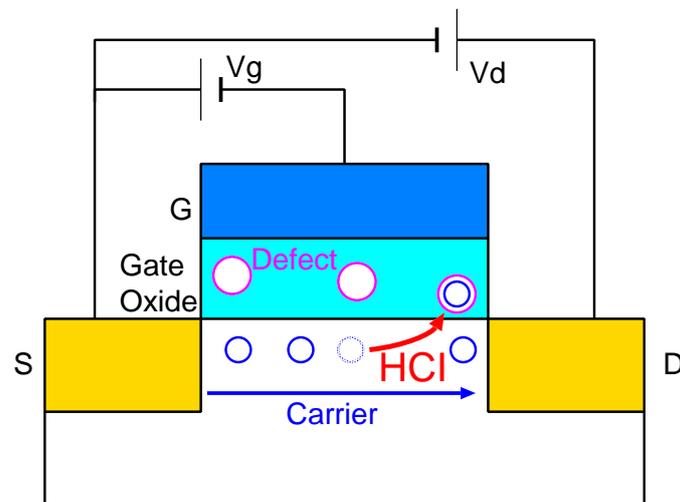


図 1.2: HCl によるキャリア捕獲．ドレイン・ソース間電圧で加速されたキャリアがゲート酸化膜に注入されて，素子特性が劣化する．

### 1.1.3 Bias Temperature Instability (BTI)

BTI は時間経過とともに ON 状態である素子の特性が劣化する現象である [6] . 高温であるほど，ゲート・ソース間電圧の絶対値 ( $|V_{gs}|$ ) が大きいほど BTI による劣化が加速する．BTI が微細化により顕在化している主な理由は，ゲート酸化膜の薄膜化と電圧スケールリングが微細化に追いついていないために，ゲートの実効電界が大きくなっているためである [7] . MOSFET が開発された当初の酸化膜電界は  $5 \times 10^5$  V/cm だったのに対して，30 年後には  $6 \times 10^6$  V/cm と 1 桁増加している．BTI の影響は酸化膜電界に比例して大きくなるため，近年では無視できない信頼性問題となっている．BTI はゲート酸化膜にできる欠陥のキャリア捕獲によって発生すると考えられている [8] . BTI により回路動作中に誤動作がおこるため，自動車など人命を預かる機器で故障が起こると致命的な問題となる．ゲートに電圧が印加された ON 状態である MOSFET の特性が劣化するため，CMOS 構造では電源が ON である限り，NMOS か PMOS どちらかが必ず劣化する．機器を使用する上では BTI は避けて通れない問題であるため，対策は必須である．BTI にはゲート酸化膜欠陥に捕獲されたキャリアが放出されることで起こる回復現象もあり，OFF 状態では劣化していた特性が元に戻る．回復現象により，寿命予測が複雑になるといった問題もあり，経年劣化の中では最も重要な問題である．詳

細な BTI については2章で説明する。

BTI の解析や評価には、長期間の測定と劣化見積もりが必要である。単体トランジスタの測定では1つ1つの素子进行评估できるが、多くの素子を測定するのが難しく、統計的評価に向いていない [9]。素子1つだけで製品として使われることはまれであり、回路に組み込んで動かしたときに予想に反した動作をすることがあるため、回路レベルでの評価が重要である。リングオシレータ (Ring Oscillator, RO) とカウンタをチップに搭載して集積化すると、複数同時に測定することができ、回路レベルでの評価が可能であるため、本論文ではリングオシレータにおける BTI の評価を行う。

## 1.2 アンテナダメージによる製造時劣化

BTIの原因として考えられているゲート酸化膜の欠陥は主に製造時に作られる。欠陥が作られる原因の1つに配線加工時のアンテナ効果によるアンテナダメージ (Plasma Induced Damage, PID) がある [10, 11]。配線加工時に、金属配線に蓄積した電荷が MOSFET のゲート部分に接続され、ゲート酸化膜がダメージを受ける。このダメージを PID と呼ぶ。PID によってゲート酸化膜に欠陥ができ、ゲートリーク電流の増加といった特性劣化が起こる。最悪の場合ゲート酸化膜が破壊されて動作しなくなる [12]。PID も BTI と同様に信頼性を低下させる問題であるため、対策と実測による評価が重要である。

## 1.3 ランダムテレグラフノイズ

ランダムテレグラフノイズ (Random Telegraph Noise, RTN) は動的にランダムなしきい値電圧 ( $V_{th}$ ) 変動である。BTI といった経年劣化のように時間経過とともに劣化していくものではなく、ノイズとしてランダムにしきい値電圧が変動するのが特徴である。このしきい値電圧変動により、回路の誤動作が発生する。RTN も BTI と同様にゲート酸化膜欠陥が原因であり、キャリアの捕獲と放出をランダムに繰り返すことにより、しきい値電圧が動的に変動する。単体トランジスタにおける RTN の評価は多くなされているが、リングオシレータにおける RTN の評価は少ない。RTN はランダムな変動現象であることから、どのような変動が起きるかを予測できるようなモデルの構築と、RTN の影響を正しく測定できる回路が

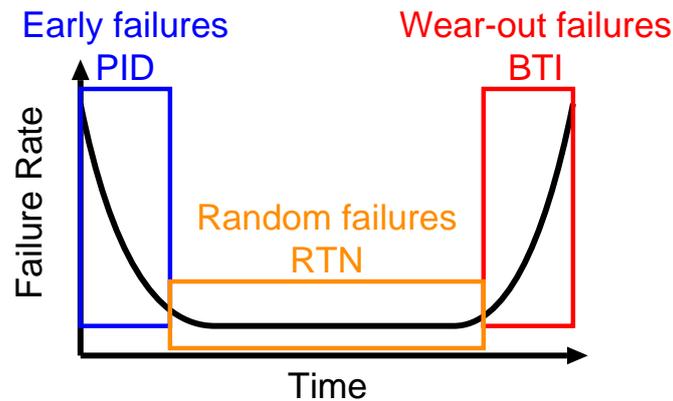


図 1.3: 故障率の時間遷移を表したバスタブカーブ。

必要である。

## 1.4 信頼性問題の時間による故障率

MOSFET や電子機器の故障率は使用時間によって異なる。時間による故障率は図 1.3 のようなバスタブカーブに沿う [13]。使用開始すぐは製造上の欠陥により初期故障が発生する。この故障率は初めは高いが、時間経過により減少する。一定時間経過後はごく稀にしか故障は発生しない。しかし、突発的な原因によって発生する偶発故障が起こる。さらに時間が経過すると摩耗故障により故障率が増加する。BTI などの経年劣化はこの摩耗故障の部類に入る。アンテナダメージ (PID) は製造時に発生するため、初期故障である。RTN は動作時の時間にランダムな特性変動現象であるため、偶発故障に入る。各信頼性問題は使用時間によって故障率が異なり、考慮すべき時間も異なる。

## 1.5 本論文の構成

本論文では BTI, アンテナダメージ, RTN のゲート酸化膜欠陥に起因する信頼性問題を回路レベルで実測評価する。以下で各章の構成を述べる。

### 1.5.1 2章：BTI

2章で経年劣化現象のBTIについて述べる．はじめにBTIによってどのようなことが起こるかを述べた後で，BTIの発生原因として考えられているモデルについて説明する．2.1節でPMOSで発生するNegative BTI (NBTI)とNMOSで発生するPositive BTI (PBTI)について述べる．NBTIだけでなくPBTIも顕在化してきた理由について，高誘電率素材のhigh-kが使われるようになった経緯を含めて説明する．2.2節ではBTI対策の方法について，設計時と動作時に分けて述べる．どのようにして対策を行うかについてを先行研究で行われている方法を含めて説明する．2.3節では動作時のBTI対策として用いる基板バイアスの制御方法について述べる．MOSFETの第4の端子とよばれるボディの電位を変えることで，動作速度向上または低消費電力化できる基板バイアス制御について説明する．基板バイアスによるBTIへの影響とSilicon On Insulator (SOI)についてもこの節で述べる．2.4節で回路設計時におけるBTI対策を提案する．NBTIの影響がPBTIよりも大きいことを利用して，NANDによるPBTI型リングオシレータを実測することで，提案する回路設計時におけるBTI対策の有用性を評価する．この2.4節では試作チップに搭載するリングオシレータとそれを制御するための回路，シフトレジスタ兼カウンタの構造についても説明し，実際の測定系も示す．BTIを抑制できるNANDによるPBTI型リングオシレータと，NORによるNBTI型リングオシレータとをBTIによる発振周波数劣化率を比較することで実測評価する．2.5節では動作時のBTI対策を提案する．ストレス時の逆方向基板バイアスにより，BTIによる劣化を抑制できることを実測により確認する．実測して得られた発振周波数の劣化量をしきい値電圧劣化量に変換する手法を2.6節で述べる．BTIなどによる劣化量を表す値として一般的にしきい値電圧が用いられるため，リングオシレータの発振周波数劣化量をしきい値電圧劣化量に変換する．NMOSとPMOSそれぞれのBTIによる影響を分離できる電流スターブ型リングオシレータについて説明し，それを用いて実測する．回路シミュレーションを用いて実測結果をしきい値電圧劣化量へと変換する．2.7節ではリングオシレータの結果と単体トランジスタの結果を比較，評価する．単体トランジスタの測定ではBTIの回復現象も測定する．

### 1.5.2 3章：アンテナダメージ

3章ではゲート酸化膜欠陥が作られる原因となるアンテナダメージについて述べる。アンテナダメージの概要に加えて、配線材料の変化に伴うアンテナダメージの発生要因の変化についても述べる。3.1節では設計時に一般的に行われるアンテナダメージ対策の方法について述べる。ドレインと上層配線を用いた対策と、ダイオードによる対策の方法を説明する。SOIでは埋め込み酸化膜があるため、通常のバルクとアンテナダメージの抑制に差が出ることに加えて、薄膜埋め込み酸化膜をもつSOIでは電荷のトンネリングによって抑制できることを説明する。3.2節でアンテナダメージの大きさを表すアンテナ比による影響の違いを述べる。設計ルールを破るとMOSFETが壊れたり、特性が劣化したりする可能性があるため、ルール上限値付近でのアンテナ比による違いを実測評価する。3.3節で配線層によるアンテナダメージの違いを評価する。近年は10層以上の多層配線が使われ、電荷がより多く蓄積されることや、配線層によってアンテナダメージの影響が異なる可能性がある。配線層による影響を評価するため、電流スターブ型リングオシレータを用いた試作チップの実測により評価する。3.4節ではアンテナダメージによるBTI劣化加速について述べる。アンテナダメージによって作られる欠陥がBTI劣化を加速させることが考えられるため、アンテナダメージを受ける構造と受けない構造を用いてBTI劣化を実測することで評価する。

### 1.5.3 4章：RTN

4章でランダムテレグラフノイズ(RTN)について述べる。RTNは動的にランダムな特性変動現象であるため、RTNのモデル化と実測評価が重要である。節でキャリア捕獲と放出によるRTNの発生原因について説明した後、その現象に基づいたモデル化の方法について述べる。4.2節でこのモデルを用いた回路シミュレーション結果を示す。単体トランジスタだけでなく、リングオシレータといった回路においても構築したモデルがシミュレーションで適用可能であることを示す。4.3節ではRTNを高効率で測定できる回路と、RTNの影響をNMOSとPMOSで分離できる回路を提案する。各時刻ごとに測定すると、データ量が膨大になる。最大と最小周波数を記録できる回路によって、取り出すデータ量を少なくできてRTN測定を高効率化できる回路を提案する。リングオシレータではCMOS構造であるため、NMOSとPMOSの影響が分離できない。抵抗を用いたリングオシレータに

よって分離できることを提案する．最後に 5 章で本論文の結論を述べる．



## 第2章 Bias Temperature Instability (BTI)

BTIはMOSFETに電圧や温度によるストレスを加えることにより、時間経過に伴ってMOSFETの特性が劣化する経年劣化現象である。ゲート酸化膜にかかる実効電界が小さくなることにより、チャンネルに誘起される電荷量が少なくなるため、動作電流の減少といった特性劣化が起こる。この特性劣化はしきい値電圧( $V_{th}$ )の劣化として表される。しきい値電圧の劣化が遅延時間の増加や、発振周波数減少などといった悪影響をもたらす、回路の誤動作につながる。BTIには劣化現象だけではなく回復現象が存在する。図2.1にBTIによる時間経過に伴うしきい値電圧の劣化と回復を示す。ストレスを加えている間は、時間経過に伴ってしきい値電圧が劣化していくが、ストレスを取り除くと、劣化していたしきい値電圧が元にもどる。しかし、劣化したしきい値電圧が完全に回復するわけではなく、回復不可能な成分も存在する。回復不可能な成分はBTIの発生原理から説明できる。

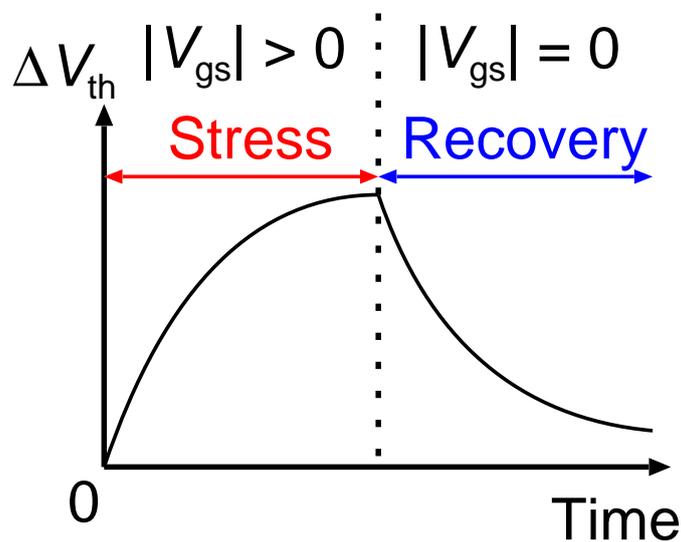


図 2.1: BTI による劣化と回復。ストレスによりしきい値電圧は時間経過で劣化していくが、ストレスを取り除くと元に戻る。

BTI の発生原理として Atomistic Trap-based BTI (ATB) モデルによるキャリアの捕獲および放出が考えられている [8, 14] . ATB モデルによるしきい値電圧変動を表した MOSFET 断面の模式図を図 2.2 に示す . 図 2.2 中の Oxide Trap のように , ゲート酸化膜の欠陥がチャネルのキャリアを捕獲することで , ゲートの実効電界が減少するため , 結果としてしきい値電圧が劣化する . 欠陥には捕獲および放出するまでの時定数 ( $\tau$ ) が存在する . 時定数は  $10^{-9} \sim 10^9$  s に幅広く分布し , 対数一様分布であるとされている [14] . 放出するまでの時定数が  $10^9$  s のように長い欠陥が一度キャリアを捕獲すると ,  $10^9$  s は 30 年以上であるため , 半永久的にキャリアを捕獲し続けることになる . こういった欠陥では一度捕獲されたキャリアは放出されないため , ストレスを取り除いても回復しない .

もう 1 つの BTI 発生原理として , 酸化膜と基板間にある分子の未結合手にキャリアが捕獲されることも考えられている [15] . 図 2.2 の Interface Trap のように界面にある未結合手にキャリアが捕獲されることによって , しきい値電圧が劣化する . これら 2 つがどちらも BTI の原因であるとしている先行研究もある [16] . この先行研究によると , 酸化膜欠陥のキャリア捕獲による劣化は , しきい値電圧が時間  $t$  に対して  $t^n$  で増加し , 界面の結合切断による劣化は  $\log(t)$  で増加すると述べられている . ここで ,  $n$  は時間指数と呼ばれる定数で約 0.14 である . どちらのモデル式も現在までよく使われており , 実験値とよく合うことが知られている . 本稿の劣化予測モデル式は , これに従って 2 つのモデル式それぞれを用いて行う .

## 2.1 NBTI と PBTI

BTI には Negative BTI (NBTI) と Positive BTI (PBTI) の 2 種類に分類される . NBTI は PMOS でゲート・ソース間電圧が負 ( $V_{gs} < 0$  V) であるときに発生する経年劣化現象である . 一方で PBTI も存在し , こちらは NMOS で  $V_{gs} > 0$  V となるときに発生する . 65 nm 以上のプロセスで用いられている SiON のゲート酸化膜では , NMOS では欠陥が発生しにくいいため , PBTI は顕在化していなかった . しかし , 45 nm 以下のプロセスから high-k と呼ばれる高誘電率のゲート酸化膜を用いるようになったため , PBTI が顕在化してきた [17] . high-k とはハフニウム (Hf) を用いた SiON より約 5 倍高い誘電率をもつ材料である . 酸化膜厚を薄くするとゲートリーク電流が多く流れて消費電力が増大し , ゲート電界による制御が難しくなるため , SiON ゲート酸化膜の薄膜化に限界がきた . 酸化膜の材料に ,

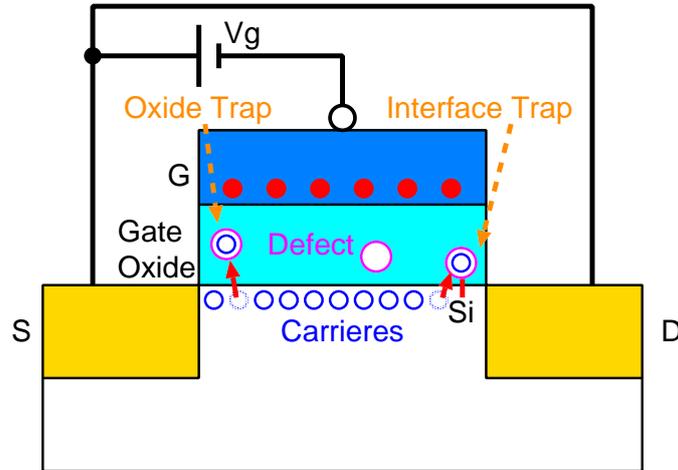


図 2.2: Atomistic Trap-based BTI (ATB) モデル．酸化膜中の欠陥がチャネルのキャリアを捕獲することで、しきい値電圧が劣化する．

SiON より高い誘電率をもつ high-k を用いることで、酸化膜を厚くしても SiON と同等の酸化膜容量を維持できる．しかし、high-k では NMOS でも欠陥が多くなり、PBTI が顕在化した．本稿で試作するプロセスは 65 nm であるが、埋め込み酸化膜を持つ Silicon On Insulator (SOI) であり、しきい値電圧調整のために、酸化膜に high-k が使われている．ゲートリーク抑制が目的ではないが、PBTI 顕在化の原因である high-k が使われているため、本稿で用いるプロセスでも PBTI が発生する．

## 2.2 BTI 対策

BTI 対策には設計時と動作時の 2 種類存在する．BTI による劣化量を回路設計段階で見積もり、劣化しても動作するように回路構造を変えることによって、設計時に BTI 対策を行う．BTI を考慮しない場合と考慮する場合で、最長遅延経路であるクリティカルパスが異なる可能性がある [18]．しかし、設計時に BTI 対策を行う場合は動作状況を想定して設計するため、想定していたものと異なる環境で動作した場合に思わぬ故障が発生する可能性がある．一方で、動作時に BTI 対策を行うものは、回路の動作状況に応じて電圧などを変化させるため、そのときの劣化度合いに応じて BTI の対策が可能である [19]．

動作時の対策の 1 つとして、基板バイアスを制御することによって動作時の劣

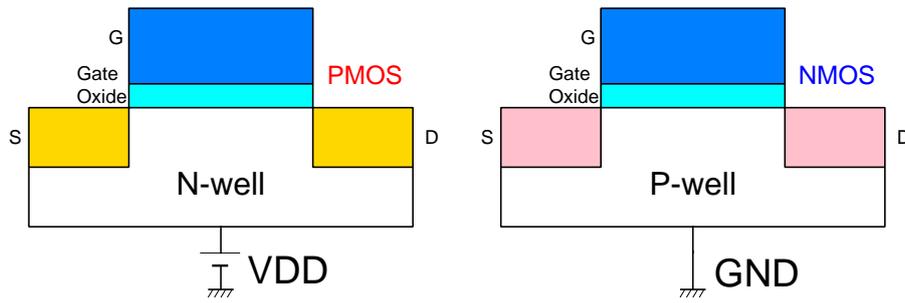
化を抑える方法がある．基板バイアスを変える主な目的は動作速度の向上または低消費電力化であるが，BTI によってしきい値電圧が増加した素子の基板バイアスを変えることで，しきい値電圧を元に戻すことが可能である．基板バイアス制御で BTI 対策が可能であるが，基板バイアスによって BTI による劣化量が変化するため，回路の劣化予測が複雑になる．しかし，基板バイアスによる BTI の変動量を評価している先行研究が少ない [20]．さらに，薄膜埋め込み酸化膜を持つデバイスでの基板バイアスによる BTI の評価はされていない．本章では薄膜埋め込み酸化膜を持つデバイスを用いて，リングオシレータの基板バイアスによる BTI への影響を実測により評価する．

## 2.3 基板バイアス制御

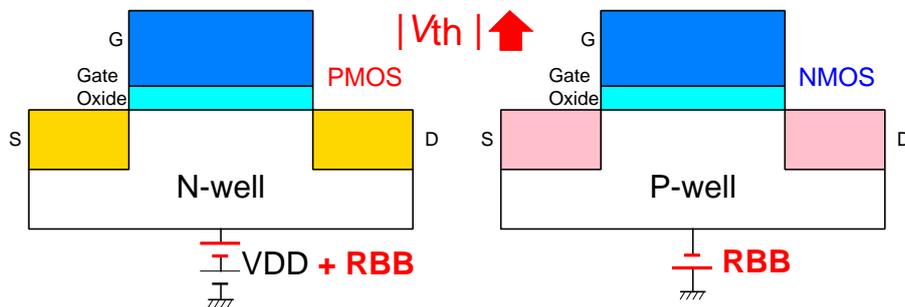
図 2.3 に基板バイアス制御の概略図を示す．通常は図 2.3 (a) のように，N-well を電源電圧 VDD に，P-well をグラウンド GND に固定する．各端子の電圧を固定しないと，ドレイン・ソースとボディ間に寄生する PN 接合ダイオードが ON になって大電流が流れる可能性がある．大電流により，素子が動作しなくなるだけでなく壊れる可能性があるため，基板とウェルの電位は固定しなければならない．この固定する電位を変化させて，しきい値電圧を変える方法を基板バイアス制御と呼ぶ．基板バイアス制御には逆方向基板バイアス (Reverse Body Bias, RBB) によるものと順方向基板バイアス (Forward Body Bias, FBB) による 2 種類が存在する．図 2.3 (b) は逆方向基板バイアスを印加したときを表している．N-well に印加している VDD に加えて逆方向基板バイアスを印加し，P-well には負バイアスの逆方向基板バイアスを印加する．この逆方向基板バイアスによって空乏層が広がり，しきい値電圧の絶対値 ( $|V_{th}|$ ) が増加する． $|V_{th}|$  の増加により，動作速度が減少し，リーク電流も減少するため消費電力が減少する．一方で順方向基板バイアスによる制御はその逆で，N-well の VDD と逆方向に順方向基板バイアスを印加し，P-well に正バイアスの順方向基板バイアスを印加する． $|V_{th}|$  は減少し，動作速度と消費電力が増加する．しきい値電圧  $V_{th}$  と基板バイアス (ソース・ボディ間電圧)  $V_{sb}$  には式 (2.1) で表される関係が成り立つ [21]．

$$V_{th} = V_{th0} + \gamma(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s}) \quad (2.1)$$

ここで， $V_{th0}$  はソースとボディが同電位であるときのしきい値電圧， $\gamma$  は基板効果係数， $\phi_s$  は表面ポテンシャル  $V_{sb}$  である． $\gamma$  は式 (2.2) のように表され，一般的に



(a) 通常時の基板バイアス .



(b) 逆方向基板バイアス印加時 .

図 2.3: 基板バイアス制御 . (a) 通常, N-well を電源電圧 VDD, P-well をグラウンド GND に固定する . (b) 逆方向基板バイアス (RBB) を印加するとき, N-well には VDD にさらに電圧を印加し, P-well には負バイアスを印加してしきい値電圧を増加させる .

は 0.4 から  $1 \text{ V}^{1/2}$  の値をとる .

$$\gamma = \frac{\sqrt{2q\epsilon_{\text{si}}N_{\text{A}}}}{C_{\text{ox}}} \quad (2.2)$$

ここで,  $q$  は電気素量,  $\epsilon_{\text{si}}$  はシリコンの比誘電率,  $N_{\text{A}}$  はチャネルの不純物濃度,  $C_{\text{ox}}$  は単位面積あたりのゲート酸化膜の容量である .

### 2.3.1 基板バイアスによる BTI への影響

基板バイアスが変動すると, BTI による劣化量が変動する . 図 2.4 に逆方向基板バイアスを印加したときの MOSFET の断面図を示す . 逆方向基板バイアスにより  $|V_{\text{th}}|$  が増加する .  $|V_{\text{th}}|$  が増加すると, チャネルに誘起されるキャリア数が少なくなる . キャリア数が少なくなると酸化膜へ捕獲される確率が少なくなるため,

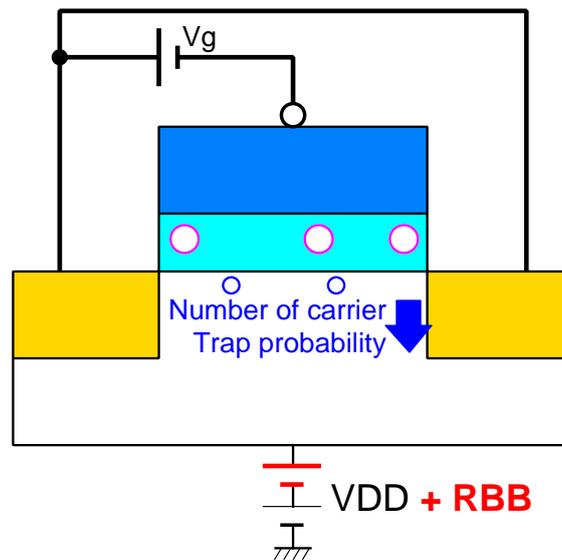


図 2.4: RBB による NBTI の抑制．電源電圧一定では，RBB によってしきい値電圧が増加し，キャリア数が減少するため，捕獲されるキャリアが少なくなり NBTI が抑制される．

BTI が抑制される．

### 2.3.2 Silicon On Insulator (SOI)

SOI とは通常のパルク構造に BOX 層 (Buried Oxide Layer, 埋め込み酸化膜) と呼ばれる絶縁膜をドレイン・ソース直下に入れたデバイス構造である．SOI は部分空乏型 (Partially Depleted SOI, PDSOI) と完全空乏型 (Fully Depleted SOI, FDSOI) に分類される．部分空乏型は，SOI 層とよばれるドレインとソースの厚みが 100 nm 程度と厚いためチャンネルが部分的に空乏化しているが，完全空乏型の SOI 層は 10 nm 程度と薄く，チャンネルが完全に空乏化している．微細化に伴って短チャンネル効果が顕在化し，パルク構造ではリーク電流増加といった問題が無視できなくなった．これを抑制するために，チャンネル領域への追加不純物ドーピングがされ，しきい値電圧の調整が行われた．図 2.5 にパルクと SOI におけるしきい値電圧調整を示す．図 2.5(a) はパルクであり，基板には不純物がドーピングされている．これよりも高不純物濃度のドーピングをドレイン・ソース間のチャンネル領域へ行い，短チャンネル効果の抑制としきい値電圧の制御を行う．図 2.5(b) は SOI

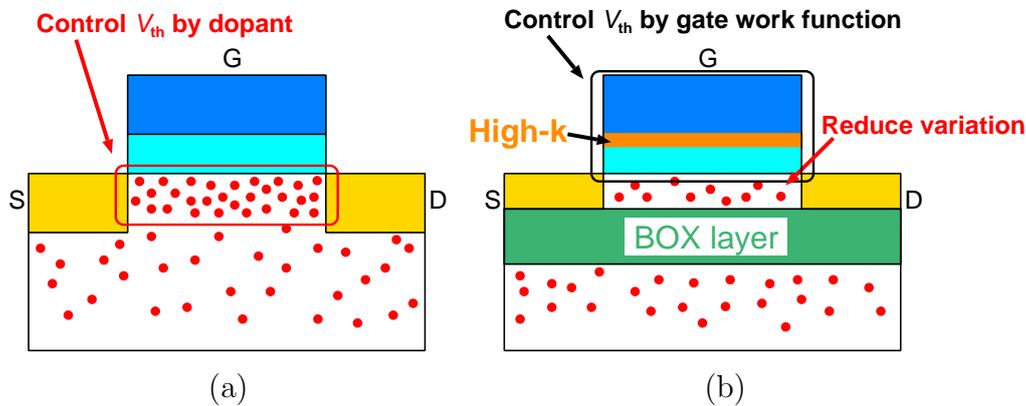


図 2.5: バルクと SOI におけるしきい値電圧調整 . (a) バルク . チャンネル領域へ高不純物濃度のドーピングを行う . (b) SOI . チャンネル領域への追加不純物ドーピングは行わず , high-k のゲート仕事関数調整により , しきい値電圧を調整する .

におけるしきい値電圧調整である . BOX 層により , 短チャンネル効果を抑制出来るが , チャンネル領域への追加不純物ドーピングによるしきい値電圧の調整が難しいため , ゲートの仕事関数でしきい値電圧を調整する . 具体的には , ゲート電極や high-k 材料の組成を変えることでしきい値電圧を調整する [22] . バルクにおけるチャンネル領域への不純物ドーピングは不純物ばらつき (Random Dopant Fluctuation, RDF) が大きくなるという問題があったが , SOI ではチャンネル領域への追加不純物ドーピングの必要がなくなり , 不純物ばらつきを抑制できる [23] . BOX 層によってソース・ドレインと基板間の接合容量が小さくなるので , BOX 層のない通常バルク構造に比べて低消費電力での動作や高速動作が可能である . しかし , 基板が高価であることが 1 つの欠点である . SOI ではそれを BOX 層が 100 nm 程度と厚い従来の SOI では基板バイアス制御が不可能だが , 図 2.6 に示すように , 薄膜埋め込み酸化膜デバイス (Thin-BOX FDSOI) では BOX 層が 10 nm と薄いため , 基板バイアス制御が可能である [24] . Thin-BOX FDSOI は SOI 層が約 12 nm と薄いため完全空乏型の SOI であり , SOI の BTI への影響評価に Thin-BOX FDSOI を用いる .

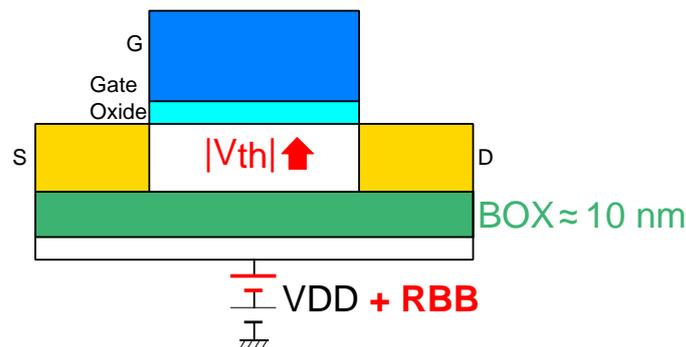


図 2.6: 薄膜埋め込み酸化膜デバイス (Thin-BOX FDSOI) による基板バイアス制御。埋め込み酸化膜 (BOX) 層が 10 nm と薄いため、基板バイアスの制御が可能である。

## 2.4 提案する回路設計時における BTI 対策

本節で回路設計による BTI 対策回路の提案とその実測結果について述べる。NBTI の影響が PBTI よりも大きいことを利用し、ストレス時に NBTI によって劣化しないような回路にすることを提案する。その例として、NAND 型のリングオシレータを取り上げ、実測により BTI 対策ができるかを評価する。

### 2.4.1 リングオシレータ

NAND とインバータ (INV) によって構成される一般的なリングオシレータ (Ring Oscillator, RO) を図 2.7 に示す。リングオシレータは素数個のインバータを鎖状につなげることで、出力電圧が 0 と 1 を繰り返して発振する。奇数個ではなく素数個にするのは、高調波をなくすためである。インバータだけで構成すると、電源を入れたときに発振する。発振を制御するために、初段をインバータの代わりに NAND にすることが一般的である。NAND の片方の入力をインバータと同様に前段の出力端子につなげる。もう一方の入力は発振制御用の端子につなげる。ここでは発振制御用端子を EN (Enable) とする。EN が 1 のときはインバータのときと同様に発振する。EN が 0 のときは NAND の出力が 1 に固定されるため、偶数段目のインバータの出力は 0、奇数段目は 1 に固定される。このとき、偶数段目のインバータの入力は 1 であるため PBTI が発生し、奇数段目のインバータでは NBTI が発生する。CMOS 構造では PBTI か NBTI どちらかが必ず発生する。試作

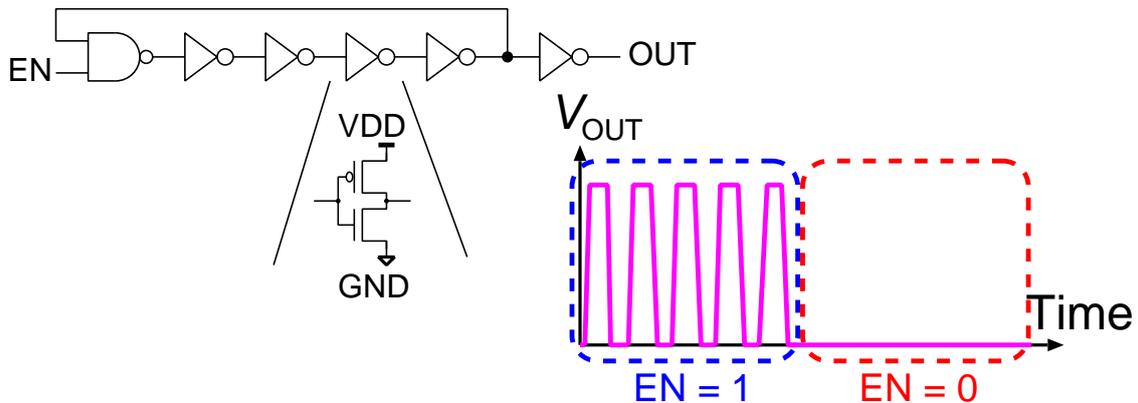


図 2.7: インバータ (INV) によるリングオシレータ. 初段の NAND は発振を制御するために使う. 発振制御用端子 (EN) が 1 のときにリングオシレータが発振し, 0 のときに発振を止める.

に用いた 65 nm プロセスでは NBTI の方が PBTI よりも影響が大きいため, NBTI をできるだけ発生させないような回路構造にすることを提案する. その例として次節で NAND によって構成されるリングオシレータを試作し, 実測評価を行う.

#### 2.4.2 NBTI 型と PBTI 型リングオシレータ

NBTI のみを発生させる NBTI 型リングオシレータを図 2.8, PBTI のみを発生させる PBTI 型リングオシレータを図 2.9 に示す. 図 2.8 は NOR を鎖状につないだ 11 段リングオシレータである. インバータではなく NOR を用いることにより, 発振停止時に NBTI のみを発生させることができる. NOR の 2 つある入力端子のうち, 1 つは発振制御用端子 (ENB) に, もう一方の端子は前段 NOR の出力端子につなぐ. 先の NAND とインバータによるリングオシレータと逆の信号である ENB により同様の制御ができる. ENB が 1 のとき, NOR の出力は全て 0 となるため, NBTI が発生する. ENB が 0 のときは, 全ての NOR はインバータと同じ動作をするため, リングオシレータとして動作し, 出力は 0 と 1 を交互に繰り返して発振する. NBTI によってしきい値電圧が増加すると, 発振周波数が減少するため, リングオシレータの発振周波数を時間経過毎に測定することで, NBTI の影響を評価可能である. 図 2.9 は NAND のみで構成した 11 段リングオシレータである. 発振制御用端子は EN であり, NAND とインバータによるリングオシレータと同様の制御方法である. PBTI 型リングオシレータでは EN が 0 で停止

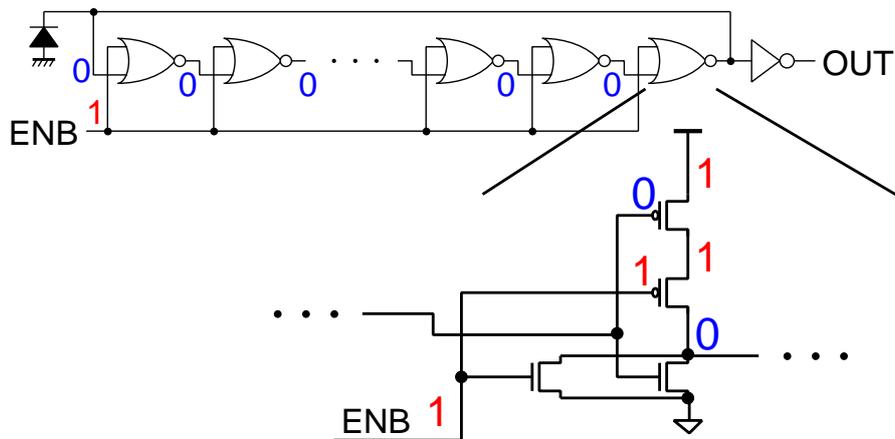


図 2.8: NBTI 型リングオシレータ. 全段 NOR で構成することで, ENB が 1 のときは全 NOR の出力は 0 となり, 発振停止かつ NBTI によるストレスを受ける. ENB が 0 のときはインバータと同じ動作をするため, リングオシレータとして発振する.

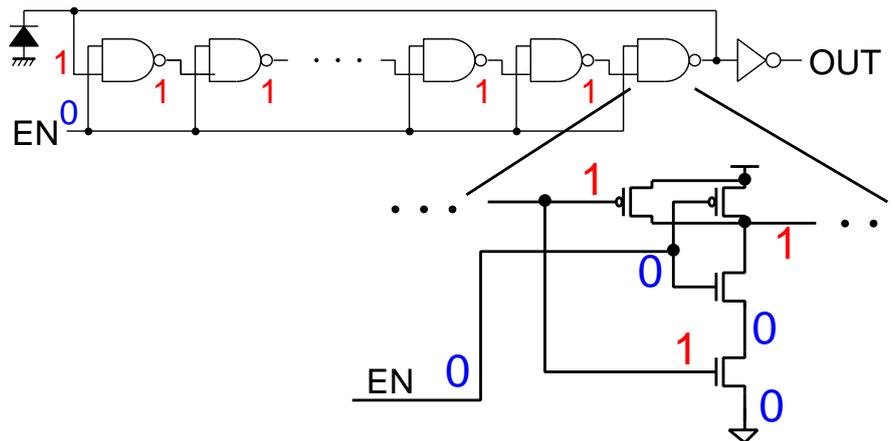


図 2.9: PBTI 型リングオシレータ. NAND で構成することで, PBTI のみが発生し, NBTI を抑制することによる BTI 対策を提案する.

状態のときに, 全ての出力が 1 となるため, PBTI のみが発生する. 試作に用いた 65 nm プロセスでは NBTI の方が PBTI よりも影響が大きいため, この NAND による PBTI 型リングオシレータにより BTI を抑制できる.

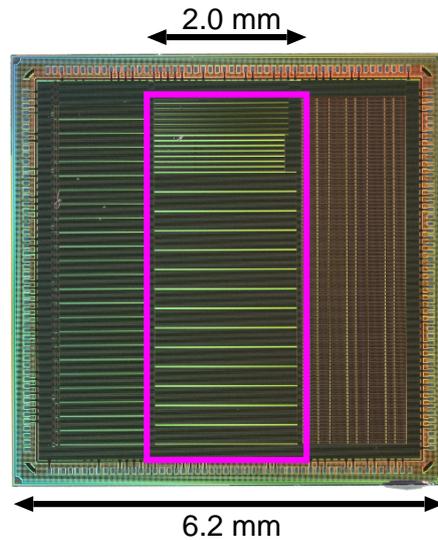


図 2.10: 試作したチップ写真 .

### 2.4.3 試作チップのリングオシレータ発振制御回路とカウンタ

試作したチップ写真を図 2.10 に示す . 通常動作電圧は 1.2 V で , I/O 電圧は 3.3 V である . チップの中央に評価回路を配置している . チップ内の構造について以下で述べる .

#### 1 ユニット (単位構造)

図 2.11 に NBTI 型における 1 ユニットの構造を示す . このユニットを直列接続してアレイ構造としている .

#### ENRO (発振制御部)

ENRO は被測定リングオシレータの発振を制御する部分である . ENFF は通常のリセット付き D 型フリップフロップである . この ENFF が各 RO に 1 個あり , ENFF の値が 1 かつ OSCENIN=1 であれば対応したリングオシレータが発振する . ENFF への値の書き込みは OSCIN と ENCLKIN で行う . ENCLKIN を 0 から 1 に立ち上げたときに , OSCIN の値がシフトされて ENFF に書き込まれる . ユニットの直列接続しているため , 各 ENFF の値は ENCLKIN を 1 に立ち上げたときに , 前にある ENFF の値がシフトされる . ENFF の数は RO と同じである .

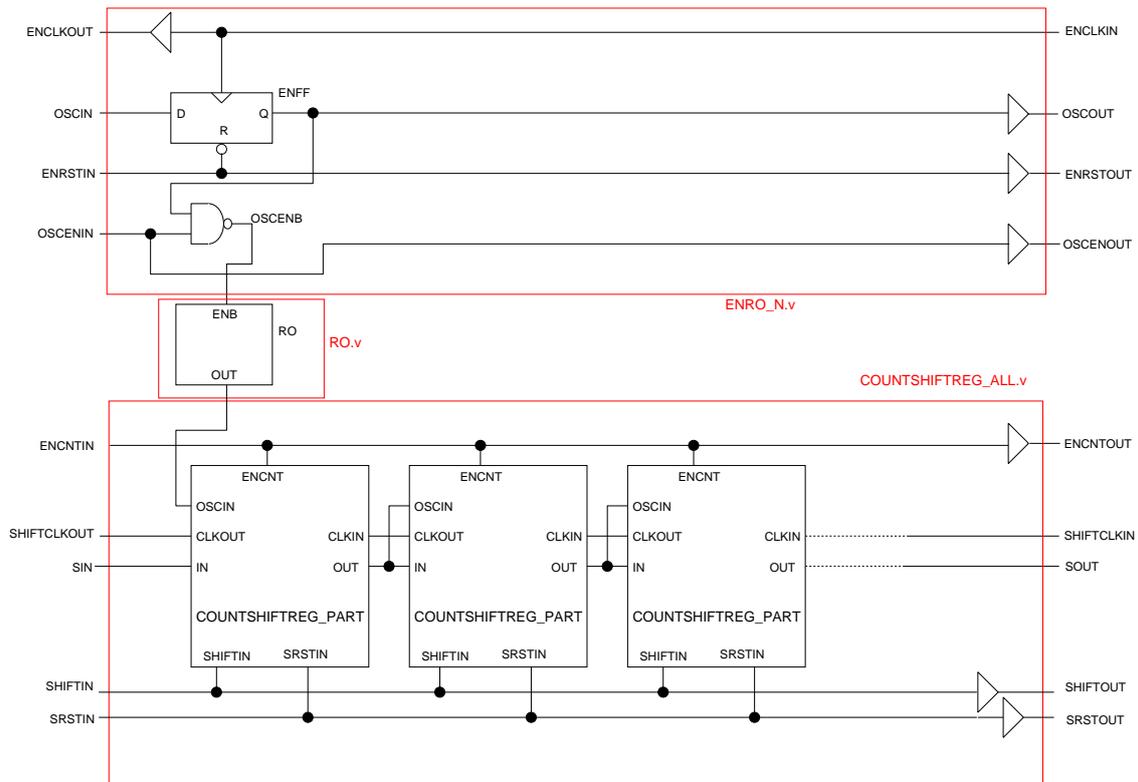


図 2.11: 1 ユニットの構造 .

### RO (リングオシレータ)

RO は被測定リングオシレータである．NOR または NAND によるリングオシレータがこれに該当する．赤枠 1 個につき，1 個のリングオシレータがある．ばらつきによる誤差を少なくするために，同じ構造を持つリングオシレータを複数搭載している．

### COUNTSHIFTREG (カウンタ兼シフトレジスタ)

COUNTSHIFTREG はカウンタとシフトレジスタの 2 つの機能をもつ部分である．カウンタは値を記録し，シフトレジスタは保持した値をクロックが入るたびに，次段の DFF (D 型フリップフロップ) に移す．COUNTSHIFTREG では，この 2 つの機能を SHIFTIN 信号によって切り替えることができる．図 2.12 に 1 ユニット内のカウンタ兼シフトレジスタ (COUNTSHIFTREG\_PART) の構造を示す．

SHIFTIN=0 にすると 16 ビットカウンタとして動作する．RO の発振回数を記



## PBTI 型

図 2.13 に PBTI 型における ENRO および RO の構造を示す。NBTI 型と基本的には同じだが、以下の通り 4 箇所違う所がある。

1. OSCENIN についている NAND を AND にしている
2. ENRO の verilog 内で端子名 OSCENB を OSCEN にしている
3. RO の端子名 ENB を EN にしている
4. verilog 名の最後を N から P にしている

PBTI 型は NAND を並べて構成した RO であるため、発振制御端子 (EN) が 1 のときに発振する。NBTI 型は逆なので、OSCENIN についている NAND と AND を変えることにより、どちらも OSCENIN=1 で発振するようにした。端子名や verilog 名を変えたのは設計やシミュレーションでの間違いを防ぐためであり、測定時に影響はない。COUNTSHIFTREG\_ALL および COUNTSHIFTREG\_PART は PBTI 型と NBTI 型で同じである。

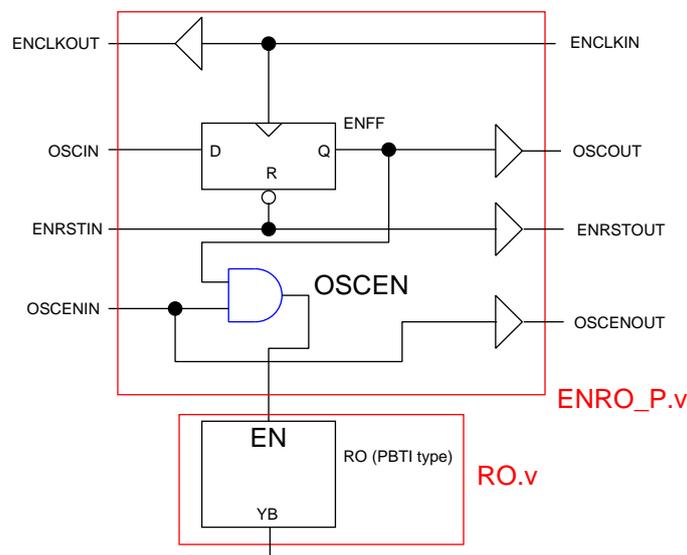


図 2.13: PBTI 型の ENRO および RO .

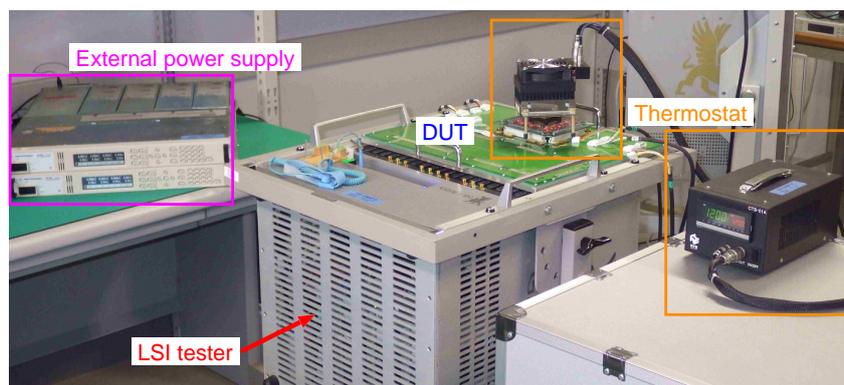


図 2.14: 測定系の写真 . LSI テスタで試作チップを測定し , 恒温装置で温度を固定する . 外部電源を用いて電圧を供給する .

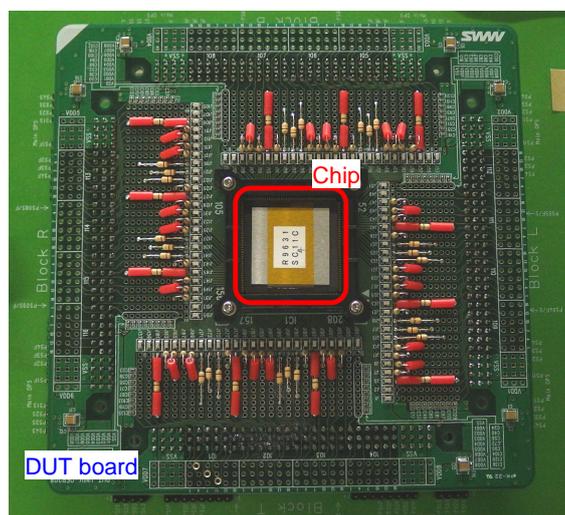


図 2.15: 測定するチップとボード . DUT ボードの中央にパッケージにしたチップをのせる .

#### 2.4.4 測定方法

図 2.14 に測定系を示す . LSI テスタ ( Griffin: HILEVEL Technology, Inc. ) 上に , 図 2.15 のようなパッケージ化された試作チップと DUT ( Device Under Test ) ボードをのせる . その上に温度を固定させるための恒温装置 ( CTS-01A: ATE サービス ) をのせる . 電圧は市販の外部電源 ( N6700B: 旧 Agilent Technologies , 現 Keysight Technologies ) から供給する .

BTI を加速するために電源電圧を 1.5 V、温度は 80 °C として発振周波数を測定する。リングオシレータの EN 端子を 0 (ENB 端子を 1) に固定することで BTI によるストレスを与え続ける。各測定点において EN 端子を 1 にして発振させて発振周波数を測定する。発振させる時間はカウンタが桁あふれせず、かつ多くの発振回数を記録するために 32  $\mu$ s とする。リングオシレータの発振周波数はおよそ 1 GHz であり、32  $\mu$ s で 32,000 回発振する。カウンタは 16 bit であり、 $2^{16} - 1 = 65,535$  回以内の発振回数であるため桁あふれしない。発振回数を 60,000 回と多くすると、リングオシレータの特性ばらつきなどで速く発振するリングオシレータもあり、桁あふれの可能性があるため、カウンタの上限回数の半分程度となるように発振秒数を設定する。発振秒数 32  $\mu$ s に対してストレスを与える時間は 10 秒以上であるため、BTI による静止時のストレスが支配的となる。初期周波数からどれだけ劣化したかを見るために、式 (2.3) で計算される発振周波数の劣化率 (Degradation Rate) を用いる。

$$\text{Degradation Rate} = \frac{F_0 - F(t)}{F_0} \quad (2.3)$$

ここで、 $F_0$  は測定時間  $t = 0$  s での初期発振周波数、 $F(t)$  は各時刻  $t$  での発振周波数である。

### 2.4.5 測定結果

図 2.16 に NBTI 型と PBTI 型 RO での測定結果を示す。横軸は与えたストレス時間で対数軸、縦軸は劣化率で線形軸であり、上にいくほど劣化することを表す。青い×印は NBTI 型、赤い印は PBTI 型の測定結果であり、70 個の平均値をとっている。それぞれの線は ATB モデルに基づいた式 (2.4) で表される最小二乗法による近似線  $f(t)$  である。

$$f(t) = S_{\text{NBTI}} \log(t + 1) \quad (2.4)$$

ここで、 $t$  は時間であり、 $S_{\text{NBTI}}$  は劣化度合いを示すフィッティングパラメータである。NBTI 型の回路における劣化率は時間経過により対数関数に従って増加しているが、PBTI 型の劣化率は増加していない。各時間毎に劣化率がばらついてはいるが、これは電源電圧や温度の揺らぎ等による測定誤差の影響が出ていると考えられる。65 nm プロセスでは PBTI 型にすることで BTI を抑制できるという予

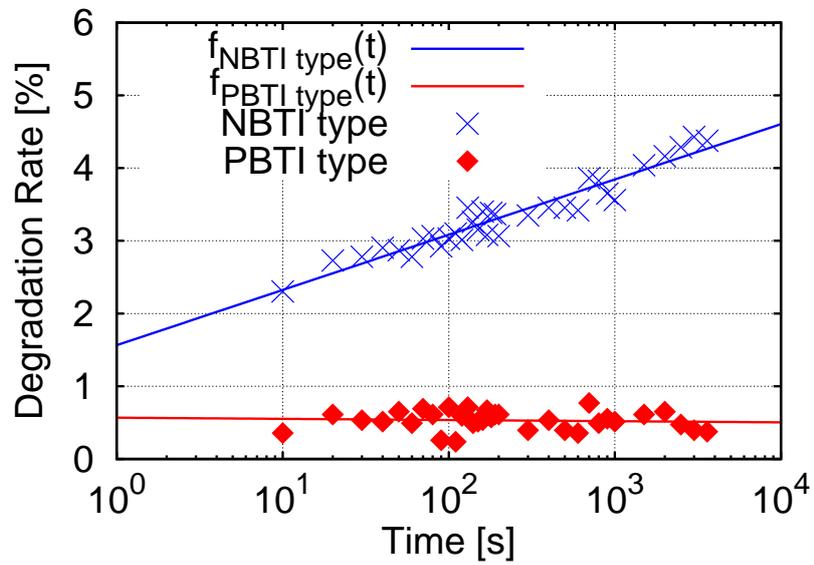


図 2.16: NBTI 型と PBTI 型での経年劣化測定結果 .

想通りの結果が得られた . PBTI よりも NBTI による劣化を抑制できる回路を設計することで , 設計時に BTI 対策が可能である .

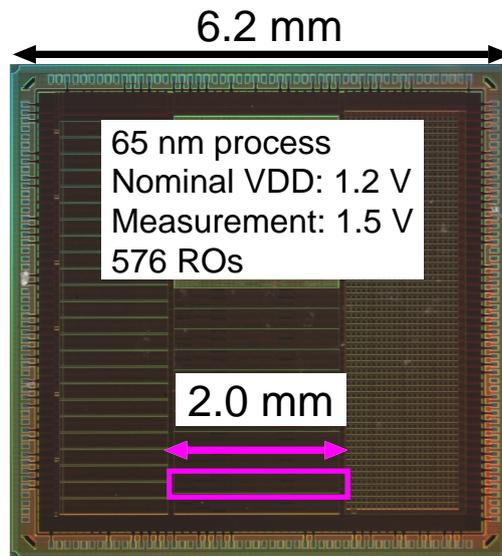


図 2.17: 試作チップ写真．リングオシレータが 576 個搭載されており，その平均値を評価する．

## 2.5 動作時における BTI 対策

本節で基板バイアスによる動作時における BTI への影響を調べるために試作した回路について述べた後に，測定結果を示す．65 nm プロセスで支配的である NBTI による劣化を抑制するために，ストレス時に RBB を印加することを提案する．

### 2.5.1 測定回路

図 2.8 と同じ NOR を鎖状につないだ 11 段リングオシレータを用いる．NOR による RO であるため，全段で NBTI のみ発生する．試作チップの写真を図 2.17 に示す．65 nm プロセスであり，チップ中央下部に評価回路を配置している．1 チップに同じ構造のリングオシレータを 576 個搭載しており，その平均値で評価する．

### 2.5.2 測定方法

SRAM など実際のアプリケーションで用いられる制御方法により測定を行う [19] ．逆方向基板バイアスは待機状態で低消費電力にするために印加されるが，動作速

度が遅くなるため、動作させるときは基板バイアスを元に戻すことが一般のアプリケーションで行われる。これに沿った測定の流れを図 2.18 に示す。発振させるときは動作状態であるため、基板バイアスを 0 V にする。発振を停止するときには待機状態であるため、基板バイアスを印加する。この待機状態にリングオシレータの全出力が 0 となり、NBTI ストレスがかかる。発振時間は  $28 \mu\text{s}$ 、NBTI ストレスは 10 s 印加し、NBTI ストレスが支配的になるようにする。電源電圧は 1.5 V で温度は  $80^\circ\text{C}$  で測定を行う。

同じチップ、同じリングオシレータで基板バイアスを変えて測定を行うため、NBTI による劣化が蓄積している可能性がある。センサやサーバーなどのデバイスは電源を切らず常に稼動しているため、NBTI による劣化が蓄積するが、基板バイアスによる NBTI の変動を評価するため、基板バイアス以外の電圧、温度、与えるストレス時間は全て同じ条件で測定する。電源を切ることで NBTI による劣化を回復させることができるため、各基板バイアスでの測定には 30 分以上電源を切って、測定に間隔を空けて劣化を回復させる。完全に回復させられない可能性があるため、各基板バイアスでの NBTI 測定の前に初期周波数を確認する。それらの差が十分に小さいことを確認して、回復していない成分が NBTI 測定に影響のないくらい少ないことを確かめる。

### 2.5.3 基板バイアスの違いによる NBTI 測定結果

図 2.19 に初期発振周波数のみの測定結果を示す。各基板バイアス印加前の測定結果であるため、周波数測定時に基板バイアスは印加されていない。NBTI 測定前の初期発振周波数はどの基板バイアスでも 1.57 GHz であり、最大の変動量は 0.03% である。この変動量は NBTI による劣化量より十分小さく、各基板バイアスでの NBTI 測定前は同条件である。

図 2.20 に基板バイアスによる NBTI 変動量の測定結果を示す。RBB が増加するほど、劣化率は減少する。RBB を印加しないときと比べて、RBB が 1.0 V のときは劣化率は 77% 減少した。

図 2.21 に式 (2.4) の劣化係数  $S_{\text{NBTI}}$  を示す。 $S_{\text{NBTI}}$  が大きいほど、NBTI によって劣化している。RBB が増加するほど、 $S_{\text{NBTI}}$  は減少する。図 2.21 に引いた曲線は式 (2.5) で近似した曲線であり、しきい値電圧と基板バイアスの関係を表した式

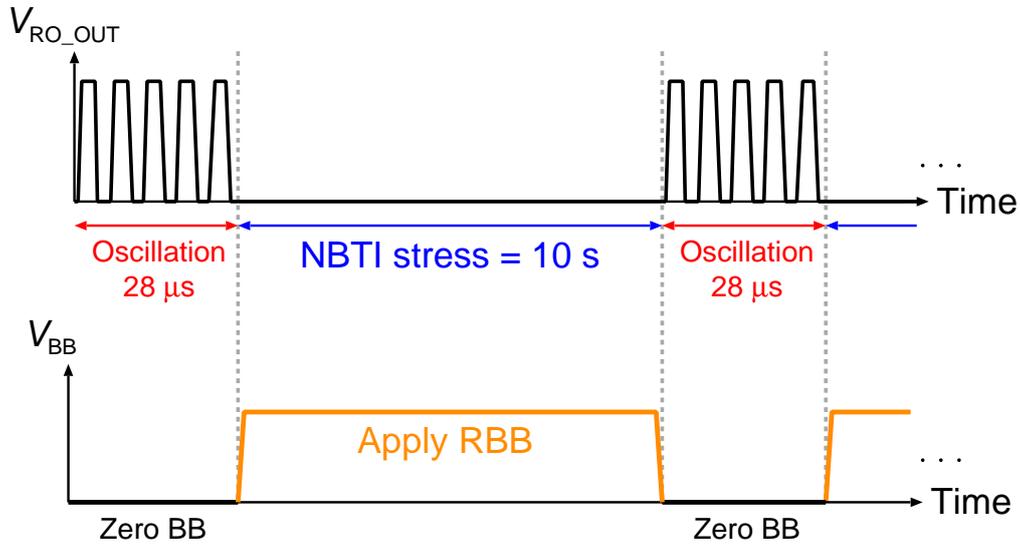


図 2.18: 電源電圧一定での測定の流れ．発振させるときは基板バイアスを 0 V にし，発振を停止して NBTI ストレスがかかっているときに，基板バイアスを印加する．

(2.1) からきている．

$$S_{NBTI}(V_{RBB}) = a\sqrt{V_{RBB}} + b + c \quad (2.5)$$

ここで， $V_{RBB}$  は逆方向基板バイアス， $a$ ， $b$ ， $c$  はフィッティングパラメータである．しきい値電圧が増加した分，キャリア数が少なくなり，NBTI による劣化係数も小さくなる．この仮説通りに，劣化係数  $S_{NBTI}$  は式 (2.5) に沿って減少している．式 (2.5) の近似結果は  $-2.47\sqrt{V_{RBB}} + 4.09$  となった．このことから，RBB を増加させたことによってキャリア数が減少し，NBTI 劣化が抑制されることがわかる．実測により，RBB を 0 V から 1.0 V にしたときにスタンバイ電流が約 15% 減少することも確認した．RBB により，スタンバイ電流が減り，NBTI も抑制される．

## 2.6 BTIのしきい値電圧変動量変換

本節で BTI の周波数劣化量をしきい値電圧変換するための電流スターブ型リングオシレータ回路について述べる．この回路により，NMOS と PMOS への BTI の影響を分離し，それぞれの BTI による周波数の劣化量を測定し，周波数劣化量を

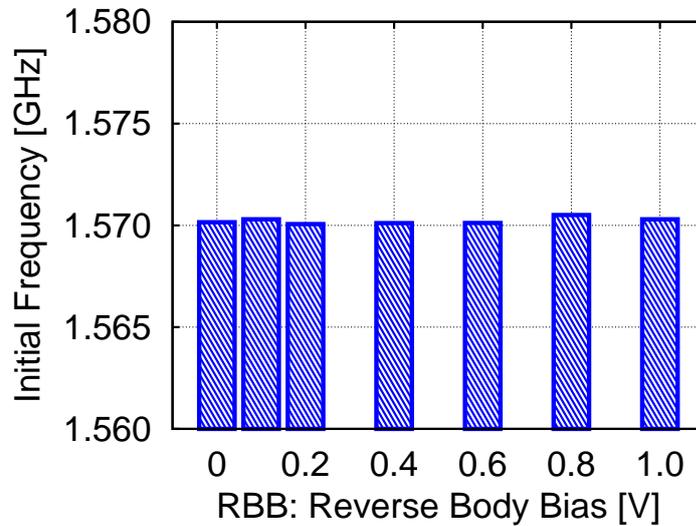


図 2.19: 各基板バイアスによる BTI 測定開始前の初期周波数測定結果．図 2.18 にある最初の  $28 \mu\text{s}$  における各基板バイアス印加前の初期周波数であるため，全てほぼ同じ発振周波数である．最大で 0.03% の発振周波数差であるため，各基板バイアスでの測定時に NBTI による劣化は蓄積しておらず回復している．

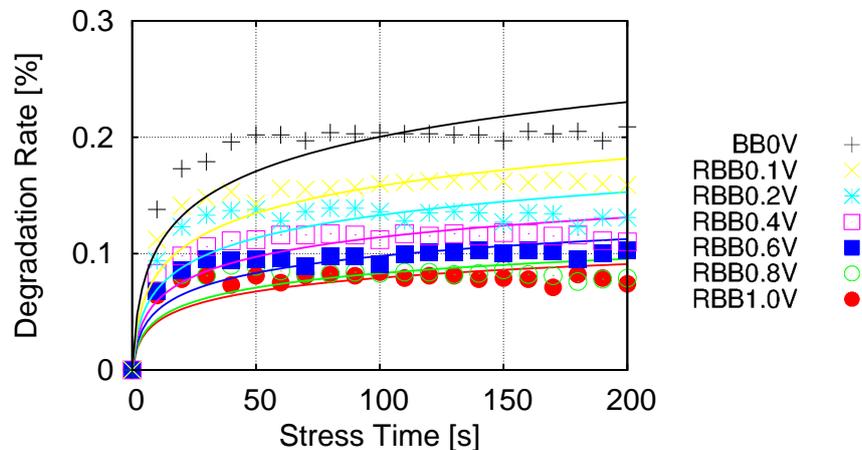


図 2.20: 電源電圧一定での NBTI 測定結果．点は測定した周波数の平均値，曲線は対数関数に比例する近似線である．

しきい値電圧変動量へ変換する．

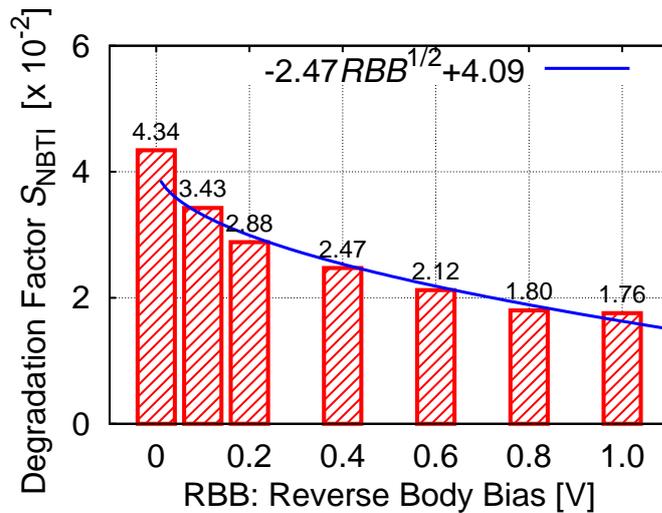


図 2.21: 電源電圧一定での劣化係数  $S_{NBTI}$  . 劣化係数は逆方向基板バイアスを印加すると, 逆方向基板バイアスの  $1/2$  乗で減少する .

### 2.6.1 電流スターブ型リングオシレータ

図 2.22 に電流スターブ型リングオシレータを示す . スターブ (starve) とは飢えるという意味であるが, 電流スターブ型リングオシレータのスターブは, 電流を絞る, 制御するといった意味合いで用いられる . 図 2.22(a) の PMOS 型では, 電源線 (VDD) とリングオシレータの電源線 ( $VDD_{RO}$ ) との間に PMOS を挿入した構造である . この PMOS スイッチ (PMOS-SW) がリングオシレータに流れる電流を絞り, PMOS スイッチのしきい値電圧が劣化すると,  $VDD_{RO}$  の電位が下がってリングオシレータの発振周波数が減少する . チップ内に搭載されたカウンタがリングオシレータの発振回数を記録し, カウンタの値を読み取ることでスターブされた MOSFET の特性劣化による特性変動を測定可能である . 図 2.22(b) は NMOS 型の電流スターブ型 RO である . NMOS 型はグラウンド (GND) と RO のグラウンド ( $GND_{RO}$ ) との間に NMOS を挿入している . この NMOS のしきい値電圧が劣化すると,  $GND_{RO}$  の電位が増加し, PMOS 型と同様に発振周波数が減少する .

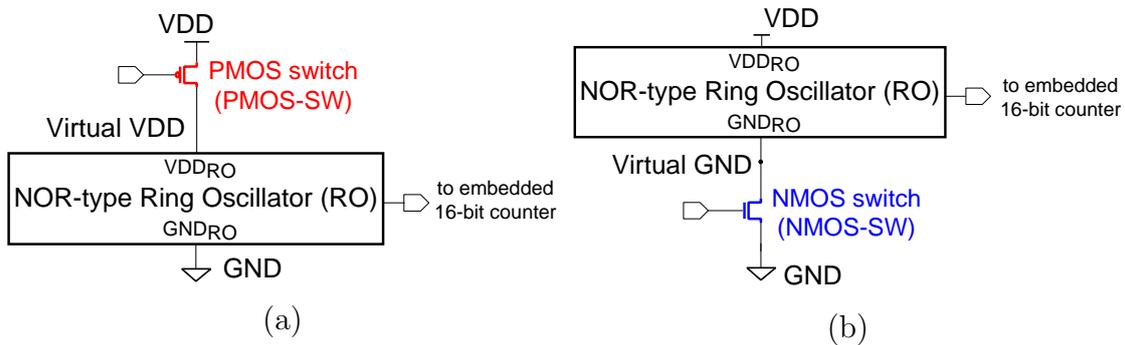


図 2.22: 電流スターブ型リングオシレータ . (a) PMOS 型 . 電源線 (VDD) とリングオシレータの電源線 ( $VDD_{RO}$ ) との間に PMOS を挟んだ構造 . (b) NMOS 型 . グラウンド (GND) とリングオシレータのグラウンド ( $GND_{RO}$ ) との間に NMOS を挟んだ構造 .

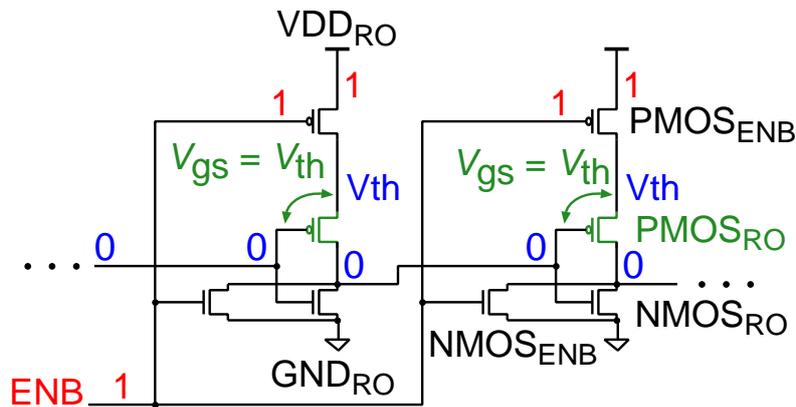


図 2.23: トランジスタレベルでの NOR 型リングオシレータ . 発振が停止するストレス状態でも,  $PMOS_{RO}$  のゲート・ソース間電圧 ( $V_{gs}$ ) はしきい値電圧 ( $V_{th}$ ) 程度なので, NBTI が抑制される .

## 2.6.2 NOR 型リングオシレータ

リングオシレータは NOR を鎖状につないだ 11 段リングオシレータを用いる . 図 2.22 の “NOR-type Ring Oscillator” に, 図 2.8 と同様の NOR 型リングオシレータが搭載されているが, ENB 入力の接続方法が異なる . ソースが電源電圧につながっている方の PMOS の入力を, 前段の出力ではなく ENB につなく . もう一方の PMOS は ENB ではなく, 前段の出力につなく . 接続方法を変えるのはリングオシレータの BTI による劣化を抑制するためである . 図 2.23 のトランジスタレ

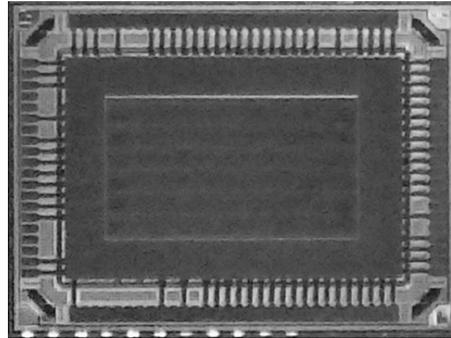


図 2.24: 試作チップ写真 . 2 mm×1.5 mm サイズの 65 nm プロセスである . PMOS , NMOS 型の電流スターブ型リングオシレータそれぞれ 70 個の平均値で評価する .

ベルの NOR を用いて NBTI を抑制できる理由を説明する . ENB が 1 のとき , 全 NOR の出力は 0 となり , 発振が停止してストレス状態となる . このとき , RO として動作する  $PMOS_{RO}$  と  $NMOS_{RO}$  のしきい値電圧が劣化すると , 発振周波数が減少する . しかし , 発振停止時の  $PMOS_{RO}$  のゲート・ソース間電圧 ( $V_{gs}$ ) はしきい値電圧 ( $V_{th}$ ) 程度であるため , NBTI が抑制される .  $NMOS_{RO}$  の  $V_{gs}$  は 0 V であるため , PBTI は発生しない . 入力を ENB につないでいる  $PMOS_{ENB}$  と  $NMOS_{ENB}$  のしきい値電圧が変動しても , 発振周波数は変化しない . 発振周波数は  $PMOS_{RO}$  と  $NMOS_{RO}$  のゲート遅延時間によって決まるためである . リングオシレータの電源またはグラウンドの電位が変動することによって , 発振周波数が変動するため , リングオシレータの発振周波数を時間経過毎に測定することで , BTI の影響を評価する .

試作チップの写真を図 2.24 に示す . チップの大きさは 2 mm×1.5 mm で , 65 nm プロセスである . PMOS , NMOS 型の電流スターブ型リングオシレータそれぞれ 70 個の平均値で評価する .

### 2.6.3 電流スターブ型リングオシレータでの BTI 測定結果

はじめに電流スターブ型リングオシレータにおける BTI の測定方法を述べた後に , 発振周波数を測定した結果を示す .

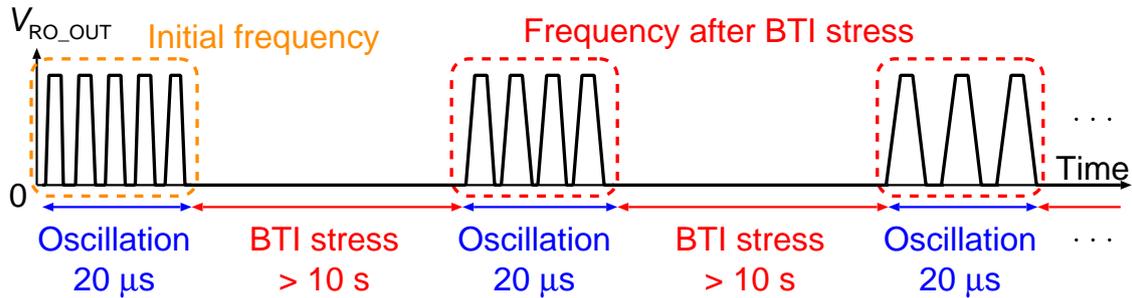


図 2.25: BTI 測定の流れ．発振と BTI ストレスを交互に繰り返し，ストレス後にどれくらい発振周波数が減少しているかを確認する．

### 測定方法

図 2.25 に測定の流れを示す．最初に，ENB を 0 にして初期発振周波数を測定する．発振させる時間は  $20 \mu\text{s}$  とする．初期発振周波数を測定した後は ENB を 1 にして発振を止める．このときに，電流スターブ型 RO として挟んだトランジスタに BTI ストレスが与えられる．ストレスを与える時間は 10 秒または 50 秒とし，BTI ストレスによる劣化を支配的にする．ストレスを与えた後，再び  $20 \mu\text{s}$  発振させる．ストレス後に測定される発振周波数は，BTI ストレスにより減少する．発振とストレスを交互に繰り返すことで，時間経過によりどれくらい発振周波数が減少するかを確認する．

同じチップにおいて別条件で測定する場合，電源を 30 分以上切ってから行う．これは，BTI による劣化が蓄積している可能性があり，回復させるために電源を切って，変更する条件以外は同条件で測定するためである．BTI を加速させるために，電源電圧は 2.0 V，温度は  $120^\circ\text{C}$  で行う．

### BTI 測定結果

図 2.26 に NBTI が発生する PMOS 型での測定結果を示す．横軸は与えたストレス時間，縦軸は周波数劣化率 (Degradation Rate) であり，式 (2.3) と同じである．図 2.26 の結果から，時間経過とともに周波数劣化率が増加しているため，NBTI が発生していることがわかる．次節で，この測定結果をしきい値電圧変動量に変換する．

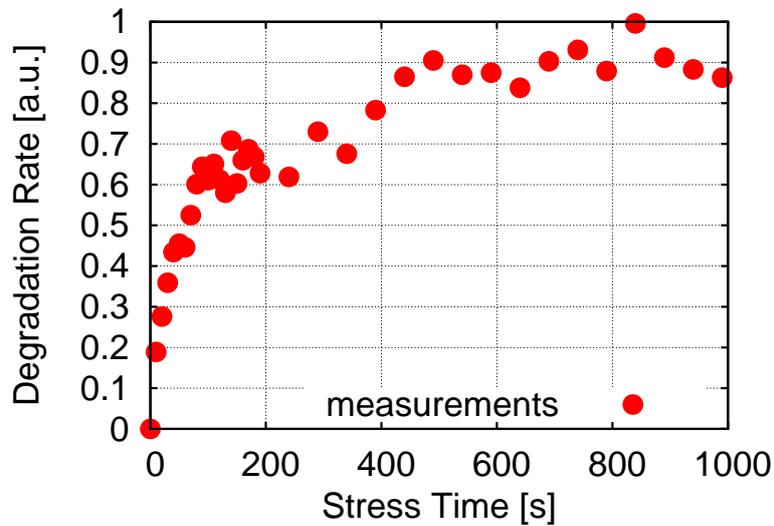


図 2.26: PMOS 型リングオシレータにおける発振周波数の NBTI 測定結果．電圧，温度ともに標準よりも増加させて劣化を加速させて行っている．時間経過とともに劣化していることがわかる．

#### 2.6.4 しきい値電圧変動量への変換

BTI によって減少する発振周波数が，どれぐらいのしきい値電圧変動となるかを調べるための変換を行う．はじめに，回路シミュレーションを用いてしきい値電圧を変化させたときの周波数変動を確認する．得られた結果から測定結果を外挿し，高信頼が求められる機器での一般的な保証期間である 10 年後のしきい値電圧変動量を見積もる．

##### 回路シミュレーションによるしきい値電圧変動

しきい値電圧 ( $V_{th}$ ) を回路シミュレーションで変動させたときに，どれぐらいの周波数変動となるかを確認する．作成したレイアウトからトランジスタおよび配線の寄生抵抗と容量成分を抽出した回路をシミュレーションに用いる．スターブされたトランジスタ (PMOS-SW, NMOS-SW) のしきい値電圧を変動させて，発振周波数がどれぐらい変動するかをシミュレーションにより求める．図 2.27 にしきい値電圧変動による発振周波数変動シミュレーションの結果を示す．横軸は変動させた  $V_{th}$ ，縦軸は  $V_{th}$  を変動させていないときを基準とした発振周波数の比率

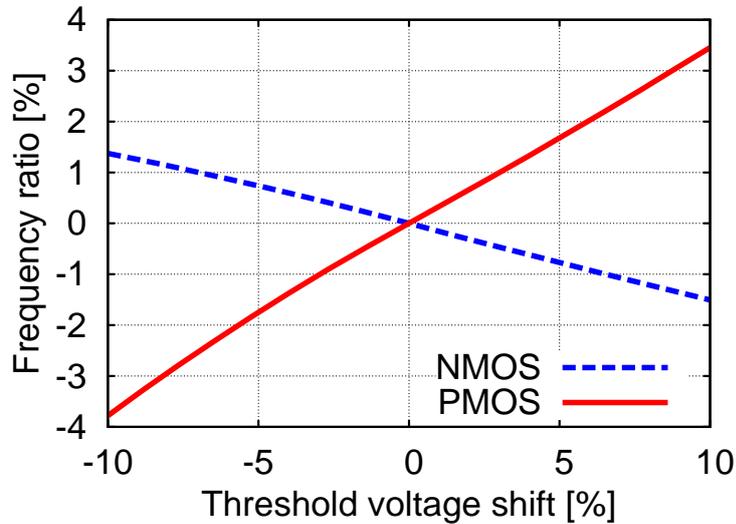


図 2.27: しきい値電圧変動による発振周波数変動シミュレーション結果．しきい値電圧に対して線形に周波数が変動している．

である．PMOS, NMOS ともに  $V_{th}$  に対して線形に変動している．このシミュレーションより得られた周波数変動比率としきい値電圧変動率の関係式は PMOS が式 (2.6), NMOS が式 (2.7) である．

$$F_P = 0.384V_{th} \quad (2.6)$$

$$F_N = -0.134V_{th} \quad (2.7)$$

ここで,  $F_P, F_N$  はそれぞれは PMOS と NMOS の周波数変動比率であり, 図 2.26 の縦軸である周波数劣化率に対応する．式 (2.6), (2.7) の周波数変動比率としきい値電圧変動率はどちらも変動割合で表している．

#### 測定結果の $V_{th}$ への変換

前節で求められた式 (2.6), (2.7) を用いて, 周波数変動をしきい値電圧変動量へ変換する．変換した結果を最小二乗法を用いて近似し, 10 年後の劣化を見積もる．近似には以下の 2 つの式をそれぞれ用いる．

$$f(t) = mt^n + l \quad (2.8)$$

$$g(t) = a \log(t + 1) + b \quad (2.9)$$

ここで、 $t$  は時間であり、 $f(t)$  は指数関数に比例する近似式、 $g(t)$  は対数関数に比例する近似式、 $a, b, l, m, n$  はすべてフィッティングパラメータである。これらの式は先行研究に基づいたものである。

図 2.28 に先の図 2.26 の測定結果をしきい値電圧変動量に変換した結果を示す。横軸が時間で、縦軸がしきい値電圧変動量である。近似曲線の測定値に対する誤差は、指数関数と対数関数どちらも 5%以内である。指数関数のフィッティングパラメータである  $n$  は先行研究で  $1/6 \sim 1/4$  となることが示されており、しきい値電圧に変換した図 2.28 における  $n$  は 0.237 である。これらのことから、どちらの式も測定結果に沿っているといえる。図 2.29 に 10 年後まで外挿した結果を示す。横軸を対数軸にしている。グラフの右端である 10 年後 ( $3 \times 10^8$  s) の  $V_{th}$  劣化率は指数関数と対数関数で大きく異なることがわかる。指数関数の 10 年後  $V_{th}$  劣化率は対数関数に比べて約 6 倍悲観的に見積もることがわかる。

NMOS 型におけるしきい値電圧変動量への変換結果を図 2.30 に、10 年後まで外挿した結果を図 2.31 に示す。黒の曲線は図 2.29 で示した PMOS 型の指数関数による近似曲線である。NMOS 型の 10 年後における劣化率は PMOS 型と比べて約  $1/7$  であり、PBTI よりも NBTI の方が支配的であるという先行研究と同様の結果である。NMOS 型で関数の違いによる劣化率見積もりを比較すると、10 年後の指数関数による劣化率は対数関数に比べて 3 倍大きく見積もる。

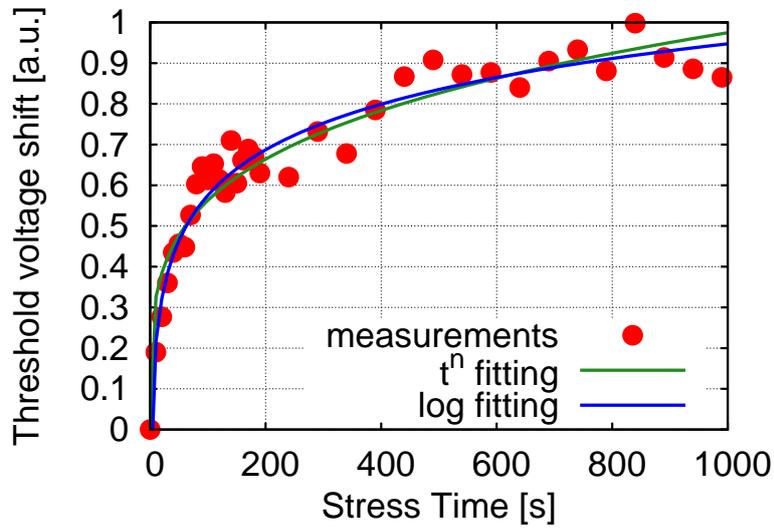


図 2.28: PMOS 型のしきい値電圧変動量への変換結果．図 2.26 を  $V_{th}$  に変換し，2つの式それぞれを用いて近似した．

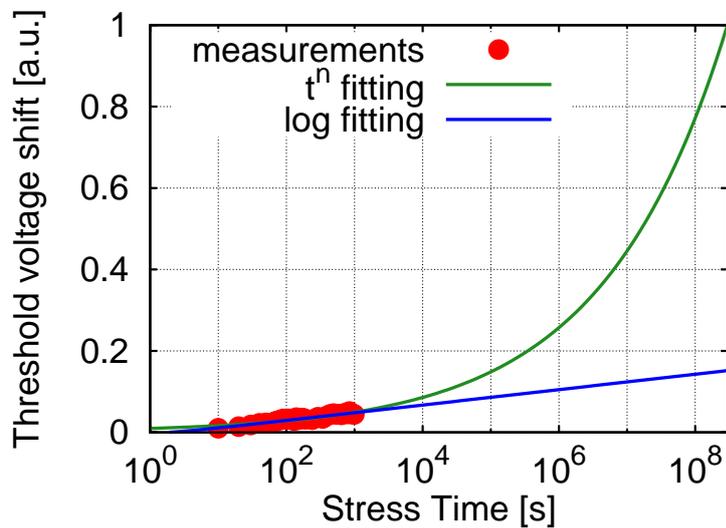


図 2.29: PMOS 型のしきい値電圧変動量の 10 年後見積もり．グラフの右端である 10 年後 ( $3 \times 10^8$  s) の劣化率は指数関数と対数関数で約 6 倍見積もりに差が出る．

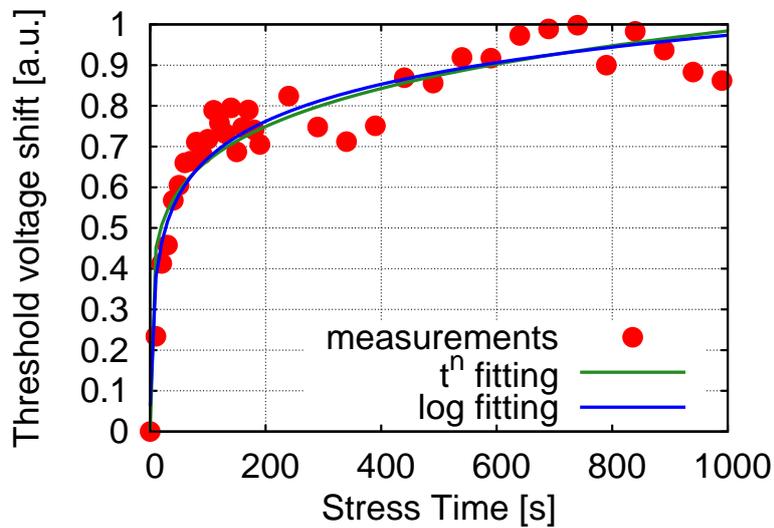


図 2.30: NMOS 型のしきい値電圧変動量への変換結果 .

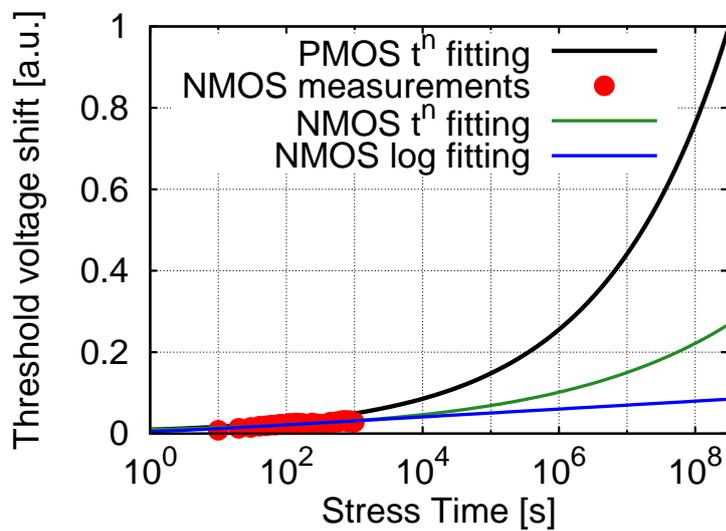


図 2.31: NMOS 型のしきい値電圧変動量の 10 年後見積もり . 10 年後における NMOS の劣化率は PMOS と比べて約  $1/7$  であり , PMOS の指数関数による劣化率は対数関数に比べて 3 倍大きく見積もる .

表 2.1: 単体トランジスタの NBTI 測定条件 .

	測定条件	ストレス条件	リカバリ条件
ゲート電圧	- 0.55 V	- 2.0 V	0 V
ドレイン電圧	- 0.10 V	0 V	0 V
ボディ電圧	0 V	0 V	0 V
温度	105 °C	105 °C	105 °C

## 2.7 単体トランジスタの NBTI

ここまで、集積回路におけるリングオシレータで BTI による劣化を実測評価した。この劣化傾向が単体トランジスタでも同様なのかを検証する。実測した 65 nm プロセスでは PBTI による劣化がほとんど見られなかったため、NBTI についてのみ検証する。

### 2.7.1 測定方法

これまでに実測で用いたものと同じ Thin-BOX FDSOI プロセスで、単体 PMOS トランジスタの NBTI による劣化に加え、回復も測定する。ウェハ上にある単体トランジスタをプローバを用いて測定する。表 2.1 に単体トランジスタにおける測定条件を示す。PMOS のドレイン・ソース間に流れる電流を測定し、時間経過に伴ってどれほど劣化または回復するかを確認する。測定時は ON 状態でかつゲート電圧、ドレイン電圧ともに高くしすぎないようにするため、ゲート電圧を - 0.55 V、ドレイン電圧を - 0.10 V としてドレイン・ソース間電流を測定する。NBTI によるストレスを印加する場合は、劣化を加速させるために、ゲート電圧に - 2.0 V を印加する。HCI の影響を受けないようにするため、ストレス時のドレイン電圧は 0 V にする。横軸を対数軸の時間としたときに、等間隔となるような時刻でドレイン・ソース間電流を測定し、それ以外はストレスを与える。ストレスを 3 万秒与えた後、ゲート電圧とドレイン電圧を 0 V にして、回復（リカバリ）を測定する。回復時のドレイン・ソース間電流の測定条件はストレス時と同じである。ドレイン・ソース間電流測定時、ストレス時、リカバリ時の全てにおいて、ボディ電圧と温度はそれぞれ 0 V と 105 °C で固定する。

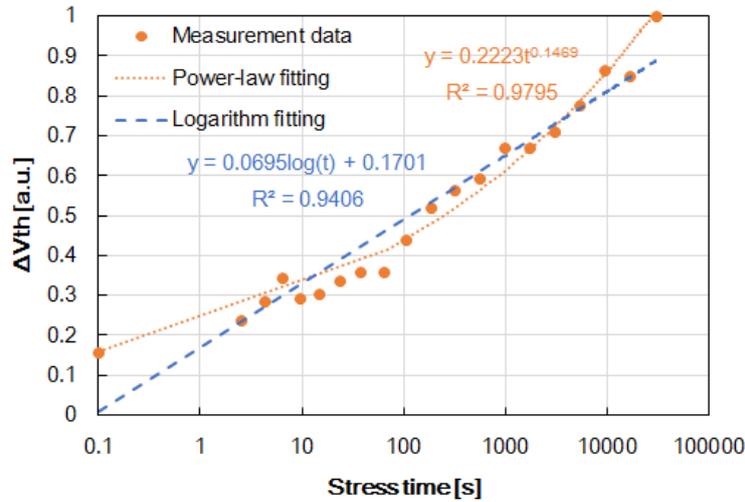
### 2.7.2 測定結果

図 2.32 に単体 PMOS トランジスタにおける NBTI による劣化と回復の測定結果を示す。横軸が対数軸で時間、縦軸は線形軸でしきい値電圧変動率 ( $\Delta V_{th}$ ) である。実測結果のドレイン・ソース間電流の変動量が、回路シミュレーション上でしきい値電圧パラメータをどれだけ変動させたときと同じかを求めることで、実測結果の電流の変動量としきい値電圧変動量を対応させている。しきい値電圧変動率の基準値は、回路シミュレーション上でしきい値電圧を変動させていないときの値である。図 2.32(a) はストレス時、図 2.32(b) はリカバリ時の測定結果である。各点が単体トランジスタの測定値である。橙色と青色の曲線はそれぞれ指数関数と対数関数でフィッティングした結果である。図中の  $R^2$  は決定係数であり、1 に近いほど、その曲線が測定値に沿っていることを表す。図 2.32(a) のストレス時において、指数関数と対数関数での決定係数はそれぞれ 0.98 と 0.94 であり、どちらも測定値に沿った近似曲線である。これらの傾向はリングオシレータにおいても同様の結果であり、単体トランジスタとリングオシレータで BTI による劣化傾向に差はないといえる。図 2.32(b) のリカバリ時においては、対数関数の決定係数は 0.94 であり測定値に沿っているが、指数関数の決定係数は 0.88 であり、測定値にあまり沿わない結果である。劣化時は指数と対数どちらも測定値に沿う近似曲線となるが、回復時は対数関数の方が測定値によく合うことがわかる。

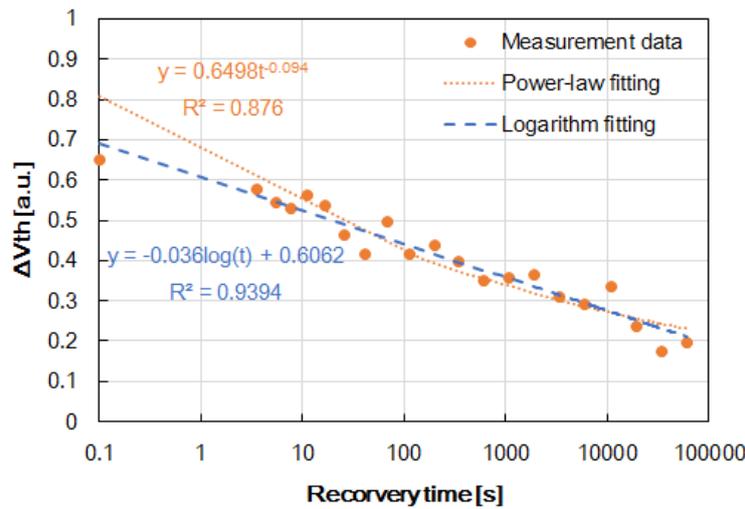
## 2.8 2 章まとめ

本章では、動作時に時間経過に伴い特性が劣化する BTI について、対策の提案と実測評価を行った。設計時と動作時の 2 つそれぞれにおける対策を提案した。NBTI の方が PBTI よりも影響が大きいことを利用し、NBTI を抑制して PBTI のみにすることを設計時による BTI 対策として提案した。2.4 節で NOR のみと NAND のみで構成したリングオシレータをそれぞれ試作して実測した。NOR のリングオシレータでは停止時に出力が 0 となり、NBTI が発生するが、NAND のリングオシレータでは逆に 1 となるため、PBTI のみが発生する。実測結果として、NOR のリングオシレータでは時間経過によって発振周波数の劣化率が増加したが、NAND のリングオシレータではほぼ劣化しないことを確認した。65 nm プロセスでは、NBTI による劣化を抑制することで、経年劣化の対策が可能である。

動作時の BTI 対策として、発振停止時に逆方向基板バイアスを印加することを



(a)



(b)

図 2.32: 単体 PMOS トランジスタにおける NBTI 測定結果 . (a) ストレス時 . (b) リカバリ時 .

提案した . 逆方向基板バイアスを印加すると , チャネルに誘起されるキャリア数が減少することにより , ゲート酸化膜へキャリアが捕獲される確率が少なくなるためである . 2.5 節で実測評価を行い , 逆方向基板バイアスを 1 V 印加したときの周波数劣化率は 0 V のときと比べて約 77% 減少した . 逆方向基板バイアスを印加

することにより，スタンバイ電流も減少し，BTIを抑制できる．

BTIによる劣化量は一般的にしきい値電圧変動量で評価されるため，リングオシレータにおける発振周波数変動量をしきい値電圧変動量に変換できる回路とその手法を2.6節で提案した．電源線とリングオシレータの電源線との間に被測定用のPMOSを挿入した電流スターブ型リングオシレータにより，PMOSのみのBTIの影響評価が可能となる．回路シミュレーションを用いて，被測定PMOSの変動させたしきい値電圧量と変動した発振周波数を対応させることで，発振周波数変動量をしきい値電圧変動量に変換できる．電源側ではなく，グラウンド側にNMOSを同様に挿入した電流スターブ型リングオシレータでNMOSの評価が可能である．電流スターブ型リングオシレータは発振周波数変動量をしきい値電圧変動量に変換できるだけでなく，NMOSとPMOSのBTIへの影響を分離することができる．電流スターブ型リングオシレータを用いてBTIによる経年劣化を測定し，得られた周波数劣化率をしきい値電圧劣化率に変換した．しきい値電圧劣化率を指数関数と対数関数の2つの式を用いて近似した結果，どちらも測定値との誤差が5%以内であった．指数関数の時間指数である $n$ の値は0.237であり，先行研究の $1/6 \sim 1/4$ となることと同様の結果が得られ，提案した方法で正しく発振周波数変動量をしきい値電圧変動量に変換できていることを確認した．この2.6節では近似式を用いて10年後の劣化見積もりも行った．近似式によって劣化見積もりに大きく差異が生じ，指数関数による見積もりは対数関数よりも悲観的に見積もり，10年後の劣化率見積もりは対数関数の3~6倍大きくなる．NMOSの10年後におけるしきい値電圧劣化率はPMOSと比べて約 $1/7$ であり，NBTIの方がPBTIよりも支配的であるという先行研究と一致した結果が得られ，電流スターブ型リングオシレータにより，NMOSとPMOSの影響を分離できることを確認した．

単体トランジスタとリングオシレータでBTIによる劣化傾向が同様かを調べるために，2.7節で単体PMOSトランジスタのNBTIによる劣化を実測した．リングオシレータで試作したプロセスと同じプロセスのウェハを用いて，単体トランジスタのドレイン・ソース間電流の変動量を測定した．電流の変動量を回路シミュレーションを用いてしきい値電圧変動量に変換した．測定値を指数と対数関数で近似した結果，測定値にどれだけ沿っているかを表すパラメータである決定係数がそれぞれの関数で0.98と0.94であった．決定係数は1に近いほど測定値に沿っていることを表すため，指数と対数関数どちらも測定値に沿うことが分かった．これらの劣化傾向はリングオシレータと同様の結果であり，単体トランジスタとり

ングオシレータで劣化傾向に差がないことがわかった。単体トランジスタではリカバリも測定した。リカバリ時における指数と対数関数での決定係数はそれぞれ 0.88 と 0.94 であり、対数関数の方が測定値によく合うことがわかった。



## 第3章 アンテナダメージ

本節で製造時における信頼性低下の要因となるアンテナダメージ (Plasma Induced Damage, PID) について説明する。アンテナとは、製造工程で電荷がたまつた金属配線のことである [10]。ゲート長が 180 nm 以上であるプロセスではアルミ配線を用いて配線を直接プラズマエッチングで加工するため、配線加工時に金属配線へ電荷が蓄積する [25]。図 3.1 のようにアンテナが MOSFET のゲート (G) に接続されると、ゲートから酸化膜に電荷が流れこみ、酸化膜がダメージを受ける。このダメージをアンテナダメージと呼ぶ。最悪の場合、ゲート酸化膜が壊れて MOSFET として動作しなくなる。壊れなかったとしても、アンテナダメージによって酸化膜に欠陥が作られ、遅延時間の増加やリーク電流増加などによってしきい値電圧が増加し、素子特性悪化の原因となる。アンテナダメージはトランジスタ製造工程である Front End Of Line (FEOL) ではなく、トランジスタ製造後の工程である Back End Of Line (BEOL) で発生する。BEOL には金属配線、下層と上層の金属配線をつなげるビア、金属配線層間の絶縁層を作る工程が含まれている。

近年の微細化されたプロセスにおいてアルミでは抵抗率が大きいため、動作に悪影響をおよぼす。対策として 180 nm より小さなプロセスでは銅配線を用いている。銅の電気抵抗率はアルミの約 60% であり、電気伝導率が高いため、銅配線はアルミ配線より優れている。しかし、配線加工が難しいという問題がある。銅配線を直接プラズマエッチングすることは難しく、アルミ配線と同様の配線加工工程では製造できない。この問題を解決するために、デュアルダマシンプロセスを用いている [21]。デュアルダマシンとは先に金属の接続部分および配線パターンを形成し、金属をメッキ加工により埋め込む形成方法である。デュアルダマシンプロセスでは絶縁層を加工することで配線パターンを形成するため、金属配線を直接プラズマエッチングで加工することは銅配線ではなくなった。しかし、図 3.2 のように、プラズマエッチング以外にもアンテナダメージが生じる。例えば、図 3.2(a) のように化学機械研磨 (Chemical Mechanical Polishing, CMP) によってアンテナダメージが発生する。配線を削るときに、研磨装置と配線との摩擦によって一方に正 (または負) の電荷が帯電する。帯電によって配線に電荷が誘起される。

この配線がアンテナとなり、アンテナダメージが発生する。図 3.2(b) のように金属配線を加工する工程ではない化学気相成長 (Chemical Vapor Deposition, CVD) でもアンテナダメージが発生する。CVD とは配線上層の絶縁層を形成する方法である。プラズマ空間内で、化学反応による蒸着によって表面に絶縁膜を堆積させる。プラズマの濃度が不均一になると、ある部分に正 (または負) のイオンが集まる。集まったイオンにより、配線に電荷が誘起されてアンテナとなる。金属配線だけでなく、ビアによってもアンテナダメージが生じるため、BEOL ではアンテナダメージは避けられない信頼性問題である。

近年の微細化によって、異なる金属層間だけでなく隣接した同じ金属層間の絶縁層が薄くなり、絶縁層の容量が大きくなっている。容量が大きくなるとより多くの電荷が配線に誘起されるため、微細化が進むと帯電によってより多くの電荷が蓄積すると考えられる。アンテナダメージに関する先行研究では  $\text{SiO}_2$  と high-k でのゲート酸化膜材料の違い [26]、長方形と楕形でのアンテナ形状の違い [27]、ゲート酸化膜厚の違い [28] などについて評価されている。本章の 3.3 節では配線層によるアンテナダメージの違いについて評価する。集積回路では多層配線が使われ、その配線層数はプロセスが進むにつれて多くなっている。アンテナとなる配線の層数が増加し、電荷が多く蓄積されるだけでなく、各層によってアンテナダメージの影響が異なるため、アンテナ層によるアンテナダメージの違いの評価は重要である。本章では、アンテナダメージの大きさによる劣化量だけでなく、配線層によるアンテナダメージの違いも評価する。

### 3.1 アンテナダメージ対策

アンテナダメージを対策する方法は 2 つある。1 つはアンテナをゲートへ接続する前に、先にドレインへ接続することである。アンテナを先にゲートへ接続するとアンテナダメージが発生するが、アンテナとなる配線より上層の配線を用いてアンテナをドレインへ接続することでアンテナダメージを緩和できる。図 3.3 にドレインによるアンテナダメージの緩和方法を示す。アンテナに電荷がたまっても、アンテナはゲートにつながっていないため、ドレインを通じて基板へ電荷が流れる。アンテナより上層の配線はアンテナより後で作られる。上層の配線を作るときに、アンテナでたまっていた電荷はないため、電荷はゲート酸化膜に流れず、アンテナダメージは緩和される。しかし、上層の配線はゲートに接続

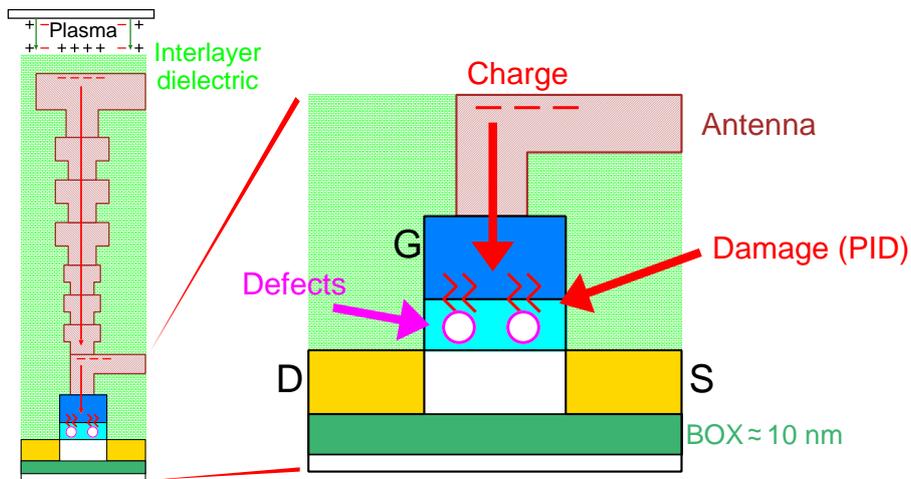


図 3.1: アンテナによるゲート酸化膜へのダメージ .

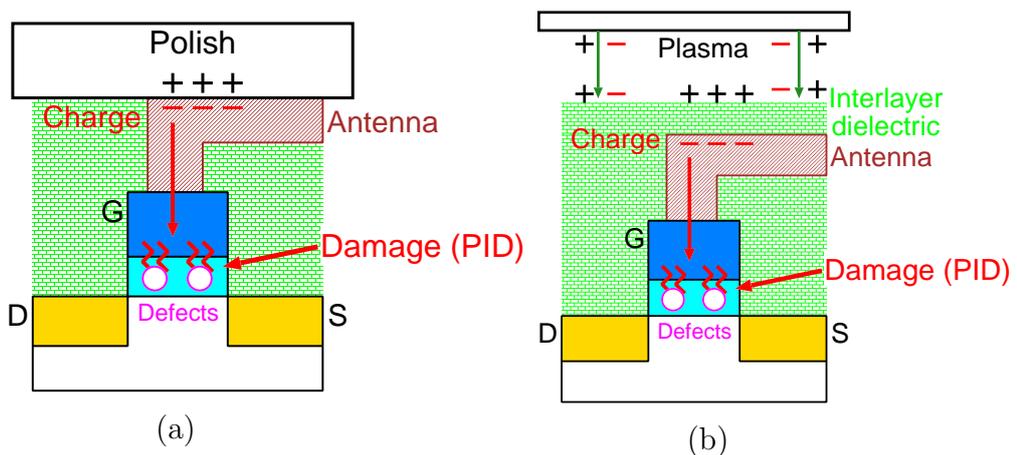


図 3.2: 銅配線プロセスでのアンテナダメージ . (a) CMP による電荷の蓄積 . 研磨装置と配線との摩擦によって配線に電荷が帯電する . (b) CVD による電荷の蓄積 . プラズマの濃度のばらつきにより配線に電荷が誘起されてアンテナとなる .

されており、上層の配線によってアンテナダメージが発生するため、できるだけ上層の配線の面積を小さくする必要がある。この上層配線はできるだけゲートの近くで用いる必要があるため、配線の設計が複雑になる。

もう1つの方法は、図 3.4 のようにアンテナに逆方向接続のダイオードをつなげることである。ゲートの近くで上層配線が使えずに、アンテナがゲートへつながるときに用いる方法である。ダイオードにつなげることで、アンテナにたまっ

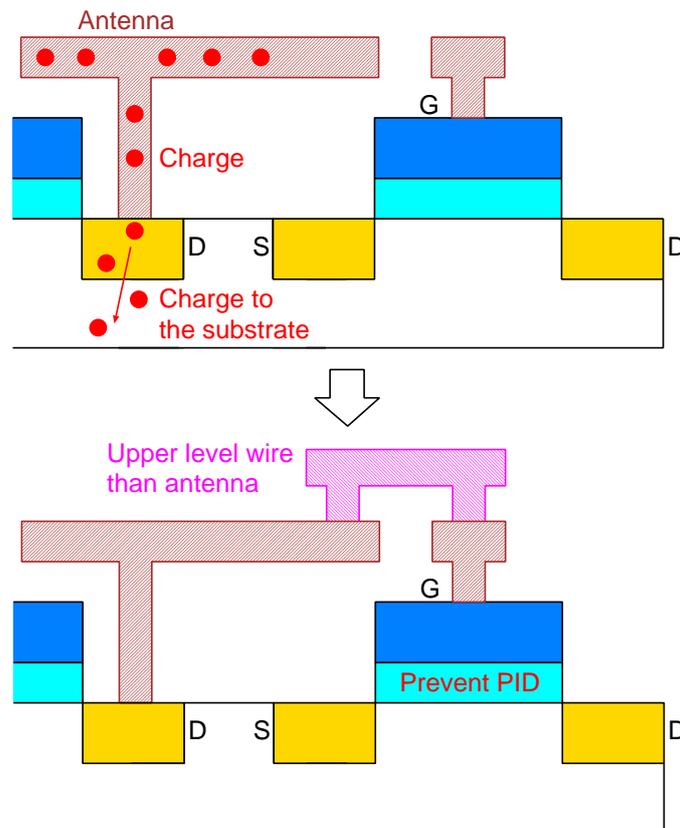


図 3.3: ドレイン接続によるアンテナダメージの緩和．ドレインを通じて基板へ電荷が流れる．

た電荷はダイオードを通じて基板へ流れ出ていく．しかし，ダイオードによって面積と容量が増加するため，動作速度などの回路性能は低下する．

### 3.1.1 SOI におけるアンテナダメージの緩和

SOI のドレイン直下に挿入されている BOX 層は絶縁層であるため，基板への電荷流出を妨げ，ドレインによって緩和できない．しかし，Thin-BOX FDSOI ではバルクと同様にアンテナダメージを緩和できることが考えられる．図 3.5 に Thin-BOX FDSOI におけるアンテナダメージの緩和を表した様子を示す．Thin-BOX FDSOI の BOX 層は 10 nm と薄いため，トンネリングによって電荷が基板へ流れ出ていくと考えられる．トンネリングとは本来乗り越えられないポテンシャル障壁を，電子が通り抜ける量子力学の現象である．実際にトンネリングによって電流

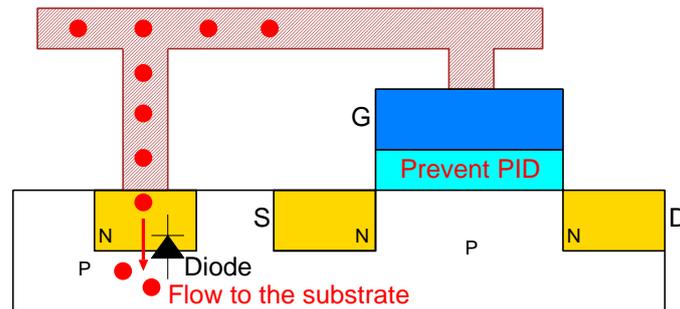


図 3.4: ダイオードの接続によるアンテナダメージの緩和．アンテナがゲートにつながっていてもダイオードを通じて電荷が基板へ流れ出ていく．

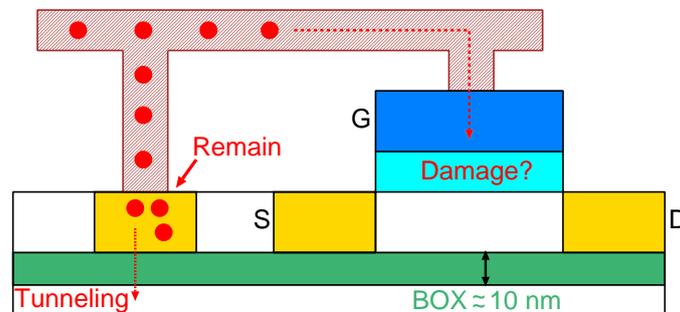


図 3.5: Thin-BOX SOI におけるアンテナダメージの緩和．通常の SOI では BOX 層により電荷が基板へ流れ出ないが，Thin-BOX SOI は BOX 層が薄いためトンネリングによって緩和可能．

が流れるかを確認する．図 3.6 に基板リーク電流を測定するための回路を示す．基板となる P-well (PW) を 0 V に固定し，ドレイン (N+) の電圧を増加させながら，ダイオードの逆方向リーク電流を測定する．図 3.7 に 5 個のトランジスタにおける基板リーク電流の平均値を示す．横軸が印加する電圧で，縦軸が基板リーク電流である．通常動作に支障のない程度のわずかなリーク電流であるが，Thin-BOX FDSOI では 2 V 以上からリーク電流が流れ始めている．Thin-BOX FDSOI でもバルクと同様にドレインによりアンテナダメージを緩和できると考えられる．

### 3.1.2 アンテナ比

アンテナ比 (Antenna Ratio, AR) は (アンテナ面積 / ゲート面積) で表され，アンテナダメージの大きさを表す．アンテナ面積は側壁面積を用いる場合もある

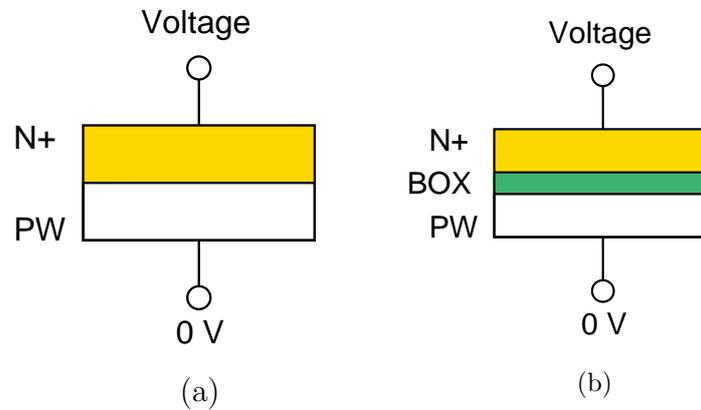


図 3.6: 基板リーク電流測定回路 .

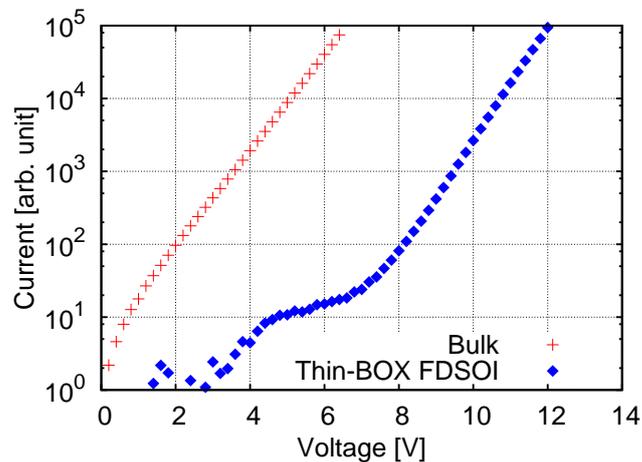


図 3.7: バルクと Thin-BOX FDSOI の基板リーク電流測定結果 .

が、ここでは試作プロセスの設計ルールに従い、アンテナ面積とゲート面積に底面積を用いる。アンテナ面積が大きいほど、アンテナにたまる電荷が多くなるため、アンテナダメージが大きくなる。ダイオードやドレインへ先に接続された配線は、ゲートに接続されていてもアンテナ面積に含まれない。この配線に電荷がたまって、ダイオードやドレインを通じて基板に流れ出ていき、アンテナダメージは引き起こされないからである。設計時にはアンテナダメージによる劣化をできるだけ避けるために、アンテナ比をできるだけ小さくする。信頼性保証のためにアンテナルールによってアンテナ比の上限値が定められている。アンテナ比が

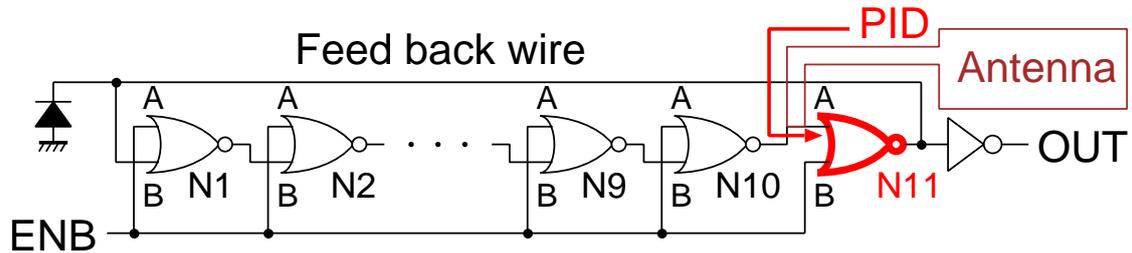


図 3.8: アンテナダメージの影響を調べる 11 段リングオシレータ測定回路。

上限値を超えないように設計する必要があるが，大規模な集積回路では距離の長い配線が多く使われるため，アンテナルールを満たせない場合がある．本章ではルール上限値付近での細かいアンテナ比によるダメージの影響を評価する．

## 3.2 アンテナ比によるアンテナダメージ

本節でアンテナルール上限値付近でのアンテナ比によるアンテナダメージの影響を調べる．評価用に試作した回路について述べた後に，評価方法と結果を述べる．

### 3.2.1 アンテナを付加したリングオシレータ

図 3.8 のような，面積を大きくしてアンテナとした配線を最終段に付加した NOR による 11 段リングオシレータを用いる．最終段の NOR (N11) のみがアンテナダメージを大きく受ける．初段の入力付近にダイオードを入れることで，帰還配線でたまる電荷をダイオードを通じて基板へ流すことができ，他の配線より 10 倍ほど長い帰還配線によるアンテナダメージの影響を防ぐ．リングオシレータの初期発振周波数を測定することで，製造時におけるアンテナダメージの影響を評価する．発振周波数が減少すると，アンテナダメージによってしきい値電圧が増加していることになる．

### 3.2.2 アンテナ比の種類

試作に用いた 65 nm プロセスにおけるアンテナ比の上限値は 500 である．アンテナ比 500 付近での細かいアンテナ比によるダメージの影響を調べるために，

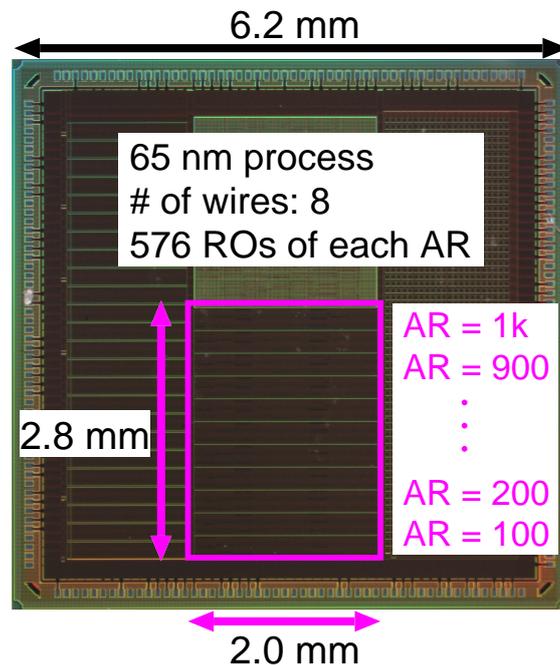


図 3.9: 試作したチップ写真 .

1000 以下のアンテナ比を 100 刻みで用意する . アンテナ比を変えるのは最終段のみである . その他の  $N1 \sim N10$  における各 NOR のアンテナ比は 20 以下でかつ , ドレイン領域に接続されており , 帰還配線はダイオードに接続されているため , 最終段以外の配線によるアンテナダメージの影響を十分小さくしている .

### 3.2.3 バルクと Thin-BOX FDSOI

レイアウトおよび回路構造が同じものをバルクおよび Thin-BOX FDSOI で試作する . バルクと Thin-BOX FDSOI で異なるのは BOX 層の有無である . これら 2 つのプロセスでアンテナダメージによる影響が異なるかを評価する .

試作したチップ写真を図 3.9 に示す . 65 nm プロセスであり , チップの中央にアンテナダメージを評価する回路を配置している . 1 チップに同じ構造のリングオシレータを各アンテナ比 576 個搭載している .

### 3.2.4 寄生成分抽出シミュレーション

シミュレーション値と測定値を比較して評価する．ここでは，寄生成分を抽出したネットリストを用いた回路シミュレーションを行う．寄生成分には MOSFET の容量，配線抵抗および配線容量が含まれているが，シミュレーションにアンテナダメージの影響は含まれていない．測定値には寄生成分だけでなく，アンテナダメージの影響も含まれる．そのため，シミュレーション値と測定値を比較することでアンテナダメージを確認できる．

しかし，アンテナ比 (AR) を増加させるためにアンテナ面積を増加させると，アンテナダメージを受けていなくても，アンテナ比によって発振周波数が減少する．これはアンテナによる配線の抵抗および容量が増加するためである．アンテナ比によって周波数が異なると評価しにくい．どのアンテナ比でもシミュレーションでの発振周波数を同じにするため，ドレイン側の配線を用いて調整する．図 3.10 にドレイン側の配線を用いた配線抵抗と容量の調整方法を示す．図 3.10(a) はアンテナ比 1,000 の構造であり，ゲート側にアンテナ比が 1,000 となるように配線を付加する．アンテナ比 1,000 の構造を設計し，レイアウトから寄生成分を抽出した回路でシミュレーションすると，発振周波数は 1.59 GHz であった．他のアンテナ比でも発振周波数が 1.59 GHz となるように設計する．配線調整の例として図 3.10(b) にアンテナ比 500 の構造を示す．ドレイン側にアンテナ比が 242.2 となるような周波数調整用配線を付加することで，どのアンテナ比でも配線抵抗および容量が同じになり，発振周波数が同じになる．ドレイン側に付加する配線に電荷がたまって，ドレインを通じて基板へ電荷が流れ出るため，周波数調整用配線によってアンテナダメージを受けない．このようなドレイン側の配線付加をアンテナ比 100 から 900 までの全構造で行う．表 3.1 にドレイン側の周波数調整用配線によって発振周波数を調整した結果を示す．ドレイン側配線面積はゲート面積を 1 としたときの相対配線面積を表している．すべてのアンテナ比で，寄生成分を考慮したシミュレーションでの発振周波数が 1.59 GHz となった．

### 3.2.5 測定結果

電源電圧 1.5 V，室温で初期発振周波数を測定した結果を図 3.11 に示す．横軸はアンテナ比 (AR)，縦軸は発振周波数である．各アンテナ比の中央にある点は発振周波数の平均値 (Mean) であり，エラーバーは標準誤差 (SE, Standard Error) を

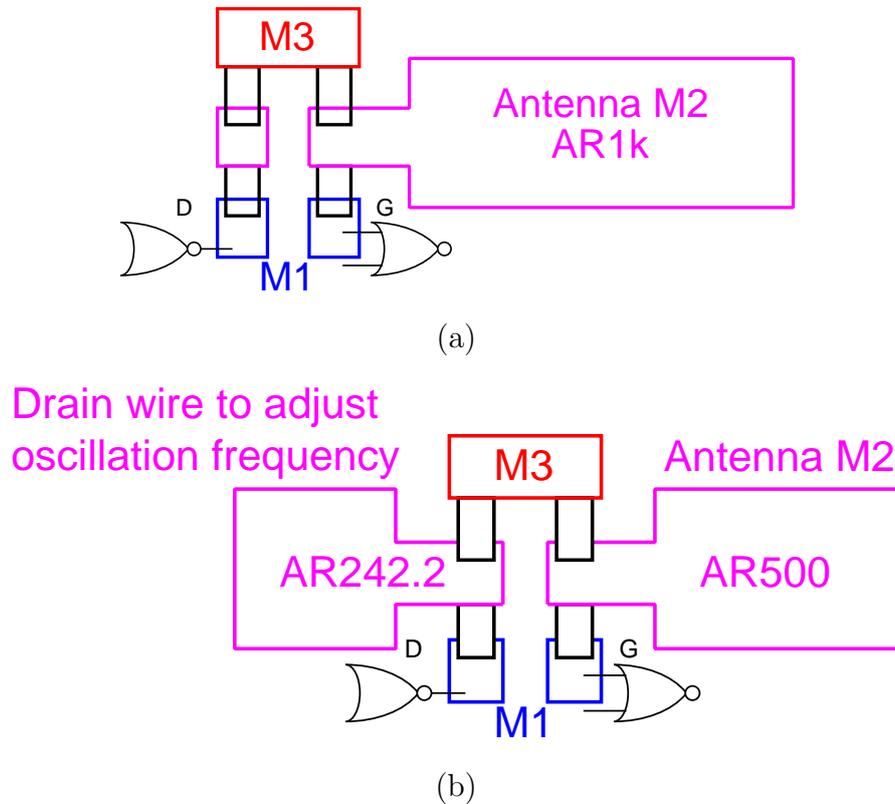


図 3.10: 周波数調整用配線による各アンテナ比の設計．配線抵抗および容量の影響が AR1k と同じになるように AR1k 以外はドレイン側に配線を付加する．(a) 基準にする AR1k．(b) AR500 における配線付加．

表す．標準誤差は 99% の信頼区間を用いている．正規分布の標準偏差を  $\sigma$  とすると，用いた標準誤差は  $3\sigma/\sqrt{N}$  である．ここで， $N$  は測定個数であるので，今回の測定では 576 を用いる．図 3.11(a) はバルクでの結果である．アンテナ比 100 から 600 までは平均値が一定であることがわかる．設計ルールの上限值は 500 であるため，設計ルールを守っていればアンテナダメージの影響はない．アンテナ比 600 を超えると，アンテナ比が増加するに従って平均周波数が減少している．設計ルールの上限值であるアンテナ比 500 と比べると，アンテナ比 1000 での周波数は 2.2% 減少している．アンテナダメージにより，しきい値電圧が増加していることが確認できる．設計ルールを破るときには，アンテナダメージの影響を考えた設計が必要である．

図 3.11(b) は Thin-BOX FDSOI での結果である．Thin-BOX FDSOI はソース・

表 3.1: ドレイン側の周波数調整用配線による各アンテナ比 (AR) でのリングオシレータの発振周波数シミュレーション結果．ドレイン側配線面積比はゲート面積を 1 としている．

AR	ドレイン側配線面積比	シミュレーション周波数
100	642.0	1.59 GHz
200	542.3	
300	442.4	
400	340.3	
500	242.2	
600	147.5	
700	111.7	
800	74.0	
900	36.7	
1000	1.0	

ドレインと基板間の容量がバルクと比べて少ないため、発振周波数の値はバルクよりも 10%程度高い．しかし、アンテナ比増加に伴う発振周波数減少の傾向はバルクと同じである．Thin-BOX FDSOI もバルクと同様に、アンテナ比 600 までは発振周波数が一定であり、600 を超えるとアンテナ比増加に従って発振周波数が減少する．アンテナ比 1000 での周波数は、上限値のアンテナ比 500 と比べて 2.3%減少している．減少割合もバルクとほぼ同じであるため、Thin-BOX FDSOI でのアンテナダメージの影響はバルクと変わらない．これらの結果から、BOX 層の有無によりアンテナダメージの影響が変わらず、Thin-BOX FDSOI でもバルクと同様にドレインによってアンテナダメージを緩和できるといえる．アンテナ比増加によるアンテナダメージの影響を考えた設計が必要であるが、バルクと Thin-BOX FDSOI で異なる設計余裕を考える必要はないといえる．

### 3.3 配線層によるアンテナダメージ

本節では配線層別のアンテナダメージを実測評価する．電流スターブ型リングオシレータを用いた評価回路について述べた後に測定結果を示す．

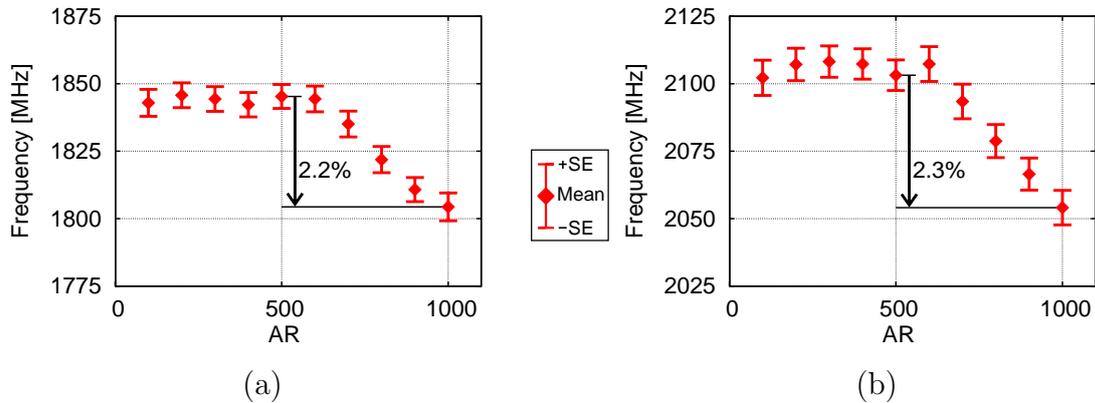


図 3.11: 各アンテナ比 (AR) での発振周波数測定結果 . (a) バルクの結果 : AR600 までは一定であり , AR1000 での平均発振周波数はルール上限値である AR500 から 2.2%減少している . (b)Thin-BOX FDSOI の結果 . アンテナ比増加に伴う発振周波数減少の傾向はバルクと同じである .

### 3.3.1 測定回路

#### 配線層別スターブトランジスタ

図 3.12 に測定回路の断面図を示す . 最も左にあるトランジスタは参照用トランジスタ (REF-SW) である . REF-SW へのアンテナダメージを避けるために , ゲートにつなげる配線面積はできるだけ小さくする . 設計した回路における REF-SW のアンテナ比は 20 以下である . 最も右にあるトランジスタ (M5-PID-SW) はアンテナ比 2,000 の 5 層目の金属配線 (M5) をアンテナとして付加している . 他の 1 から 4 層目の金属配線はできるだけ小さくする . この M5-PID-SW は主に M5 によるアンテナダメージを受ける . M2-から M4-PID-SW も同様の構造である . それぞれのトランジスタは異なった M2 から M4 のアンテナが付加されている . M2 から M5 までの各層は同じ幅と厚さの金属配線である .

回路レベルの評価として 11 段リングオシレータを試作する . 先行研究 [11] ではアンテナを直接リングオシレータ内の配線に接続していた . しかし , PMOS と NMOS の影響を分離できず , リングオシレータ内のトランジスタが別々に影響を受けるため , 発振周波数変動をしきい値電圧変動に変換するのが難しい . 図 3.13 にこれらを解決するための提案回路を示す . 2.6 節で用いた電流スターブ型リングオシレータと同様であるが , スターブ用に挿入するトランジスタが 1 つではなく , 5 つである点が異なる . 挿入する 5 つのトランジスタは先の図 3.12 で示した異なる

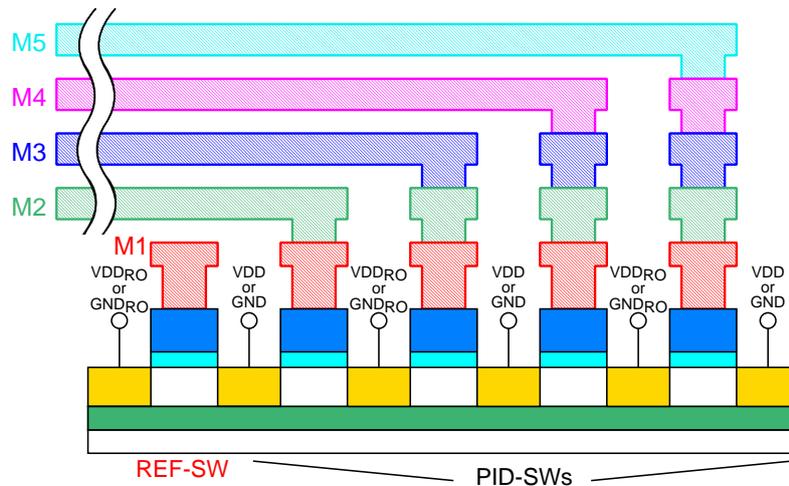


図 3.12: 配線層別のアンテナダメージ評価回路断面図．各 PID-SW にアンテナ比 2k となる別々の配線層を付加する．

る配線層をもつトランジスタである．図 3.13(a) , (b) はそれぞれ PMOS 評価用と NMOS 評価用の電流スターブ型リングオシレータである．基本構造は 2.6 節と同じである．この電流スターブ型リングオシレータにより，PMOS と NMOS の影響を分離してかつ，それぞれの配線層によるアンテナダメージの影響を評価可能である．リングオシレータは 11 段 NOR 型を用いる．

#### 制御回路単位ユニット

図 3.14 に電流スターブ型リングオシレータを用いるときの回路 1 ユニットを示す．ENFF およびカウンタ兼シフトレジスタ (COUNTSHIFTREG) は 2.4.3 節と同じ構造を用いる．スターブされたトランジスタの入力を制御するために，SW\_CKT (トランジスタ選択回路) と ANTGEN (スターブトランジスタ制御回路) を追加する．図 3.15 にスターブされたトランジスタを制御するために追加した回路を示す．それぞれの回路について以下で説明する．

#### ANTGEN (スターブトランジスタ制御回路)

図 3.15 の右側にある赤枠囲った部分は ANTGEN (スターブトランジスタ制御回路) である．ANTGEN はリングオシレータと同じ数搭載し，ENFF やカウンタ兼シフトレジスタと同様に直列接続している．スターブされたトランジスタの

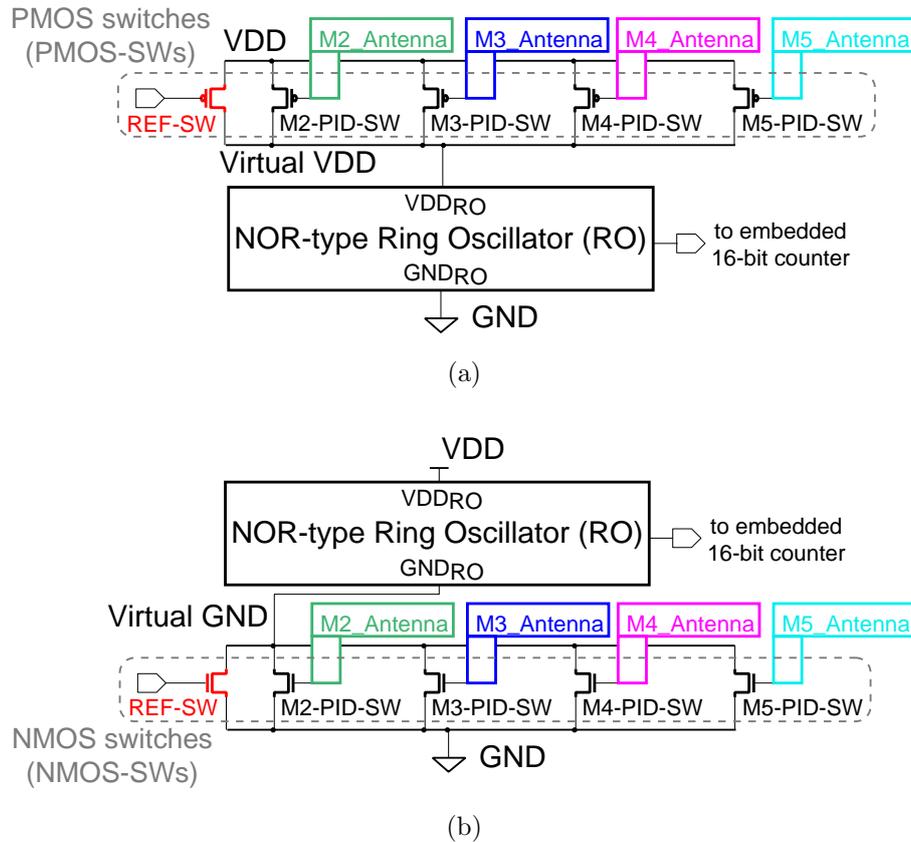


図 3.13: 配線層別の影響を評価するための電流スターブ型リングオシレータ。  
(a) PMOS 型 . (b) NMOS 型 .

入力に DFF の出力をつなげて , DFF の値を設定することで , トランジスタの ON , OFF を制御する .

PMOS のスターブされたトランジスタは入力が 0 のときに ON となる . これは , 各スターブされたトランジスタにつながっている DFF に保持される値が 0 であれば , ON となることに等しい . NMOS は入力が 1 のときに ON となるため , 入力にインバータ (INV) をつなげる . ただし , アンテナダメージをスターブされたトランジスタへ受けさせるために , アンテナ配線よりも INV を手前につなげてかつ , アンテナとなる配線より上層の配線を用いて INV の出力付近でつなげる . PMOS スターブトランジスタもバッファ (BUF) で同じことを行っている .

DFF の入力につけているセクタは , 全 DFF の値をセット (またはリセット) するか , 直列接続した前段の DFF の入力をシフトさせるかを選択する . セレク

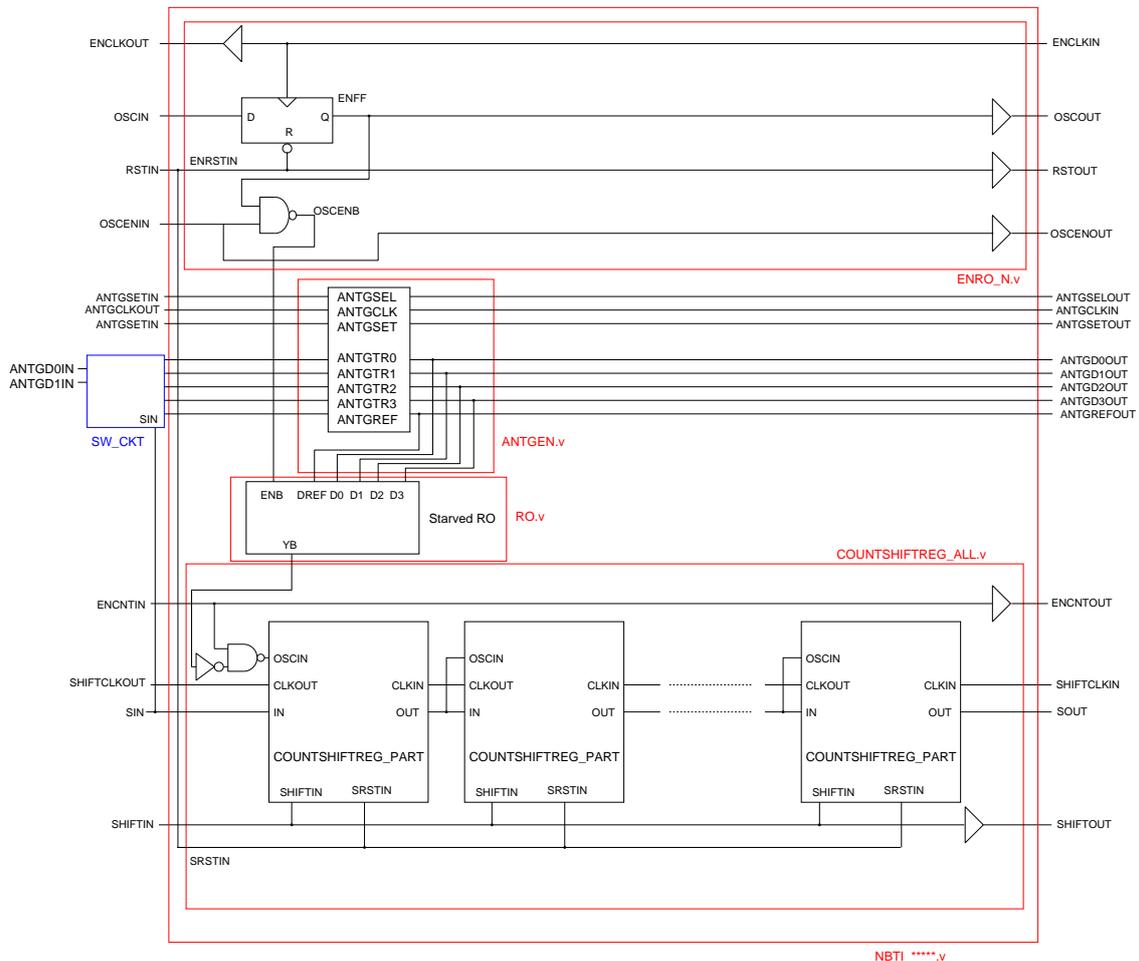


図 3.14: 電流スターブ型リングオシレータを用いるときの制御回路 1 ユニット。

タの選択信号に ANTGSELIN, 0 の入力に前段の DFF の出力, 1 の入力に入力ピン ANTGSETIN がそれぞれつながっている。選択信号が 1 のときに, クロック信号である ANTGCLKIN を 1 に立ち上げると, ANTGTR0~TR3 の DFF に ANTGSETIN の値が入り, REF 用の DFF は初段のみ SIN の反転された値が入る。逆に, 選択信号が 0 のときにクロックを立ち上げると, REF 用の DFF 全てに ANTGSETIN の値が入り, ANTGTR0~TR3 の前段の DFF の値が入る。測定開始前に全ての DFF に 1 を入れてリセットしたい場合, 選択信号を 0 かつ ANTGSETIN を 1 にしてクロックを立ち上げた後で, 選択信号を 1 にしてクロックを立ち上げる。1 回目のクロックで REF 用の DFF 全てに 1 が入り, 2 回目のクロックで ANTGTR0~TR3 の DFF 全てに 1 が入る。この 2 回目のクロックで, REF 用の初段の DFF

は SIN の反転した信号が入るため、SIN を 0 にしておく必要がある。

ON にするトランジスタを選択するときは、DFE のシフトレジスタとしての機能を利用する。選択信号が 0 の場合は ANTGTR0 ~ TR3 の DFE がシフトレジスタ構造となるため、ANTGCLKIN を立ち上げることで、前段の出力値が保持される。シフトレジスタとして 0 の値をシフトさせることで、スタブされたトランジスタを ON にする。REF 用の DFE の値をシフトさせるときは選択信号を 1 にする。

この ANTGEN はリングオシレータの数だけ直列につながっている。PMOS のスタブ型リングオシレータの後に、NMOS の電流スタブ型リングオシレータがつながっている。PMOS と NMOS の電流スタブ型リングオシレータで用いる ANTGEN はどちらも同じである。

### SW\_CKT (トランジスタ選択回路)

図 3.15 の左側にある青枠で囲った部分が SW\_CKT (トランジスタ選択回路) である。スタブされたトランジスタは 5 個あるが、各トランジスタの特性を個別に評価するため、どれか 1 つだけを ON にして測定する。それぞれのトランジスタに入力ピンをつけると、5 本必要となるが、測定するトランジスタ 1 つを選択できればよいため、3 本の入力ピンで選択する。元からある SIN (カウンタ兼シフトレジスタのシリアル入力ピン) と、新たな入力ピンとして用意した ANTGD0IN と ANTGD1IN の合計 3 本で選択する。ANTGD0IN と ANTGD1IN を 2 ビットの 2 進数の値とみなして ANTGTR0 ~ TR3 のどれを ON にするかを決め、REF のみ独立して SIN で決める。例えば、ANTGD0IN が 0 で、ANTGD1IN が 1 の場合、 $(10)_2$  で 2 となるため、ANTGTR2 のみが ON となる。これは SW\_CKT 内の NAND と INV による組み合わせ回路により自動的に決定される。REF を ON にする場合は SIN を 1 にする。

### 3.3.2 測定結果

アンテナダメージの影響を調べるために初期発振周波数を測定する。標準電圧 1.0 V、室温、 $28 \mu\text{s}$  の発振時間で測定する。評価する値は式 (3.1) で計算される周波数比率 ( $R_{\text{freq}}$ ) である。

$$R_{\text{freq}} = \frac{f_{\text{PID}}}{f_{\text{REF}}} \quad (3.1)$$

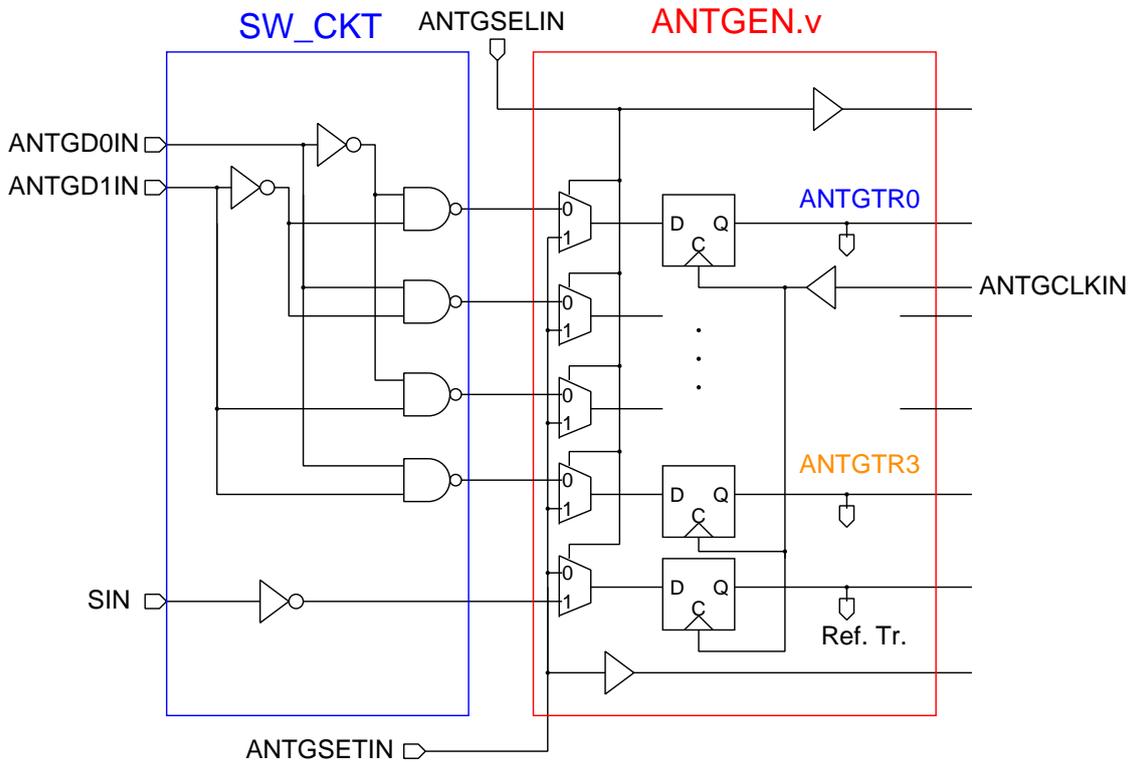


図 3.15: SW\_CKT (トランジスタ選択回路) と ANTGEN (スターブトランジスタ制御回路)。

ここで,  $f_{\text{REF}}$  と  $f_{\text{PID}}$  はそれぞれ REF-SW と各 PID-SW の周波数である.  $R_{\text{freq}}$  は発振周波数がどれだけ REF-SW と異なっているかを表す.

図 3.16 に 70 個の平均値を測定した結果を示す. エラーバーは 99% の信頼区間を表した標準誤差である. 図 3.16(a) の PMOS の結果では初期発振周波数が上層のアンテナであるほど減少している. M5 における周波数は参照用から 3.1% 減少しており,  $|V_{\text{th}}|$  がアンテナダメージによって増加していることがわかる. しかし, 図 3.16(b) の NMOS の結果ではアンテナダメージを受ける全てのトランジスタにおいて, 参照用トランジスタよりも発振周波数が高い. NMOS ではアンテナダメージによって  $|V_{\text{th}}|$  が減少していることを表す. この原因として high-k における正電荷によるダメージが考えられる [29]. 評価に用いた SOI のゲート酸化膜には SiON と薄い high-k がしきい値電圧を調整するために使われている. 図 3.17 で示すように, PMOS の SiON と high-k どちらが正電荷によるダメージを受けても,  $|V_{\text{th}}|$  は増加する. しかし, NMOS の high-k が正電荷によるダメージを受けると  $|V_{\text{th}}|$  は

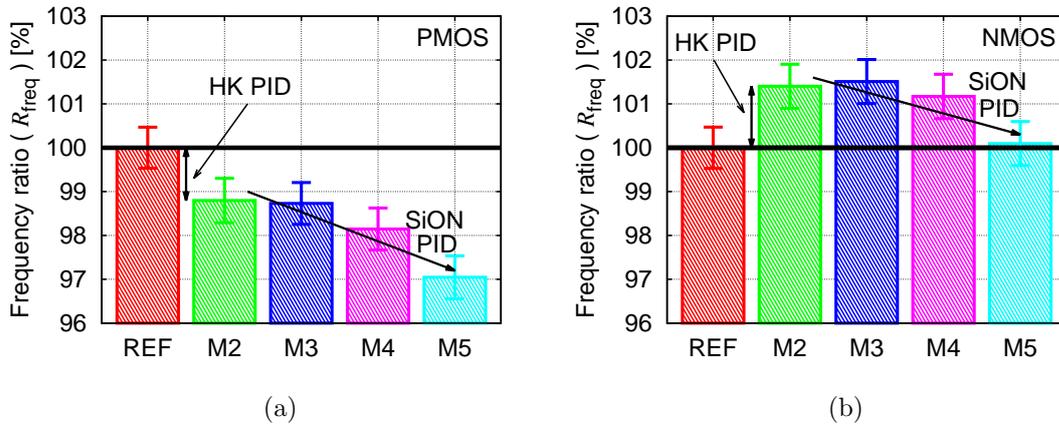


図 3.16: 配線層別の初期発振周波数測定結果．全てアンテナ比 2,000 での結果である．(a) PMOS 型．(b) NMOS 型．

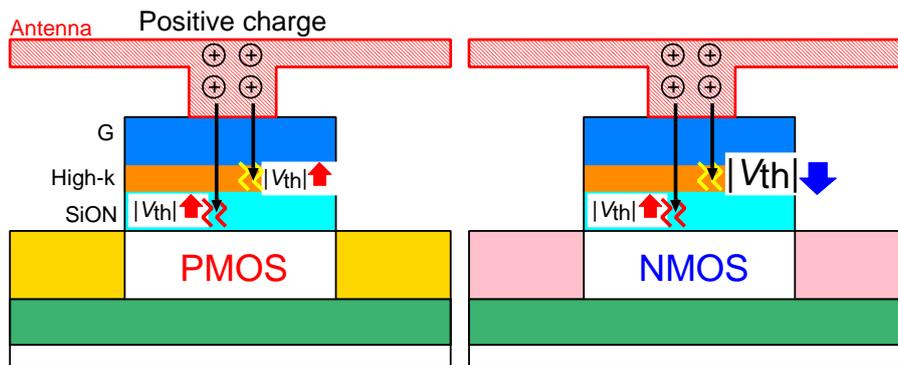


図 3.17: 正電荷によるしきい値電圧変動．PMOS では  $|V_{\text{th}}|$  が増加するが，NMOS の high-k が正電荷によるダメージを受けると  $|V_{\text{th}}|$  が減少する．

減少し，SiON の  $|V_{\text{th}}|$  は増加する．図 3.16 の結果から，どの配線層でも正電荷によるダメージを等しく受け，PMOS では  $|V_{\text{th}}|$  が増加して NMOS では減少するが，上層アンテナほど SiON へのアンテナダメージの影響が大きくなり， $|V_{\text{th}}|$  が増加すると考えられる．CMOS 構造において，アンテナダメージによる周波数変動は，下層アンテナでは PMOS と NMOS で相殺されるが，上層アンテナでは NMOS と PMOS どちらも  $|V_{\text{th}}|$  が増加するため，特性が劣化する．

表 3.2: Vth conversion results at time 0 degradation by PID.

$-\Delta V_{th}[\%]$	M2	M3	M4	M5
PMOS	3.8	3.7	5.6	8.4
NMOS	11	11	8.0	0.33

#### アンテナダメージのしきい値電圧変動量への変換

2.6 節で行った BTI のしきい値電圧変動量への変換をアンテナダメージに適用する．用いた回路および方法は 2.6 節と同じである．配線層別のアンテナダメージの影響をしきい値電圧変動量へ変換した結果を表 3.2 に示す．しきい値電圧変動量は最小で NMOS の M5 における 0.33%しかないが，最大で PMOS と NMOS それぞれ 8.4%と 11%変動している．配線層によってしきい値電圧変動量が異なるため，配線層別の影響を含んだアンテナダメージを考慮して設計する必要がある．

### 3.4 アンテナダメージによる BTI 劣化の加速

BTI とアンテナダメージのそれぞれについて評価したが，これら 2 つには相関があるとされている [11]．相関がある理由を図 3.18 に示す PMOS トランジスタの断面図を用いて説明する．トランジスタ製造後の配線加工工程である BEOL において，アンテナダメージによりゲート酸化膜中に欠陥が作られる．欠陥には捕獲と放出するのにかかる時間である時定数がそれぞれ存在する．これらの時定数は欠陥毎に異なり，どちらも  $10^{-9} \sim 10^9$  s まで幅広く存在する．素子を使い始めてすぐは，比較的時定数の小さな欠陥がキャリアを捕獲することで，しきい値電圧が増加する．使用する時間が長くなると，時定数の小さな欠陥だけでなく，大きな欠陥もキャリアを捕獲する．キャリアを捕獲する欠陥数が時間経過に従って多くなるため，しきい値電圧は時間経過により増加する．アンテナダメージにより多くの欠陥が BEOL で作られると，動作時にはキャリアを捕獲する欠陥が多く存在することになる．放出にかかる時定数の大きな欠陥がアンテナダメージによって作られると，捕獲されたキャリアが放出されないため，BTI による経年劣化が加速される．本章ではアンテナダメージによる BTI 劣化の加速を実測により評価する．ただし，評価に用いるプロセスは 65 nm であり，PBTI によってほとんど劣化しないため，アンテナダメージと NBTI の相関について評価する．

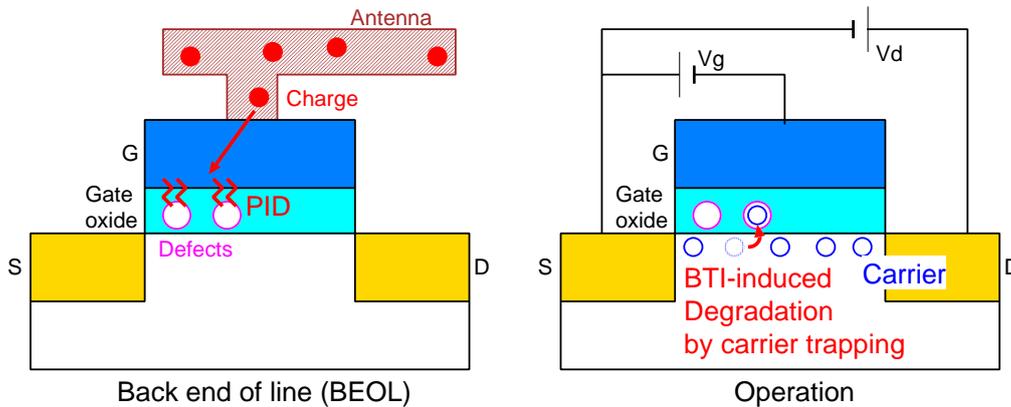


図 3.18: アンテナダメージによる酸化膜欠陥が引き起こす BTI 劣化 .

次節より，アンテナダメージと BTI の相関性を評価するための測定回路について述べる .

### 3.4.1 NOR の入力端子接続を工夫したリングオシレータ

評価回路として図 3.19 に示すような 11 段リングオシレータを用いる . 最終段の NOR の入力に面積の大きい配線をアンテナとして付加することで，最終段の NOR のみがアンテナダメージを受ける . 帰還配線は比較的長いため，初段の入力にダイオードを入れることで，初段の NOR が帰還配線によってダメージを受けないようにする . 他の NOR もアンテナダメージを受けないように配線はできるだけ短くし，アンテナ比が 20 以下となるように設計している .

アンテナダメージと NBTI の相関を見るために，最終段の NOR とそれ以外の NOR で入力の接続方法を変える . 図 3.20 は最終段以外に用いる NBTI 劣化を抑制する NOR である . 電源 VDD に近い方の PMOS<sub>A</sub> の入力を発振制御端子 ENB に接続することで，停止時の NBTI によるストレスを受ける際に PMOS<sub>B</sub> の  $V_{gs}$  はしきい値電圧程度となり，NBTI 劣化を抑制できる . 最終段の NOR はアンテナダメージを受けるため，NBTI による劣化を発生させて，アンテナダメージと NBTI の相関を確認する . 図 3.20 に最終段に用いる NBTI によって劣化する NOR を示す . ENB を PMOS<sub>B</sub> へつなぐことで，停止時に PMOS<sub>A</sub> の  $V_{gs}$  が  $-VDD$  となるため，NBTI によって劣化する .

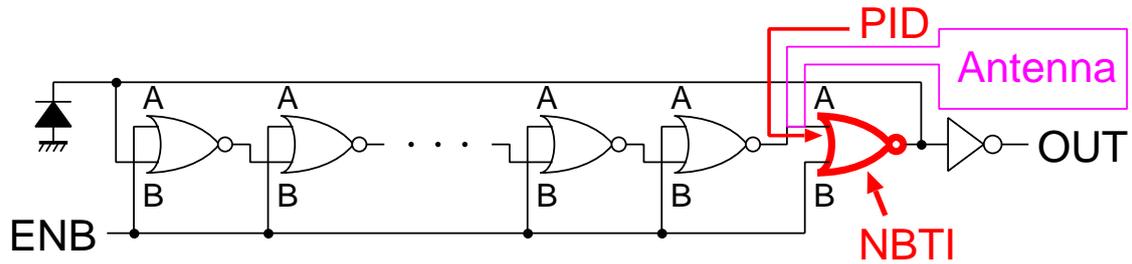


図 3.19: アンテナダメージと NBTI の相関を評価するための 11 段リングオシレータ。

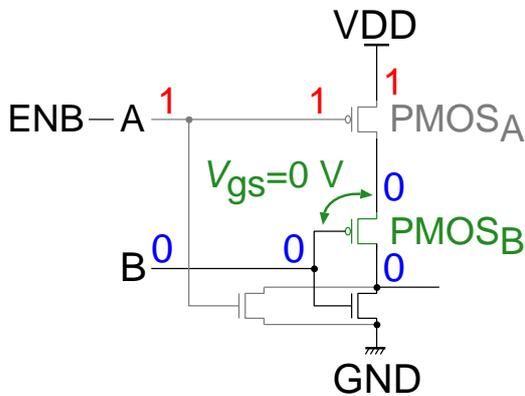


図 3.20: NBTI による劣化を抑制する NOR . 最終段以外に使用 .

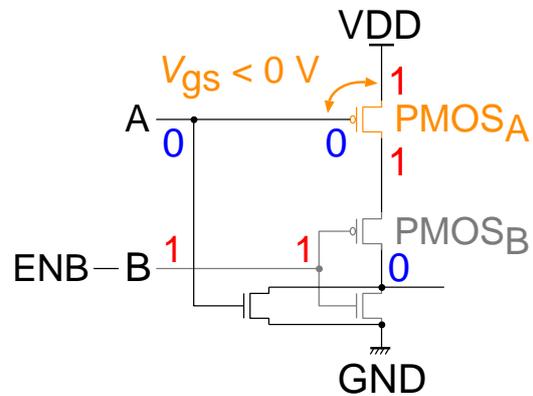


図 3.21: NBTI によって劣化する NOR . 最終段にのみ使用 .

### 3.4.2 アンテナ接続構造

試作した 4 つのアンテナ接続構造を図 3.22 に示す . M1 から M3 はそれぞれ第 1 層目から第 3 層目の金属配線である . M1 が最下層にあり , はじめに作られる . この回路では M2 をアンテナとして使用する . 図 3.22(a) は最もダメージを受ける構造として AG (Antenna is connected to the Gate) と名前をつける . M2 でたまる電荷が全てゲートに流れ , 最終段の NOR ゲートがアンテナダメージを受ける . 図 3.22(b) の DG (antenna is connected to the Drain and Gate) 構造はある程度アンテナダメージを緩和する . アンテナ M2 がドレインとゲートどちらにも接続されているため , 一部の電荷がゲートに流れ NOR がアンテナダメージを受け

るが、他の電荷はドレインを通じて基板へ流れる。図 3.22(c) の AD (Antenna is connected to the Drain) は最もダメージを受けにくい構造である。M2 を加工している途中ではドレインを通じて基板に電荷が流れ出て行き、NOR ゲートはダメージを受けない。図 3.22(d) の Diode は AG 構造のゲート近くにダイオードを入れた構造である。アンテナがゲートに接続されていても、アンテナの電荷がダイオードを通じて基板に流れるため、アンテナダメージを緩和できる。これらの異なった接続構造をもつ 4 つのリングオシレータをそれぞれ試作する。異なるのはアンテナ接続構造のみであり、NOR のレイアウトや配線など他の構造は同じである。

### 3.4.3 アンテナ比

アンテナ比は 500, 5k (5,000), 50k (50,000) の 3 種類を試作する。500 はアンテナルールの限界値である。通常集積回路設計において 5k のアンテナ比となる配線は存在しないが、アンテナダメージによる劣化を加速させて影響を確認しやすくするために、このような大きなアンテナ比を設計する。同じ構造のリングオシレータはアンテナ比 500, 5k, 50k がそれぞれ 96 個, 98 個, 70 個ある。

### 3.4.4 測定方法

NBTI を加速させるために電源電圧を 1.5 V、温度は恒温装置を用いて 80 °C とし発振周波数を測定する。リングオシレータの EN 端子を 0 (ENB 端子を 1) に固定することで BTI によるストレスを与え続ける。各測定点において EN 端子を 1 にすることで発振させて発振周波数を測定する。発振させる秒数は 24  $\mu$ s とする。EN を 0 にして NBTI によるストレスを与える時間は 10 s 以上に設定する。発振停止時の時間が発振している時間よりも長いため、NBTI によるストレスが支配的となる。

評価方法として、初期周波数からどれだけ劣化したかを見るために、発振周波数の劣化率 (Degradation Rate) を用いる。これは 2.4.4 節にある式 (2.3) と同じである。

### 3.4.5 測定結果

バルクにおける測定結果を図 3.23 に示す。図 3.23(a) ~ (c) はそれぞれアンテナ比 500, 5k, 50k の結果である。横軸は対数軸でストレス時間、縦軸は線形軸で

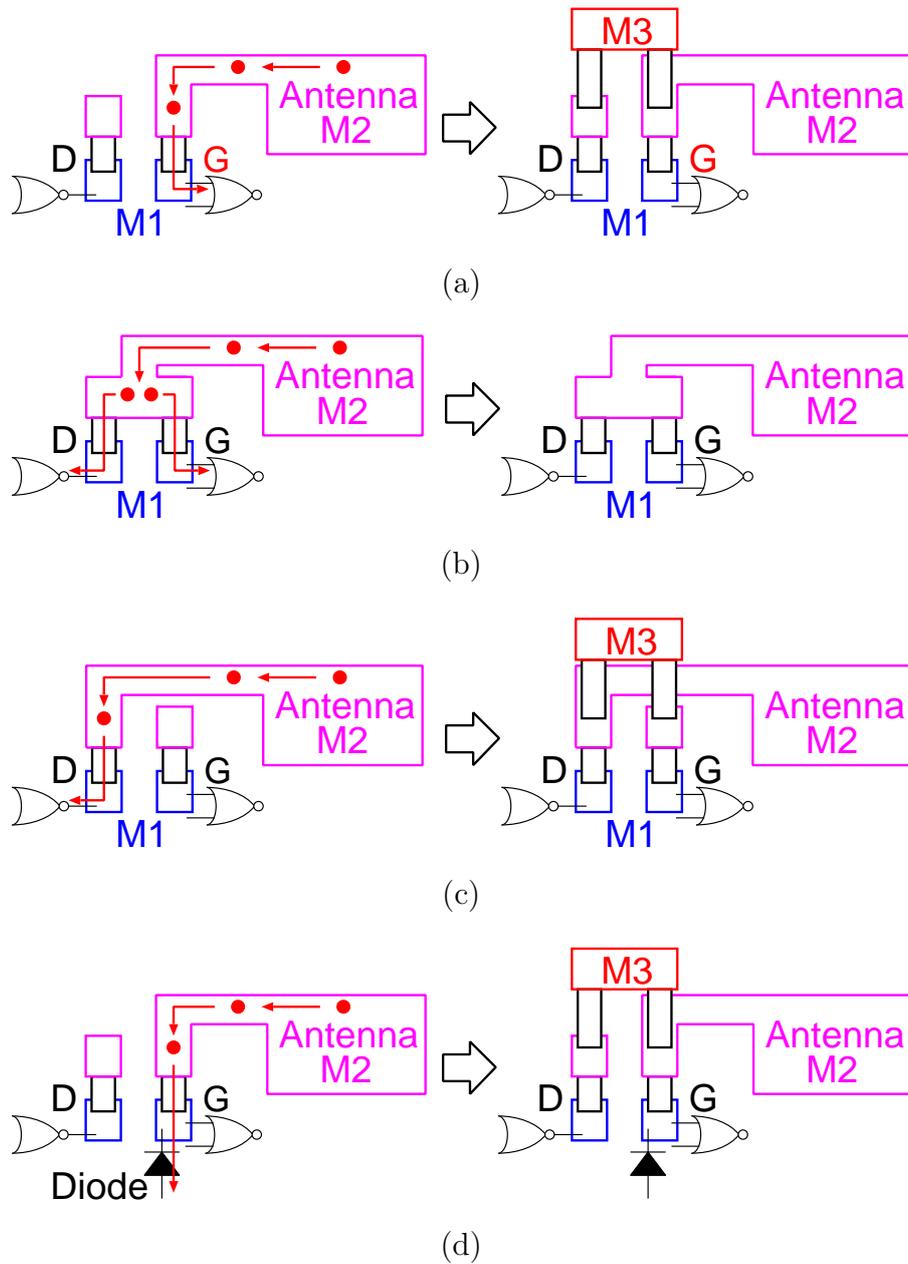


図 3.22: アンテナ接続構造。(a) AG 構造。アンテナの全電荷がゲートへ流れるためアンテナダメージを最も大きく受ける。(b) DG 構造。電荷がゲートとドレインの両方に流れるため、アンテナダメージを緩和する。(c) AD 構造。アンテナの全電荷がドレインへ流れるため、アンテナダメージを抑制する。(d) Diode 構造。アンテナがゲートにつながっていても、ダイオードを通じて基板へ電荷が流れる。

発振周波数の劣化率である。グラフの点が各時刻における劣化率の平均値であり、上にあるほどより劣化していることを表す。グラフの直線は近似線である。式(3.2)の  $a$  および  $b$  がどのような値になるかを最小二乗法によって求めた。Atomistic Trap-Based BTI model では劣化が時間  $t$  に対して  $\log(t)$  で劣化するため、発振周波数劣化率の近似線  $f(t)$  は式(3.2)とした。

$$f(t) = a * \log(t) + b \quad (3.2)$$

$b$  は時刻  $t = 1 \text{ s}$  のときの劣化率の値を表す。 $b$  は時間項とは関係ないため、劣化の度合いを表すものではない。 $a$  は時間に沿ってどの程度劣化するかを表す係数である。 $a$  が大きいほど、劣化の度合いが大きい。各測定結果での  $a$  の値を表 3.3 に示す。

バルクでのアンテナ比 500 では AG, DG, AD の全ての結果において、時間経過に従って劣化率が増加しているが、各時間において測定点が重なっているため、接続構造によって経年劣化による劣化率は変わらない。近似線もほとんど重なっている。表 3.3 の係数をみると、アンテナ比 500 における AG の  $a$  は 0.161 であり、AD の  $a$  は 0.157 である。AG と AD における係数差はほとんどない。周波数劣化率、劣化度合いを表すパラメータともにアンテナ比 500 では接続構造によって違いがなく、アンテナダメージによる NBTI への影響は小さい。

アンテナ比 5k でもアンテナ比 500 と同様に、測定値および近似線が構造間でほとんど同じである。近似線の係数  $a$  は AG で 0.181, AD で 0.173 であるため、両構造で同じである。アンテナ比 5k でも、アンテナダメージによって NBTI による劣化は加速されない。

アンテナ比 50k では、ダメージを受ける AG 構造は他の構造と比べて 1.5 倍以上劣化率が高い。近似線の係数  $a$  は AG で 0.374, AD で 0.331 である。アンテナ比 5k 以下と比較しても、アンテナ比 50k における構造間の差は大きい。アンテナ比 50k では、周波数劣化率だけでなく劣化度合いを表すパラメータも、ダメージを受ける AG 構造で増加している。アンテナ比 5k 以下のダメージの小さい構造では NBTI への影響がないが、アンテナダメージが大きくなると NBTI による劣化が加速する。しかし、アンテナ比が 50k であっても、DG, AD, Diode 構造は同じ劣化率である。アンテナがドレインまたはダイオードに接続されていれば、アンテナダメージによって NBTI による劣化は加速されにくい。アンテナルール上限値の 100 倍といった大きなアンテナ配線でなければ、アンテナダメージによ

表 3.3: AG と AD 構造のフィッティングパラメータ  $a$  .

	AG	AD	Difference b/w AG and AD
AR500:Bulk	0.161	0.157	0.004
AR500:SOTB	0.240	0.236	0.004
AR50k:Bulk	0.374	0.331	0.043
AR50k:SOTB	0.375	0.322	0.053

て NBTI による劣化は加速されないため、通常の設計ではアンテナダメージによる NBTI への影響はほとんど問題ないといえる。

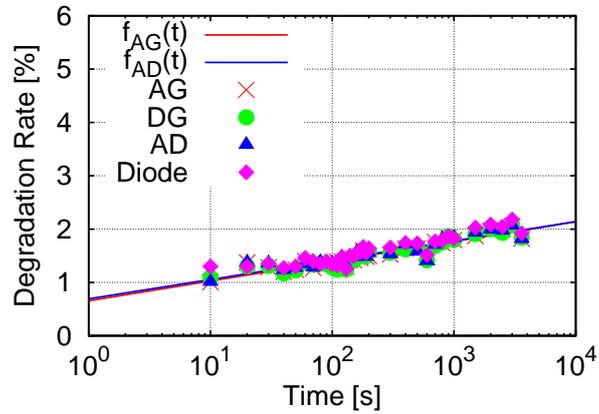
Thin-BOX FDSOI での結果を図 3.24 に示す。図 3.24(a) ~ (c) はそれぞれアンテナ比 500, 5k, 50k の結果である。これらの結果は図 3.23 のバルクでの結果とほぼ同じである。Thin-BOX FDSOI での係数  $a$  は AG で 0.375, AD で 0.322 である。係数で比較しても Thin-BOX FDSOI におけるアンテナダメージの影響はバルクと同じであり、ドレイン接続によりバルクと同様に緩和できる。

### 3.5 3章まとめ

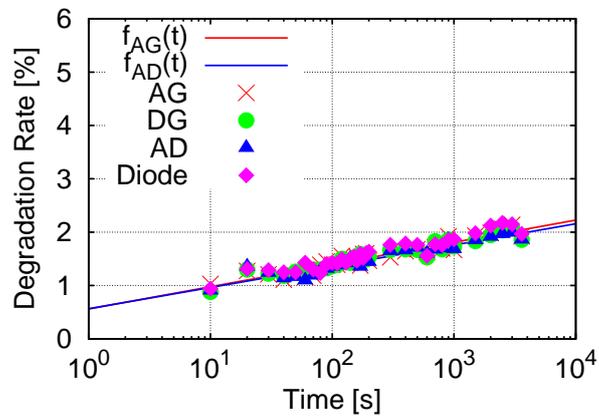
本章では、ゲート酸化膜に欠陥ができる原因として考えられるアンテナダメージの影響を実測評価した。トランジスタ形成後の配線加工工程などの BEOL では避けられない問題であるため、実測評価が重要となっている。3.2 節では評価回路として用いたプロセスでの設計ルール上限値であるアンテナ比 500 付近において、アンテナ比によるアンテナダメージの影響を検証した。発振経路の 1ヶ所のみアンテナを付加した 11 段リングオシレータを試作して、発振周波数を測定することで評価を行った。アンテナ比 600 以下では、アンテナ比によらず発振周波数は一定であった。しかし、アンテナ比 600 を超えると、アンテナ比増加に伴って発振周波数が減少した。設計ルールの上限値であるアンテナ比 500 と比べて、アンテナ比 1,000 での発振周波数は 2.2% 減少した。10 年動作などを考えた信頼性保証のためにはルールを守る必要があるが、アンテナ比が 1,000 であってもトランジスタは壊れなかったため、設計ルールを破ってもすぐに壊れて動作しなくなることはない。しかし、ルールを破る際にはアンテナ比に応じた設計余裕を考慮すべきである。しきい値電圧の劣化傾向は通常のバルクと SOI で同じであるため、設計余裕をバルクと SOI で変える必要はない。

近年の集積回路における多層配線化に伴い、配線層によるアンテナダメージが異なる可能性を考慮し、3.3 節で配線層によるアンテナダメージの影響を実測評価した。異なる配線層を付加した電流スタブ型リングオシレータを用いることで、各配線層でのアンテナダメージの影響評価を可能とした。アンテナを付加しない参照用と、M2 から M5 の配線層におけるアンテナダメージの影響を比較した。実測した結果、PMOS では上層アンテナほど初期周波数が減少した。NMOS ではアンテナダメージを受けると周波数が増加するが、上層アンテナほど減少する。どのアンテナ層でも正電荷によるダメージを等しく受け、PMOS では  $|V_{th}|$  が増加して NMOS では減少するが、上層アンテナほど SiON へのアンテナダメージの影響が大きくなり、 $|V_{th}|$  が増加すると考えられる。CMOS 構造において、アンテナダメージによる周波数変動は、下層アンテナでは PMOS と NMOS で相殺されるが、上層アンテナでは NMOS と PMOS どちらも  $|V_{th}|$  が増加し、回路性能が悪くなるため、上層アンテナほど設計時にアンテナダメージの影響を考慮する必要がある。2.6 節で述べた同様の方法で、アンテナダメージによる発振周波数変動量をしきい値電圧変動量に変換した。アンテナ比 2k において 0.33% としきい値電圧変動量の小さいものもあるが、最も変動するときでは、PMOS と NMOS それぞれで 7.7% と 11% 変動するため、配線層によるアンテナダメージは設計時において考慮すべきである。

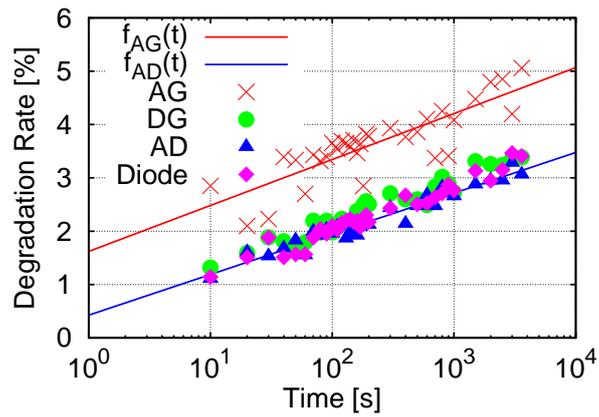
アンテナダメージによって生成される欠陥によって BTI 劣化が加速することが考えられるため、3.4 節でアンテナダメージによる BTI 劣化加速を実測評価した。最終段にアンテナを付加したリングオシレータを用いて実測した結果、アンテナ比 5k 以下ではアンテナダメージによって BTI 劣化は加速されないことがわかった。しかし、アンテナ比 50k ではダメージを受ける構造は抑制する構造に比べて、発振周波数の劣化率が約 1.5 倍となる。アンテナダメージが大きくなると経年劣化は増加するが、アンテナルール上限値の 100 倍といった大きな配線でなければアンテナダメージによって BTI 劣化は加速されない。通常的设计では上限値の 100 倍といった長い配線は作られないため、アンテナダメージによる BTI への影響はほとんど問題ないといえる。



(a)

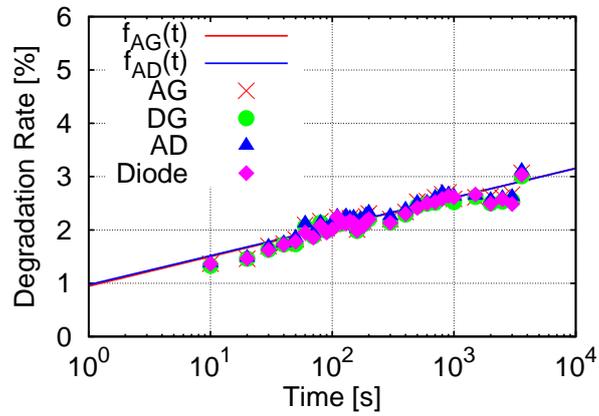


(b)

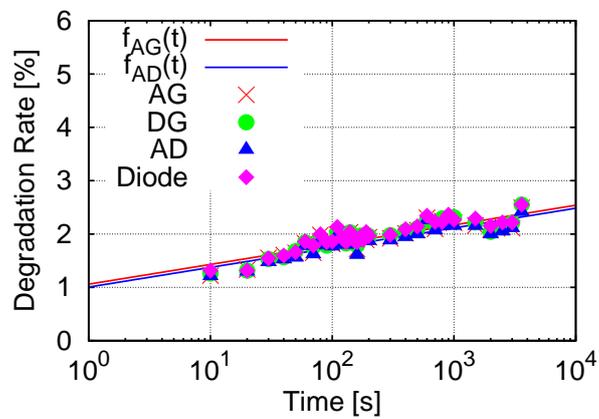


(c)

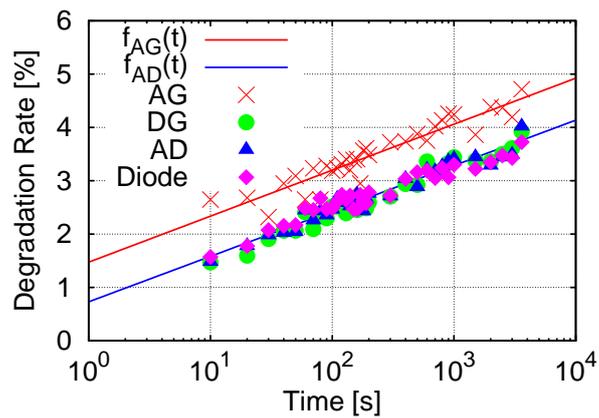
図 3.23: バルクでの NBTI による経年劣化測定結果 . (a) AR500 . (b) AR5k . (c) AR50k .



(a)



(b)



(c)

図 3.24: Thin-BOX FDSOI での NBTI による経年劣化測定結果 . (a) AR500 . (b) AR5k . (c) AR50k .



## 第4章 ランダムテレグラフノイズ (RTN)

本章では動的なしきい値電圧変動現象である RTN について述べる。RTN について説明した後、RTN のモデル化と実測評価について述べる。

近年の急速な MOSFET の微細化にともない、様々な信頼性問題が顕在化してきている。トランジスタの特性ばらつきはとりわけ重大な問題であり、高信頼性が求められる集積回路において深刻な影響を及ぼす。特性ばらつきは、大きく静的な特性ばらつきと動的な特性変動に分けられる [21]。静的な特性ばらつきは、製品の製造時にトランジスタの特性が決まり、チャンネル部分に不純物をドーピングする際に不純物の数がばらつく Random Dopant Fluctuation (RDF) などがその要因として挙げられる。一方で、動的な特性変動の一つであるランダムテレグラフノイズ (Random Telegraph Noise, RTN) もスケールングにともなう問題として顕著になっている。

RTN は MOSFET のゲートに電圧が印加されたときに、ドレイン電流値が一時的に変動する現象である [30]。RTN の影響はこれまでに、CMOS イメージセンサ [31]、フラッシュメモリ [32]、SRAM [33] といった集積回路において深刻な影響を及ぼすことが報告されている。RTN の影響はゲート面積に反比例することが知られているため、ナノメートルプロセスでの設計では RTN の影響を正確に予測する手法が必要となる [34]。RTN はゲート酸化膜に生じた欠陥によるしきい値電圧変動としてモデル化されている [35]。RTN シミュレーションについてはすでに文献 [36]、[37] などで行われているが、これらはいずれも単一の欠陥のみを取り扱っている。本章では、回路レベルにおける RTN シミュレーション手法を提案する。実際の MOSFET には複数の欠陥がゲート酸化膜に存在するため、複数の欠陥に対応したモデルを構築する。このモデルは、RTN によるキャリアの捕獲および放出による電流値変動がしきい値電圧の変動値によるものと扱っているため、電圧源として振る舞う。この電圧源を MOSFET のゲートに接続することで RTN を擬似的に引き起こすことができる。リングオシレータにおける発振周波数の時間的な変動をシミュレーションする。本手法を用いることで、測定では観測できないような微小時間における RTN や、あるいは長時間にわたる RTN の影響を検証することが可能になる。

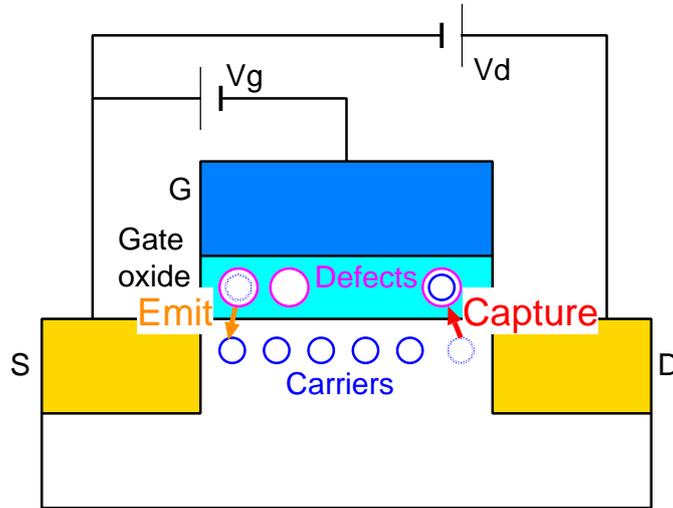


図 4.1: MOSFET における RTN のメカニズム .

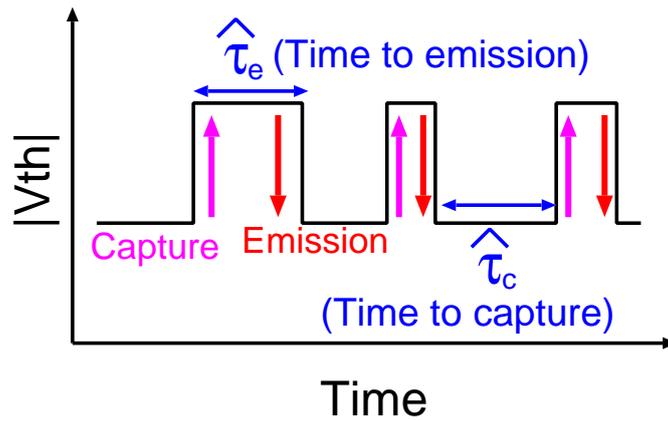


図 4.2: 単一欠陥における RTN 起因のしきい値電圧変動 .

#### 4.1 物理に基づく RTN モデルの回路シミュレーションへの適用

本節では, RTN の物理的なメカニズムと RTN のモデル化について述べた後, 回路シミュレーションにおけるしきい値電圧の変動手法について説明する.

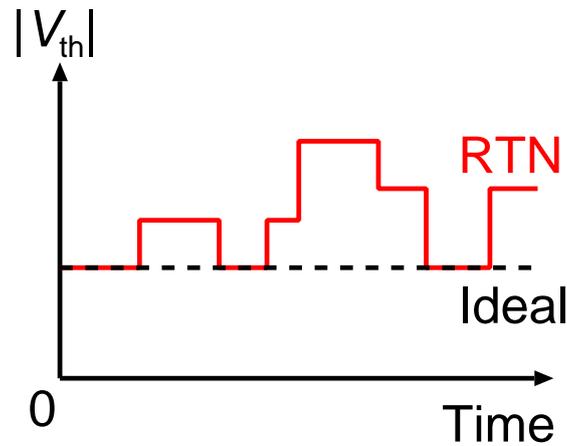


図 4.3: 複数欠陥における RTN によるしきい値電圧変動。

#### 4.1.1 RTN の物理的メカニズムとモデル化

図 4.1 に示すように, RTN は MOSFET のゲート酸化膜に生じた欠陥にチャネルを流れるキャリアが捕獲, 放出されることで生じる一時的な特性変動である. この特性変動はしきい値電圧の変動として表される [30]. 図 4.2 はある 1 つの欠陥における, RTN に起因するしきい値電圧の時間的変動の模式図である. 欠陥の捕獲, 放出までの平均時間をそれぞれ  $\tau_c$  および  $\tau_e$  と呼ぶ. これらの時定数はゲート電圧  $V_{gs}$  に依存し,  $|V_{gs}|$  が大きくなると  $\tau_e$  は増加し,  $\tau_c$  は減少する [33]. 1 つの欠陥を対象とした場合, しきい値電圧は図 4.2 のように 2 状態をとり, しきい値電圧変動値は欠陥ごとに一定である [38]. キャリアを捕獲するとしきい値電圧は増加し, 捕獲されたキャリアが放出されるとしきい値電圧は元に戻る. 複数の欠陥がゲート酸化膜中に存在する場合には, 図 4.3 のようにしきい値電圧は多段に変化する. 実測で観測されるのはこのような波形であり, ゲート酸化膜中の欠陥に基づくこの現象を Charge Trapping Model (CTM) と呼ぶ. ここではこの CTM に基づいて RTN の回路シミュレーション手法を提案する.

CTM は欠陥ごとのしきい値電圧変動値  $\Delta V_{th\_trap}$ , 時定数  $\tau$ , 欠陥数  $n$  といったパラメータを持つ.  $\Delta V_{th\_trap}$  は指数分布,  $\tau$  は 2 章で述べたように  $10^{-9} \sim 10^9$  s にわたって対数一様分布する [35, 39].  $n$  はトランジスタごとに異なり, ポアソン分布に従うことが知られている [40].  $n$  の期待値を  $N$  とすると,  $n$  の分布の確率密度

関数  $P(n)$  (Probability Density Function, PDF) は式 (4.1) で表される.

$$P(n) = \frac{N^n e^{-N}}{n!} \quad (4.1)$$

欠陥数  $n$  の期待値  $N$  は式 (4.2) で計算される.

$$N = DLW \quad (4.2)$$

ここで,  $D$  は単位面積あたりの欠陥数であり, 文献 [30, 40] を参考に  $D = 4.0 \times 10^{-3} \text{ nm}^{-2}$  とする.  $L$  と  $W$  はそれぞれゲート長とゲート幅である.  $\Delta V_{\text{th\_trap}}$  の確率密度関数  $P(\Delta V_{\text{th\_trap}}, \eta)$  は式 (4.3) で表される.

$$P(\Delta V_{\text{th\_trap}}, \eta) = \frac{1}{\eta} \exp\left(-\frac{\Delta V_{\text{th\_trap}}}{\eta}\right) \quad (4.3)$$

ここで,  $\eta$  は  $\Delta V_{\text{th\_trap}}$  の期待値であり, 式 (4.4) より得られる.

$$\eta = \frac{s}{LW} \quad (4.4)$$

ここで,  $s$  は  $\eta$  の係数であり, 文献 [41] を参考に  $s = 9 \text{ V} \cdot \text{nm}^2$  とする.  $\Delta V_{\text{th\_trap}}$  と  $\tau$  の相関の有無は明らかにされていないため, 本稿では無相関であるとする. これらのパラメータが各分布に従うものとして値を乱数により生成する.

#### 4.1.2 回路シミュレーションにおける MOSFET への RTN の組み込み

回路シミュレーションにおいて, しきい値電圧を動的に変動させる方法として, 前もって変動する電圧波形を用意したうえでシミュレーションする方法がある. しかし,  $\tau$  はゲート電圧に依存するため, この方法でシミュレーションを行うことは不可能である. ここでは, 可変電圧源を用いた Verilog-A モジュールによるシミュレーション方法を提案する.

MOSFET のモデルとして BSIM (Berkeley Short-channel IGFET Model, [42]) と HiSIM (Hiroshima-University STARC IGFET Model, [43]) を用いる. BSIM ではデバイスパラメータを変化させることで, しきい値電圧を静的に変動させることができるが, このデバイスパラメータをシミュレーション中に変化させることはできない. そこで図 4.4 (a) に示すように, Verilog-A で記述された可変電圧源を MOSFET のゲートに接続し, オーバードライブ電圧  $V_{\text{ov}} (= V_{\text{gs}} - V_{\text{th}})$  を変化

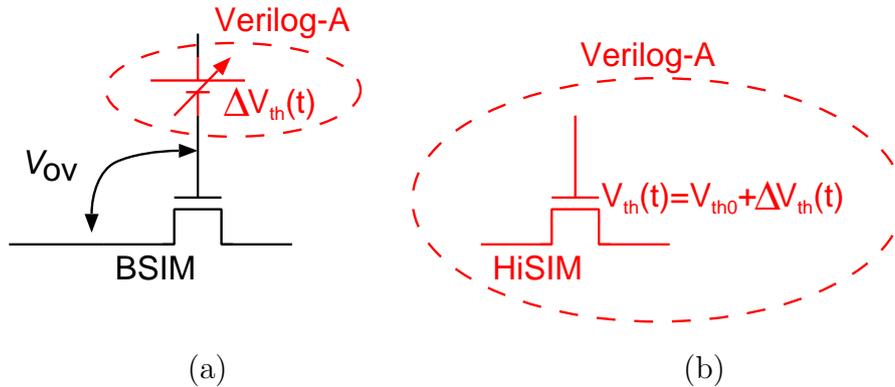


図 4.4: 回路シミュレーションにおけるしきい値電圧の変動手法.

- (a) BSIM . Verilog-A で記述された可変電圧源を接続し,  $V_{OV}$  を動的に変動させる.  
 (b) HiSIM . しきい値電圧の変動を Verilog-A で記述し, 動的にしきい値電圧を変化させる.

させることで RTN を擬似的に再現する. この可変電圧源を “RTN モジュール” と呼ぶ. HiSIM は図 4.4 (b) のようにトランジスタのモデルが Verilog-A で記述されているためしきい値電圧を直接的かつ動的に変動させることができる. そのため, RTN モジュールと同じ動作をする記述を Verilog-A 内に書き加えることで, RTN によるしきい値電圧変動を再現する.

### 4.1.3 RTN モジュールの動作機構

本節では RTN モジュールの詳細について述べる. 図 4.5 は RTN 起因のしきい値電圧変動を計算するためのフローチャートである. RTN の計算に用いるパラメータは表 4.1 に示すとおりである. まず MOSFET の欠陥数  $n$ , 欠陥のしきい値電圧変動値  $V_{th\_trap}$ , 欠陥の時定数  $\tau$  を初期化する. 次に, キャリアの捕獲・放出の判定を過去の状態に依存しないマルコフプロセスに基づいて行う. この工程を全ての欠陥に対して繰り返し, ある時刻における欠陥の状態が全て決まると, 捕獲されている欠陥の  $\Delta V_{th\_trap}$  に従って MOSFET 全体のしきい値電圧変動値  $\Delta V_{th}$  を計算する. 図 4.5 中において,  $A_j$  は  $j$  番目の欠陥の捕獲状態を表す. “High state” は欠陥がキャリアを捕獲し, しきい値電圧が高い状態を指し, “Low state” は欠陥がキャリアを放出してしきい値電圧が低い状態を指す. 状態が “High” であれば  $A_j = 1$  に, 逆に “Low” なら  $A_j = 0$  となる.  $P_{LH}$  は状態が “Low” から “High” へと遷移

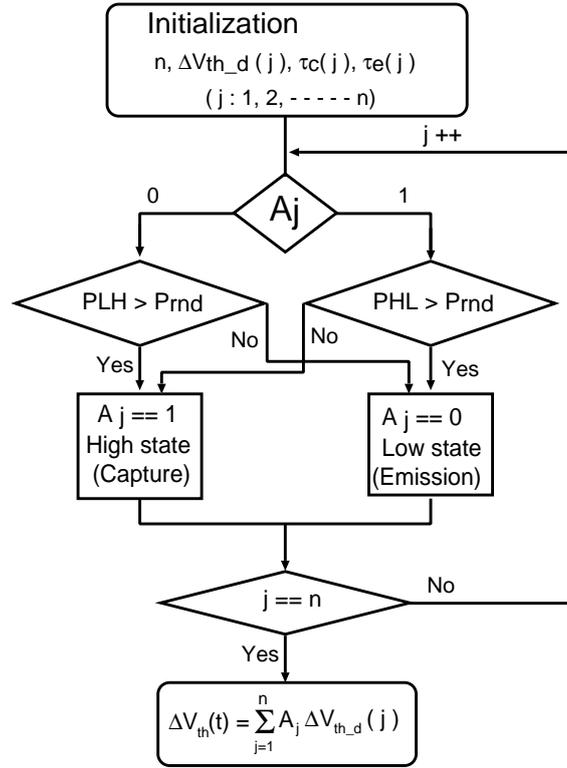


図 4.5: RTN モジュールのフローチャート. このフローチャートは欠陥ごとにループする.

する確率であり,  $P_{HL}$  はその逆である.  $P_{LH}$  と  $P_{HL}$  は式 (4.5), (4.6) により決定される.

$$P_{LH} = 1 - \exp\left(\frac{-T_{\text{unit}}}{\tau_c}\right) \quad (4.5)$$

$$P_{HL} = 1 - \exp\left(\frac{-T_{\text{unit}}}{\tau_e}\right) \quad (4.6)$$

$T_{\text{unit}}$  はシミュレーションの単位時間である. 欠陥の状態はこの遷移確率  $P_{LH}$  (または  $P_{HL}$ ) と  $0 \sim 1$  までの乱数  $P_{\text{rnd}}$  を比較することで決まる. この流れを欠陥数  $n$  だけ繰り返し, 全ての欠陥の状態を決定する. 全ての欠陥の状態が定まると式 (4.7) によって, ある時刻でのしきい値電圧変動値  $\Delta V_{\text{th}}$  が求まる.

$$\Delta V_{\text{th}}(t) = \sum_{j=1}^n A_j \Delta V_{\text{th\_trap-j}} \quad (4.7)$$

表 4.1: RTN シミュレーションに用いるパラメータ.

パラメータ名	説明
$L$	ゲート長
$W$	ゲート幅
$n$	ゲート酸化膜中の欠陥数
$N$	$n$ の期待値
$D$	単位面積あたりの欠陥数
$\Delta V_{th\_trap}$	欠陥ごとのしきい値電圧変動値
$\eta$	$\Delta V_{th\_trap}$ の期待値
$s$	$\eta$ の係数
$\tau_c$	キャリアの平均放出時間
$\tau_e$	キャリアの平均捕獲時間
$T_{unit}$	シミュレーションの計算ステップ
$P_{LH}$	キャリアの捕獲確率
$P_{HL}$	キャリアの放出確率

## 4.2 RTN シミュレーション結果

はじめに RTN モデルが正しく構築されているか、単体 NMOS でドレイン電流の変動量を解析する。その後、RTN モデルをリングオシレータ内のトランジスタに適用することで、発振周波数の時間変動をシミュレーションにより確認する。

### 4.2.1 単体 NMOS の RTN によるドレイン電流変動

4 節で述べたモデルを構築し、単体 NMOS においてドレイン電流の時間的変動を過渡解析する。シミュレーション条件を表 4.2 に示す。BSIM、HiSIM とともに公開されている 65 nm プロセスを用いる。

図 4.6 に BSIM による単体 NMOS でのドレイン電流変動シミュレーション結果を示す。図 4.6 の上側の図はドレイン電流であり、下側は捕獲されたキャリア数である。ドレイン電流が捕獲されたキャリア数分だけ変動していることがわかる。図 4.7 に 2 つの NMOS におけるドレイン電流変動シミュレーション結果を示す。図 4.7(a)、(b) はそれぞれ BSIM と HiSIM における結果である。各トランジスタで設定された時定数などのパラメータや乱数が異なるため、各トランジスタは異なる

表 4.2: 単体 NMOS のシミュレーション条件.

説明	パラメータ	値
ゲート長	$L$	65 nm
ゲート幅	$W$	260 nm
ゲート・ソース間電圧	$V_{GS}$	1.0 V
ドレイン・ソース間電圧	$V_{DS}$	1.0 V
ソース電圧	$V_S$	0 V
ボディ電圧	$V_B$	0 V
シミュレーションの計算ステップ	$T_{unit}$	1 ns
シミュレーション時間		1 $\mu s$

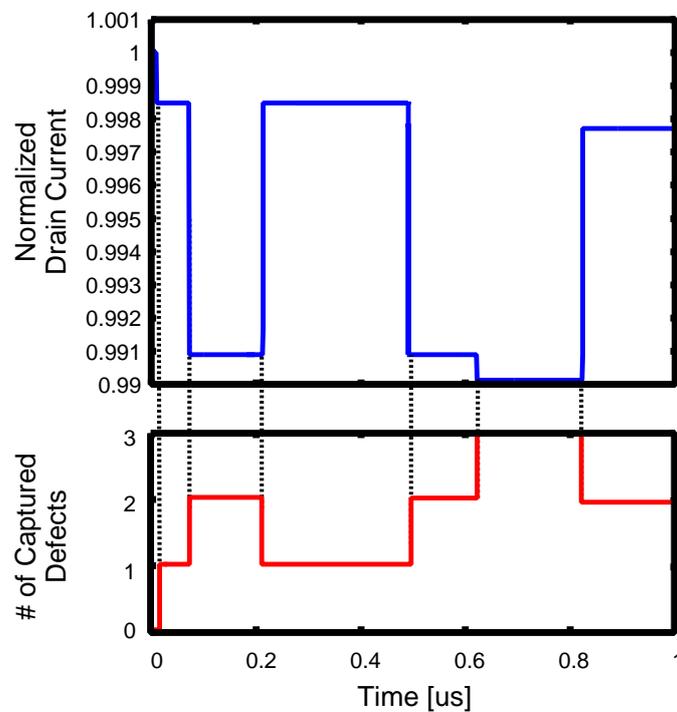


図 4.6: 単体 NMOS におけるシミュレーション結果．上側はドレイン電流，下側は捕獲されたキャリア数を表す．

RTN による挙動となっている．時定数だけでなく，電流量もトランジスタ間で異なっており，BSIM，HiSIM とともに RTN モデルを構築できていることがわかる．

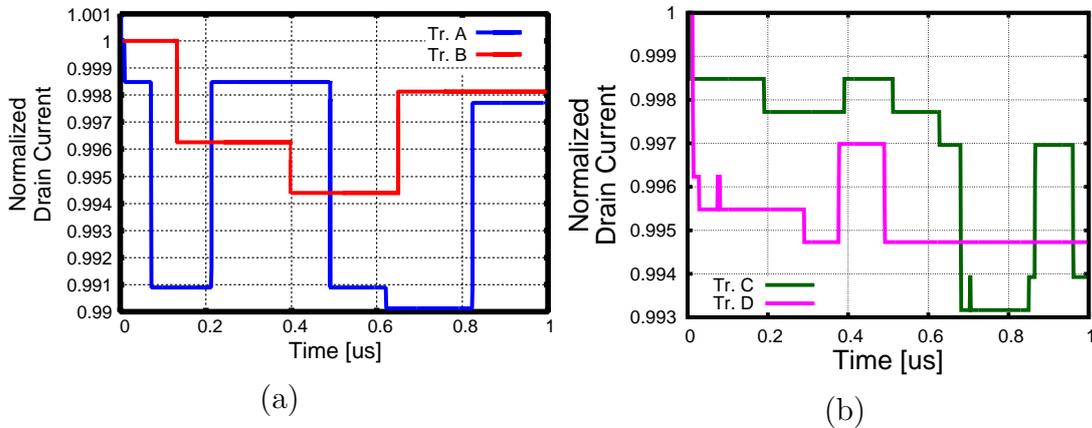


図 4.7: 2つのNMOSにおけるドレイン電流変動シミュレーション結果。(a) BSIMでの結果。(b) HiSIMでの結果。

#### 4.2.2 発振周波数の時間的な変動

図 4.8 は BSIM を用いた場合の CMOS インバータによって構成されたリングオシレータである。各トランジスタのゲートには RTN モジュールを接続する。今回は検証対象に 3 段のリングオシレータを用いる。これは、リングオシレータの段数が少ないほど RTN の影響が平均化されずより大きなばらつきを観測できるためである [38]。リングオシレータにおけるシミュレーション条件を表 4.3 に示す。HiSIM では、RTN モジュールを接続するのではなく、MOSFET としてモデル化された Verilog-A 内に RTN を発生させる式を記述し、MOSFET そのものを置き換える。

図 4.9 にリングオシレータにおける発振周波数のシミュレーション結果を示す。図 4.9(a) は BSIM における発振周波数変動の結果である。横軸は時間、縦軸は発振周波数の最大値で正規化した発振周波数である。発振周波数が時間的にランダムに変動し、最大で 1.8 % ほど変動している。図 4.9(b) は HiSIM での結果であるが、こちらも BSIM と同様に周波数変動が見られる。図 4.9 のリングオシレータにおけるパワースペクトル密度 (Power Spectral Density, PSD) を図 4.10 に示す。パワースペクトル密度は波の周波数成分の強度を表したものであり、RTN によるノイズは  $1/f^2$  に比例することが知られている [37]。縦軸が PSD で、横軸が周波数であり、どちらも対数軸である。BSIM, HiSIM のどちらも PSD の傾きが  $1/f^2$  であるため、周波数の変動が RTN に起因するものであることが確認できる。シミュレーションにかかる時間は RTN モジュールを入れないものと比べて約 2 倍である

表 4.3: リングオシレータにおけるシミュレーション条件.

名前	パラメータ	値
ゲート長	$L$	65 nm
NMOS のゲート幅	$W_n$	260 nm
PMOS のゲート幅	$W_p$	450 nm
電源電圧	VDD	0.5 V
シミュレーションの計算ステップ	$T_{\text{unit}}$	1 ns
シミュレーション時間		200 ns

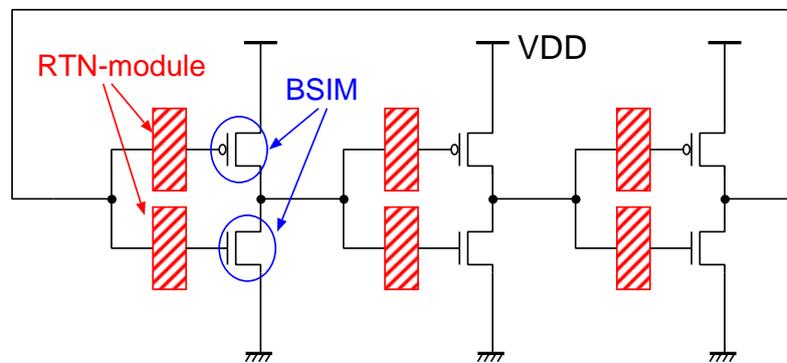


図 4.8: RTN モジュールを組み込んだ 3 段リングオシレータのシミュレーション回路 .

が，構築した RTN モデルは，回路シミュレーションにおいて単体 MOSFET だけでなく，リングオシレータといった回路にも適用可能である .

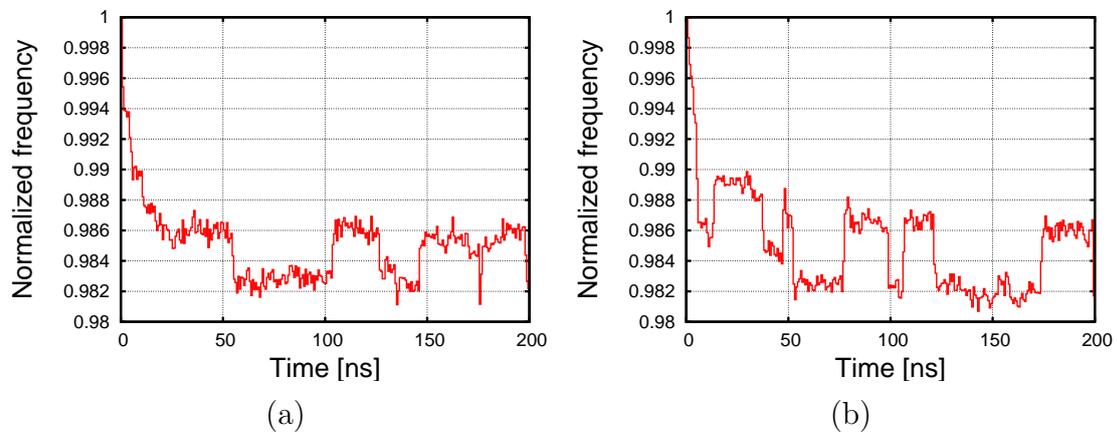


図 4.9: リングオシレータにおける発振周波数の時間変動. (a) BSIM での結果, (b) HiSIM 出の結果. どちらも RTN の影響により, 発振周波数が時間的にランダムに変動している.

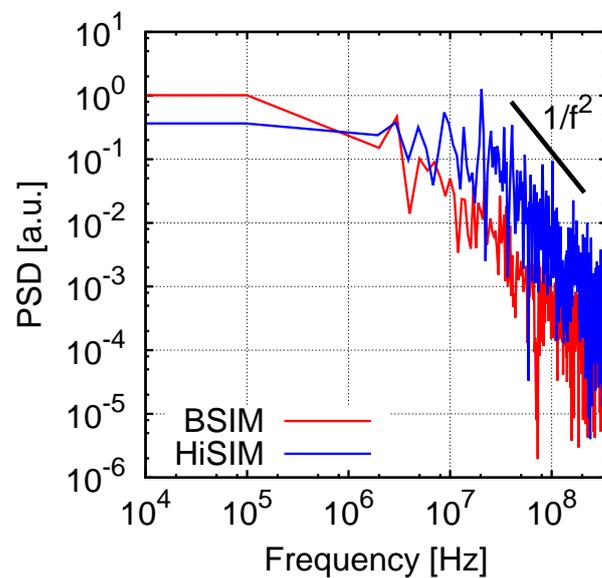


図 4.10: 図 4.9 のリングオシレータにおける周波数変動のパワースペクトル密度.  $1/f^2$  であることから, RTN の影響を再現できている.

### 4.3 RTN 実測評価回路設計

単体 MOSFET における RTN 実測結果は多く報告されているが、リングオシレータなどの集積回路における RTN の結果は少ない。単体 MOSFET の測定では個々のトランジスタの特性を評価できるが、1つ1つ測定する必要があるため、複数評価に向いていない。リングオシレータを用いた測定は、チップにカウンタを搭載することで比較的簡単に測定可能である。一般的なリングオシレータにおける RTN 測定は、1つの RO で各時刻での周波数測定を何度も行い、最大と最小の周波数差がどれだけあるかで評価する [38]。しかし、何度も測定を行うため、データ量が膨大になり測定に時間がかかるだけでなく、CMOS 構造であるため、NMOS と PMOS の影響を分離できない。ここで提案する回路はチップ内で最大と最小の周波数差を自動で計算して、測定効率を上げてかつ、NMOS または PMOS のみのリングオシレータにすることで、それぞれの影響のみを評価できる。

#### 4.3.1 RTN 提案測定回路

本節ではリングオシレータで高効率かつ、NMOS と PMOS の影響を分離できる回路を提案する。

##### 最大および最小周波数記録回路

リングオシレータにおいて、RTN の影響を表すパラメータとして  $\Delta F/F_{\max}$  がある [38]。ここで、 $F_{\max}$  は最大の周波数、 $\Delta F$  は  $F_{\max}$  と最小周波数 ( $F_{\min}$ ) の差である。1つの RO で1つの  $\Delta F/F_{\max}$  が出てくるため、RO の RTN を統計解析するためには、その分の RO 数と測定が必要である。この測定を簡単にするために、図 4.11 のようにチップ内のカウンタ兼シフトレジスタの最後に  $F_{\max}$  と  $F_{\min}$  を記録する回路を搭載する。RO の  $F_{\max}$  と  $F_{\min}$  がわかれば、 $\Delta F/F_{\max}$  が簡単にわかるため、 $F_{\max}$  と  $F_{\min}$  を読み出すだけで、各時間毎の周波数を読み出す必要がなくなり、RTN を評価できる。正しく動いているか確認するために、カウンタの値を読み出せるようにし、その値を整理して得られる結果と比較する。 $F_{\max}$  と  $F_{\min}$  は最大または最小から5つ分記録する。 $F_{\max}$  と  $F_{\min}$  を1つのみ記録する回路では、それらの値が極端に大きいまたは小さいときに信用できる値かが分からない。5つ分記録することにより、 $F_{\max}$  と  $F_{\min}$  が正しい値であることの確認と、正しくないときに2番目以降の値を  $F_{\max}$  または  $F_{\min}$  とすることができる。

今まで、長期間の RTN 測定をする際、各時刻における発振周波数を 15,000 回測定していた。発振周波数データは 16 bit カウンタに記録され、15,000 回分のデータを読み出すことで、RTN を評価している。全データ量は  $15,000 \times 16 \text{ bit} = 240 \text{ kbit}$  である。この提案回路では、読み出す必要のあるデータは  $F_{\max}$  と  $F_{\min}$  それぞれ 16 bit のみであり、 $1 \text{ 回} \times 16 \text{ bit} \times 2 = 32 \text{ bit}$  読み出せば RTN の影響を評価できる。読み出すのに必要なデータ量は  $1/7,500$  となり、測定の高効率化が見込める。

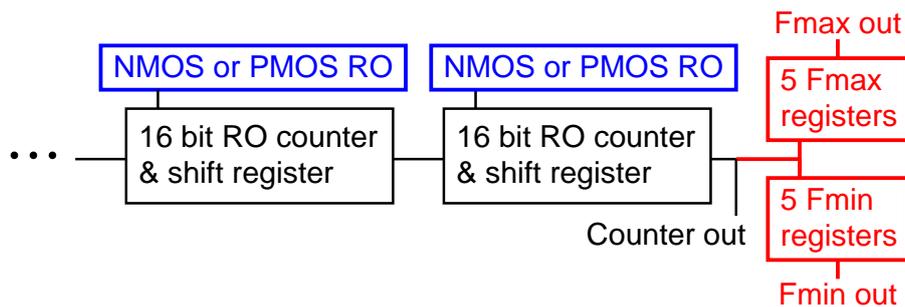


図 4.11:  $F_{\max}$  と  $F_{\min}$  の自動計算による RTN 測定回路。

#### NMOS と PMOS の影響分離回路

リングオシレータによる RTN 測定のもう 1 つの課題に、NMOS と PMOS の影響を分離できないことがある。これは RO を構成するインバータが CMOS 構造であり、観測される周波数に両方の RTN の影響が入っているためである。この解決方法として、図 4.12 のように抵抗を用いてそれぞれの MOSFET のみのリングオシレータを提案する。NMOS の RTN を見るなら図 4.12(a) のように、PMOS の代わりに抵抗を用いて NMOS のみの RO を設計する。発振制御用の NMOS は測定対象となる NMOS に直列でつなげる。停止時のリーク電流を抑えるため、発振制御用 NMOS は全段につける。RTN はゲート幅 ( $W$ ) が小さいほど影響が大きくなるため、被測定用 NMOS のゲート幅はできるだけ小さく、発振制御用では大きくする。被測定用の NMOS のゲート幅は、試作に用いたプロセスで設計できる最小のゲート幅である 200 nm である。発振制御用 NMOS は 260 nm のゲート幅を 16 並列にしているため、合計のゲート幅は  $16 \times 260 \text{ nm} = 4.16 \mu\text{m}$  である。260 nm は試作プロセスにおける標準インバータのゲート幅である。抵抗素子はポリシリコンにより作成する。抵抗値が 30 k $\Omega$  ~ 500 k $\Omega$  で発振することをシミュ

レーションにより確認しているため、その間で抵抗値がばらついて動く値である  $150 \text{ k}\Omega$  となるように抵抗を設計した。図 4.12(b) のように PMOS と抵抗のみの RO にすれば、PMOS の RTN を評価できる。NMOS 評価用回路と同様に、発振制御用 PMOS を全段につけ、 $150 \text{ k}\Omega$  となる抵抗を用いる。被測定用の PMOS のゲート幅は  $200 \text{ nm}$  であり、発振制御用 PMOS は標準インバータのゲート幅である  $450 \text{ nm}$  を 16 並列で合計  $16 \times 450 \text{ nm} = 7.20 \mu\text{m}$  である。

試作したチップ写真を図 4.13 に示す。65 nm プロセスであり、標準電圧は  $0.75 \text{ V}$  である。リングオシレータの最終段直後に、Verilog 記述から論理合成して設計した  $F_{\max}$  と  $F_{\min}$  を記録する回路が搭載されている。チップサイズは  $3 \text{ mm}$  角である。同じ構造のマクロをチップの上下 2 つに分けて、出力ピンをそれぞれ設けることで、2 つ同時に測定してデータを出力することができる。

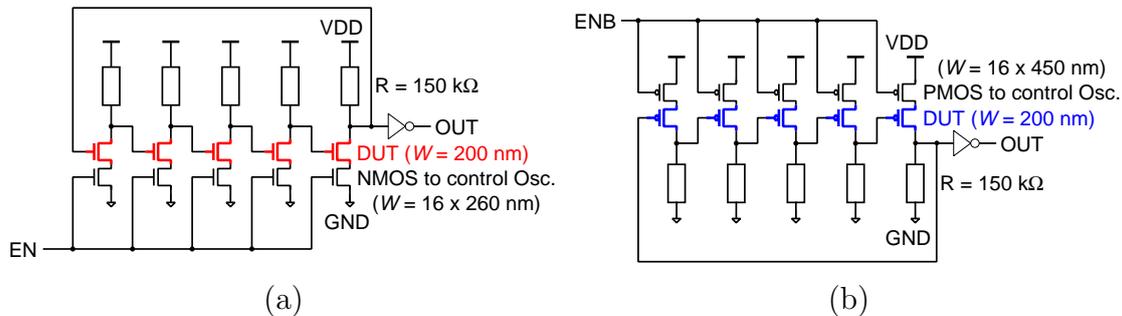


図 4.12: 抵抗による NMOS と PMOS の影響を分離した RTN 測定回路。(a) NMOS と抵抗による NMOS 評価用回路。(b) PMOS と抵抗による PMOS 評価用回路。

### 4.3.2 RTN 測定結果

提案した回路を用いて実測を行う。測定方法を図 4.14 に示す。 $20 \mu\text{s}$  発振させてカウンタに値を記録した後、カウンタの値をシフトさせる。シフトには  $160 \mu\text{s}$  かかる。シフトした後、再び  $20 \mu\text{s}$  の発振と  $160 \mu\text{s}$  のシフトをし、これを 1 万回繰り返す。各時刻での発振周波数が最大および最小周波数を記録する回路に保存される。測定の最後に、これらの最大と最小周波数を読み出し、RTN の影響を表すパラメータである  $\Delta F/F_{\max}$  を計算する。各リングオシレータでこの  $\Delta F/F_{\max}$  を読みだし、分布をとって RTN の影響を評価する。電源電圧  $1.0 \text{ V}$ 、室温で測定する。

RTN の測定結果を図 4.15 に示す。NMOS と抵抗のみで構成したリングオシレー

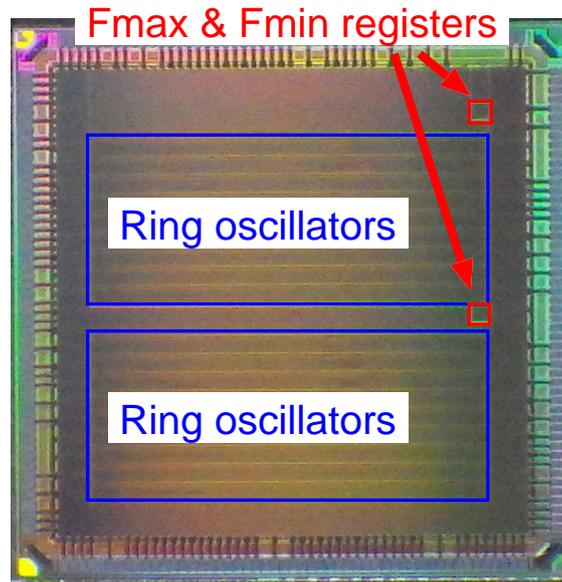


図 4.13: RTN 評価用チップ写真 .

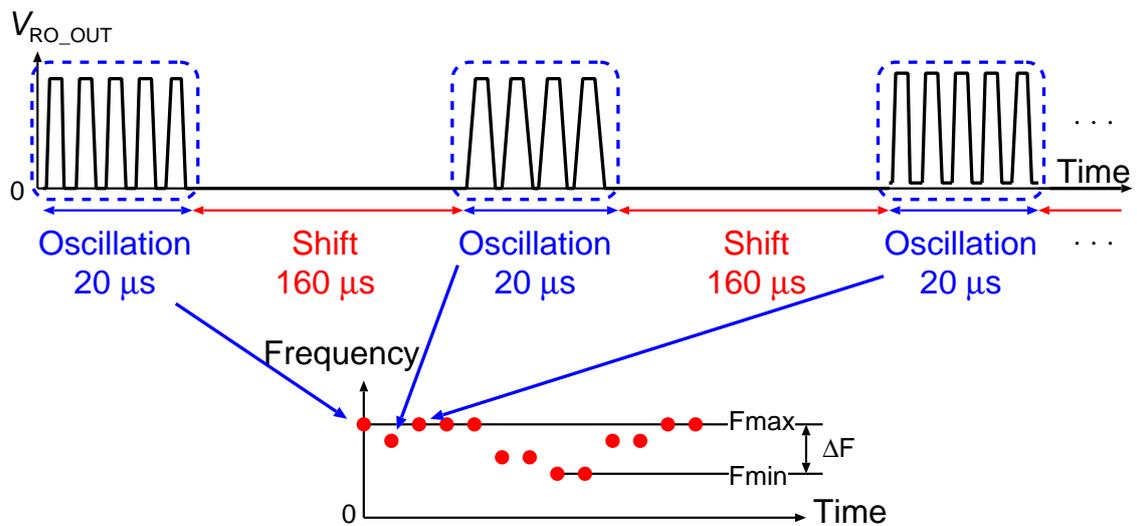


図 4.14: RTN 測定方法 .

タでの測定結果が図 4.15(a) , PMOS と抵抗のみのリングオシレータでの測定結果が図 4.15(b) である . 横軸は RTN の影響を表す  $\Delta F / F_{\max}$  , 縦軸は累積分布 (Cumulative Distribution Function, CDF) で両軸とも対数軸である . 値が所々飛んでい

るのは、発振させる時間が  $20 \mu\text{s}$  で発振周波数に対して短く、カウンタに記録される値の1回の差が大きく出るためである。発振時間を長くすれば、値が飛ぶことがなくなる。青い点が測定点で、直線は対数関数による近似線である。 $\Delta F/F_{\text{max}}$  の分布は対数正規分布であり、標準偏差  $\sigma$  の2倍の値である  $2\sigma$  の値はNMOSで0.77%、PMOSで0.51%であり、 $3\sigma$  の値はNMOSで1.05%、PMOSで0.70%である。NMOSの方がPMOSよりも1.5倍大きいため、RTNの影響はNMOSの方が大きい。近似線により  $6\sigma$  まで伸ばしたときの値はNMOSとPMOSそれぞれ2.56%と1.75%である。NMOSの方がRTNの影響が大きくなった理由として、捕獲および放出時定数の短い欠陥がNMOSに多いことが考えられる。時定数の短い欠陥が多いほど、捕獲と放出をより多く繰り返すため、RTNの影響が大きくなる。RTNモデルを構築する際にはNMOSとPMOSでパラメータを変える必要がある。BTIとは影響の大小がNMOSとPMOSで逆であるため、BTIも同時に再現できるようなモデルを考える場合は、RTN起因とBTI起因で欠陥特性を変える必要がある。

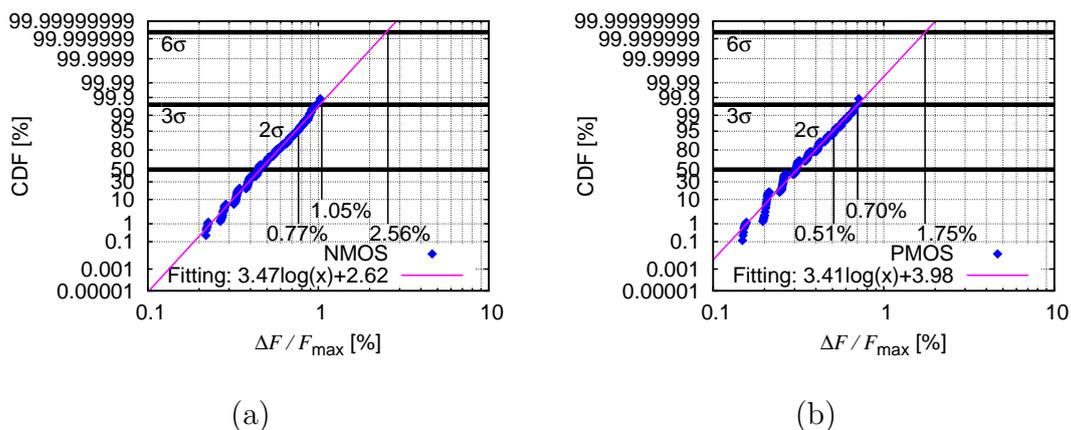


図 4.15: RTN 測定結果。 $\Delta F/F_{\text{max}}$  の累積分布 (CDF) である。(a)NMOS と抵抗の回路での結果。(b)PMOS と抵抗の回路での結果。

## 4.4 4章まとめ

本章でゲート酸化膜欠陥によるキャリア捕獲と放出をランダムに繰り返すことで発生する RTN について述べた。RTN によってドレイン電流やしきい値電圧が動的にランダムに変動するため、RTN を再現できるモデルの構築と実測が重要で

ある．4.1節でキャリア捕獲と放出による物理現象に基づいた RTN モデルを構築した．欠陥数，時定数，欠陥ごとのしきい値電圧変動値などをモデルのパラメータとして取り入れ，先行研究に基づいた分布とした．4.2節で構築したモデルを用いて回路シミュレーションを行った．単体トランジスタでのシミュレーションにおいて，捕獲されている欠陥数に応じてドレイン電流およびしきい値電圧が変動していることを確認した．BSIM と HiSIM どちらも時間にランダムにドレイン電流が変動することをシミュレーションで確認し，モデルが正しく構築できていることを確認した．このモデルを用いて，リングオシレータにおいて発振周波数の時間変化をシミュレーションした結果，BSIM と HiSIM どちらも発振周波数が時間にランダムに変動することを確認した．構築した RTN モデルは回路シミュレーションに適用可能であることを示した．

RTN の測定ではデータ数が膨大になること，NMOS と PMOS の影響が分離できないことの2つの欠点があるため，これらを解決する回路を4.3節で提案した．チップ内に最大および最小周波数を記録できる回路を搭載することで，それら2つのみのデータだけで RTN の評価が可能となる．NMOS と PMOS の影響を分離するために，抵抗素子を用いることで NMOS のみ，または PMOS のみのリングオシレータを設計した．測定した結果，NMOS の方が RTN の影響が大きく出ることがわかった．RTN の影響を表す  $\Delta F/F_{\max}$  の累積分布をとると，対数正規分布であった．分布の指標である標準偏差の2倍である  $2\sigma$  の値は，NMOS と PMOS それぞれ 0.77% と 0.51% であり， $3\sigma$  の値は 1.05% と 0.70% であった．NMOS の方が 1.5 倍 RTN の影響が大きいことが実測により明らかとなった．



## 第5章 結論

2章でゲート酸化膜欠陥による信頼性問題として特に重要となっている BTI について、対策と実測評価を行った。2.4 節で NAND のみで構成したリングオシレータを用いることで、NBTI を抑制し、PBTI のみにする回路設計による BTI 対策を提案した。65 nm プロセスでは NBTI の方が PBTI よりも影響が大きいため、BTI による劣化を抑制できる。試作回路による実測をした結果、NAND のみのリングオシレータでは、時間経過によって発振周波数劣化率が増加しないことを確認した。65 nm プロセスでは、NBTI による劣化を抑制することで、経年劣化の対策が可能である。

2.5 節において、動作時の BTI 対策として発振停止時に逆方向基板バイアスを印加することを提案した。逆方向基板バイアスを印加すると、チャンネルに誘起されるキャリア数が減少することにより、ゲート酸化膜へキャリアが捕獲される確率が少なくなるためである。実測により、逆方向基板バイアスを 1 V 印加したときの周波数劣化率は 0 V のときと比べて約 77% 減少した。逆方向基板バイアスを印加することにより、スタンバイ電流も減少し、BTI を抑制できる。

2.6 節では電流スターブ型リングオシレータを用いて、発振周波数の BTI による劣化量をしきい値電圧変動量に変換する手法を提案した。電流スターブ型リングオシレータにより NMOS と PMOS の BTI への影響を分離することを可能とした。リングオシレータは NOR 型にして、ソースが電源電圧につながっている方の PMOS の入力を、前段の出力ではなく発振制御用端子につなぐことで、スターブされた被測定トランジスタ以外の BTI を抑制した。測定結果から得られた BTI による周波数劣化率をしきい値電圧劣化率に変換し、指数関数と対数関数 2 つの近似式を用いて 10 年後の劣化見積もりを行った。近似式によって劣化見積もりに大きく差異が生じ、指数関数による見積もりは、対数関数よりも悲観的に見積もり、10 年後の劣化率見積もりは対数関数の 3~6 倍大きくなる。NMOS の 10 年後におけるしきい値電圧劣化率は PMOS と比べて約 1/7 であり、NBTI の方が PBTI よりも支配的であるという先行研究と一致した結果が得られ、電流スターブ型リングオシレータにより、NMOS と PMOS の影響を分離できることを確認した。

単体トランジスタとリングオシレータで BTI による劣化傾向が同様かを調べる

ために、2.7節で単体 PMOS トランジスタの NBTI による劣化を実測した。ドレイン・ソース間電流の変動量を測定し、回路シミュレーションを用いてしきい値電圧変動量に変換した。測定値を指数と対数関数で近似した結果、決定係数がそれぞれの関数で 0.98 と 0.94 であり、どちらも測定値に沿うことが分かった。これらの劣化傾向はリングオシレータと同様の結果であり、単体トランジスタとリングオシレータで劣化傾向に差がないことがわかった。単体トランジスタではリカバリも測定した。リカバリ時における指数と対数関数での決定係数はそれぞれ 0.88 と 0.94 であり、対数関数の方が測定値によく合うことがわかった。

3章において、ゲート酸化膜に欠陥ができる原因として考えられるアンテナダメージの影響を実測評価した。3.2節では評価回路として用いたプロセスでの設計ルール上限値であるアンテナ比 500 付近において、アンテナ比によるアンテナダメージの影響を検証した。発振経路の1ヶ所のみアンテナを付加した11段リングオシレータを試作して、発振周波数を測定することで評価を行った。アンテナ比 600 以下では、アンテナ比によらず発振周波数は一定であった。しかし、アンテナ比 600 を超えると、アンテナ比増加に伴って発振周波数が減少した。設計ルールの上限値であるアンテナ比 500 と比べて、アンテナ比 1,000 での発振周波数は 2.2%減少した。アンテナ比が 1,000 であってもトランジスタは壊れなかったため、設計ルールを破っても動作しなくなることはない。しかし、ルールを破る際にはアンテナダメージによってしきい値電圧が劣化するため、アンテナ比に応じた設計余裕を考慮するべきである。しきい値電圧の劣化傾向は通常バルクと SOI で同じであるため、SOI でも同様の設計余裕を考慮するべきであるが、設計余裕をバルクと SOI で変える必要はない。

3.3節で配線層によってアンテナダメージが異なるかを電流スターブ型リングオシレータを用いて検証した。スターブするトランジスタを5つ挿入し、その内1つはアンテナを付加しない参照用、残り4つにM2からM5までそれぞれ異なる配線層を付加することで、配線層によるアンテナダメージの影響を評価した。PMOS では、上層アンテナほど初期周波数が減少する。NMOS ではアンテナダメージを受けると周波数が増加するが、上層アンテナほど減少する。どのアンテナ層でも正電荷によるダメージを等しく受け、PMOS では  $|V_{th}|$  が増加して NMOS では減少するが、上層アンテナほど SiON へのアンテナダメージの影響が大きくなり、 $|V_{th}|$  が増加すると考えられる。CMOS 構造において、アンテナダメージによる周波数変動は、下層アンテナでは PMOS と NMOS で相殺されるが、上層アンテナでは

NMOS と PMOS どちらも  $|V_{th}|$  が増加し、回路性能が悪くなるため、上層アンテナほど設計時にアンテナダメージの影響を考慮する必要がある。しきい値電圧劣化率にすると、最も変動するときでは、アンテナ比 2k において PMOS と NMOS それぞれで 7.7% と 11% 変動する。

3.4 節ではアンテナダメージによって BTI による劣化が加速されるかを実測評価した。アンテナ比 5k 以下ではアンテナダメージによって BTI による劣化は加速されないが、アンテナ比 50k ではダメージを受ける構造は抑制する構造に比べて、劣化率が約 1.5 倍となる。アンテナダメージが大きくなると経年劣化は増加する。アンテナルール上限値の 100 倍といった大きな配線でなければ、アンテナダメージによって BTI による劣化は加速されないため、通常の設計ではアンテナダメージによる BTI への影響はほとんど問題ないといえる。

4 章でゲート酸化膜欠陥によるキャリア捕獲と放出をランダムに繰り返すことで発生する RTN について、RTN を再現できるモデルの構築と測定回路の提案を行った。4.1 節でキャリア捕獲と放出による物理現象に基づいた RTN モデルを構築し、そのモデルを用いて 4.2 節で回路シミュレーションを行った。リングオシレータにおいて発振周波数の時間変化をシミュレーションした結果、付加した RTN モデルにより、BSIM と HiSIM どちらも発振周波数が時間にランダムに変動することを確認した。構築した RTN モデルは回路シミュレーションに適用可能であることを示した。

4.3 節では、RTN を高効率かつ NMOS または PMOS の影響を分離できる回路を提案した。チップ内に最大および最小周波数を記録できる回路を搭載することで、リングオシレータにおける RTN の影響を表す指標である  $\Delta F/F_{max}$  を効率良く測定できる。抵抗素子を用いることで NMOS のみ、または PMOS のみのリングオシレータを設計し、それぞれの RTN への影響を評価可能である。測定した結果、NMOS の方が RTN の影響が大きく出ることがわかった。標準偏差の 3 倍である  $3\sigma$  の値は、NMOS と PMOS それぞれ 1.05% と 0.70% であり、NMOS の方が 1.5 倍 RTN の影響が大きいことがわかった。今後行うべきこととして、このリングオシレータで条件を変えた実測により、RTN の NMOS と PMOS の違いの原因を検証することが挙げられる。



## 謝辞

本研究に関して直接ご指導して頂いた小林和淑教授に深く感謝いたします。学部4回生で研究室に配属してから現在に至るまで、研究だけでなく、スキーやカーブなどプライベートでもお世話になりました。研究室のだれよりも元気で、その行動力には驚かされるばかりです。たまに行き過ぎるときもありましたが、それも小林先生の特徴の1つだと思います。

熊代成孝特任教授に感謝いたします。私の専門分野はもちろんのこと、ソフトウェアやパワーエレクトロニクスに関する博識であり、多大な助言をいただきました。本論文の審査員としても貴重なアドバイスとコメントをいただきました。論文への添削とコメントは非常に助かりました。小野寺研との合同研究会へ行ったときのタクシー代を出して下さいありがとうございました。

京都大学の江利口浩二教授に感謝いたします。2015年の国際会議 IRPS ではお世話になりました。そのときのご縁もあり、本論文の審査員を務めてくださいました。プラズマプロセスに関して多大な助言とコメントをいただき、論文も参考にさせていただきました。

門勇一教授に感謝いたします。本論文の審査員を務めてくださいました。マイコンの学生実験では TA としてお世話になりました。京都地下鉄でたまたま会ったときは気軽に話しかけてくださり、楽しく会話させてもらいました。

吉本昌広教授に感謝いたします。博士後期課程用の授業であるパワー半導体デバイス論では、本論文の参考となるような知識を得ることができました。本論文の審査員を務めてくださり、有用なコメントをいただきました。

廣木彰准教授に感謝いたします。研究発表会での質問とコメントは、研究を進めていく上で参考になりました。博士課程1回生のときの授業では、集積回路と単体トランジスタの歴史を深く知ることができた良い機会となりました。

古田潤助教に感謝いたします。筋の通った的確なアドバイスは、研究だけでなく、ボードゲームでも参考になりました。小林先生の無茶な内容の提案にストップをかけられる先生であり、学生としてはとても助かりました。これからも暴走しそうになったら止めてあげてください。またどこかでボードゲームで対戦また

は協力して遊びましょう。健康にはお気を付けて、体重が3桁にならないことを願っています。

埼玉大学の西澤真一助教と保坂巧さんに感謝いたします。単体トランジスタの経年劣化測定をしていただき、一度18万秒のストレスをかける測定を行ってくれたことには頭が下がる思いです。

英会話講師のRussel Leejaさんに感謝いたします。毎週水曜日の英会話は、学校では習えないような英語の話し方や文法を教わることが出来て、英語のプレゼンや論文執筆に大いに役立ちました。茶道やテニスなどにも詳しく、英語以外の知識も知ることができました。何度か出してくれた和菓子と抹茶は結構なお点前でした。漢字の判子はかっこよかったです。

小林研究室のOBとOG (Old Boy, Old Girl) の皆様に感謝いたします。私の学生生活を色濃くしていただいた皆様が、この謝辞を読んでもらえる機会はないかもしれませんが、この場をもって感謝の言葉を申し上げます。ありがとうございました。1人1人への詳しい謝辞は修士論文で記載しました。

ここからは博士課程修了時に小林研究室で生活をともにした学生の皆様へ感謝の言葉を申し上げます。

稲森奨さんに感謝いたします。席がとなりで、私の話をいつでも聞いてくださいました。たまに私の荷物を稲森さんの机にまで置いてしまっていたことはお詫びいたします。スキー・スノーボードと一緒に2回も行くことができてよかったです。モンハンのやりすぎで体調を崩して、3回目が行けなかったのは残念でした。半導体メーカーでも元気で働いて、リクルーターとして小林研を訪れてあげてください。

駒脇拓弥さんに感謝いたします。同じ信頼性グループであるにも関わらず、1人で突き進むような研究内容で、影の努力には敬意を表します。一緒にプレイステーション3でパワプロなどを遊んでくれたことには感謝いたします。表と裏の顔のギャップには正直驚きを隠せませんでした。今後、人前で裏の顔を出すことがないように祈るばかりです。

丸岡晴喜さんに感謝いたします。成績が学部でトップであることに違わぬ学力と研究能力を発揮してくれました。いつも昼食を一緒に食べるほど大好きなふじカツのような、カロリーの高い不健康なものを食べていると、体を壊す可能性があるので食事には気を使ってください。字一色あがっておめでとうございます。

山下夕貴さんに感謝いたします。英語能力が特別秀でていて、研究室紹介の体験英会話からその素晴らしい能力を遺憾なく発揮してくれました。当初 4ヶ月の予定だった海外留学も半年間に延長するくらい英語、研究、留学を満喫していました。留学中に、ある小林研学生の比ではないですが、たまにネコのクッションをさわっていたことをこの場をもってお詫びいたします。

山田晃大さんに感謝いたします。人一倍活発な性格で、研究室に入った頃からとてつもない量の研究をされて、大変ご苦労されたことと思います。その分、研究成果が認められて数多く受賞されたことにお祝い申し上げます。学会ついでに行った千里浜なぎさドライブウェイでの 1 回転ドリフトは私の一生の思い出です。行こうと提案してくれてありがとうございます。研究室での目標の 1 つである海外留学に何とか行くことができよかったですね。もう 1 つの目標であるプログラミングに今後期待しています。

榎原光則さんに感謝いたします。さすがバレー部というくらい身長が高く、研究室配属のときの印象が大きかったです。オルレアンボードゲームを、別途基本版が必要なのに拡張版だけ海外で買って来たことは驚きましたが、個人的にベスト 5 に入るおもしろいボードゲームだったので、買ってきてくれて感謝しています。ふなっしーだと思っていたミニオンのキーホルダーは可愛かったです。苦手なプログラミングを研究室で克服することを願っています。

小島健太郎さんに感謝いたします。だれよりも冗談やノリを重視する性格で、周りの方を楽しませてくれました。たこ焼きパーティーでは、お酒を飲んでいないのに飲んだかのようにはじけている姿が印象に残っています。お友達が研究室に訪問されたときに「竹内君いますか？」と聞かれたときに、誰のことか分からないくらい今の名字がしっくりきていました。下宿してもそのアクティブな性格で皆を楽しませてあげてください。でも、中野君へのアタックはほどほどにしてあげてください。

附田悠人さんに感謝いたします。ギターを担いでいる姿が今でも目に浮かぶくらいアメ研が似合っていました。1人で研究室紹介に来て 301 でいろいろ話したことを今でも覚えています。その頃からボードゲームに詳しく、一緒に遊んで楽しませてもらいました。卒業ライブもがんばってください。

中野洋希さんに感謝いたします。特徴ある性格といじられキャラで、研究室を楽しませてくれました。結構ボードゲームが好きで一緒に遊んでくれたことにお礼を申し上げます。スコットランドヤード東京で 2 ターン目に捕まってしまうの

はさすがだと思いました。これからおそらく1人で背負っていくであろう研究グループをがんばって支えてください。ただ、研究を熱心すぎるぐらいがんばっていて、キャラのことも考えると、いつか体を壊してしまうのではないかと心配です。何事もほどほどに。

中村遥香さんに感謝いたします。小林研に入ってきたメンバーで唯一ピアスをしていて、その見た目に違わぬアクティブさと交友関係の広さには驚きました。意外といったら失礼かもしれませんが、研究には前向きに取り組んでいて、やることに向かってどんどん突き進んでいたと思います。一番印象に残っているのは、新歓での肩関節外しで、初めてみたときは衝撃でした。研究室や帰りに話してくれる様々な裏話も同じぐらい、1つ1つが驚きで聞いていて飽きない内容ばかりでした。お酒を飲んで酔ったときは、年上の人を君づけで呼ぶぐらいさらに活発になるのは見ていて楽しかったです。

私の家族に感謝いたします。生まれてから今まで育ててくれて本当に感謝しています。自動車の運転と整備、料理などの家事、ゲームなどいろいろと教えてもらい、そして楽しませてもらいました。これからもあたたかく見守っててください。

ペットは飼っていないので、ペットへの謝辞はありません。

本研究は JSPS 科研費 15H02677 の助成を受けて実施したものであり、METI, NEDO 委託先である LEAP ( Low-power Electronics Association & Project ) の「低炭素社会を実現する超低電圧デバイスプロジェクト」において共同実施された。

本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンターグラフィックス株式会社の協力で行われたものである。



## 参 考 文 献

- [1] M. Bohr, “The Evolution of Scaling from the Homogeneous Era to the Heterogeneous Era”, *IEDM*, (2011), pp. 1.1.1–1.1.6.
- [2] S. Yang, Y. Liu, M. Cai, J. Bao, P. Feng, X. Chen, L. Ge, J. Yuan, J. Choi, P. Liu, Y. Suh, H. Wang, J. Deng, Y. Gao, J. Yang, X.-Y. Wang, D. Yang, J. Zhu, P. Penzes, S. C. Song, C. Park, S. Kim, J. Kim, S. Kang, E. Terzioglu, K. Rim, and P. C. Chidambaram, “10nm High Performance Mobile SoC Design and Technology Co-Developed for Performance, Power, and Area Scaling”, *VLSI Tech.*, (2017), p. T6.2.
- [3] R. Degraeve, G. Groeseneken, R. Bellens, J. L. Ogier, M. Depas, P. J. Roussel, and H. E. Maes, “New insights in the relation between electron trap generation and the statistical properties of oxide breakdown”, *IEEE Transactions on Electron Devices*, Vol. 45, No. 4, pp. 904–911, (1998).
- [4] E. Y. Wu and J. Sune, “Towards a viable TDDB reliability assessment methodology: From breakdown physics to circuit failure”, *2009 16th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits*, (2009), pp. 63–70.
- [5] R. Mishra, D.E. Ioannou, S. Mitra, and R. Gauthier, “Effect of Floating-Body and Stress Bias on NBTI and HCI on 65-nm SOI pMOSFETs”, *IEEE Electron Dev. Let.*, Vol. 29, No. 3, pp. 262–264, (2008).
- [6] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, “NBTI Degradation: From Transistor to SRAM Arrays”, *IRPS*, (2008), pp. 289–300.
- [7] D. K. Schroder and J. A. Babcock, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing”, *Journal of Applied Physics*, Vol. 94, No. 1, pp. 1–18, (2003).

- 
- [8] H. Kukner, S. Khan, P. Weckx, P. Raghavan, S. Hamdioui, B. Kaczer, F. Catthoor, L. Van der Perre, R. Lauwereins, and G. Groeseneken, “Comparison of Reaction-Diffusion and Atomistic Trap-Based BTI Models for Logic Gates”, *IEEE Trans. on Dev. and Mat. Rel.*, Vol. 14, No. 1, pp. 182–193, (2014).
- [9] J. Franco, B. Kaczer, M. Toledano-Luque, P. J. Roussel, G. Groeseneken, B. Schwarz, M. Bina, M. Walzl, P. J. Wagner, and T. Grasser, “Reduction of the BTI Time-Dependent Variability in Nanoscaled MOSFETs by Body Bias”, *IRPS*, (2013), pp. 2D.3.1–2D.3.6.
- [10] A. C. Mocuta, T. B. Hook, A. I. Chou, T. Wagner, A. K. Stamper, M. Khare, and J. P. Gambino, “Plasma Charging Damage in SOI Technology”, *Plasma- and Process-Induced Damage*, (2001), pp. 104–107.
- [11] W. H. Choi, S. Satapathy, J. Keane, and C. H. Kim, “A Test Circuit Based on a Ring Oscillator Array for Statistical Characterization of Plasma-Induced Damage”, *CICC*, (2014), p.14-3.
- [12] F. L. Chow and A. Chin, “Failure Analysis on Plasma Charging Induced Damage Due to Effect of Circuit Layout & Device Structure Marginality”, *IPFA*, (2012), pp. 1–5.
- [13] L. Oshiro and R. Radojcic, “A design reliability methodology for CMOS VLSI circuits”, *IEEE 1995 International Integrated Reliability Workshop. Final Report*, (1995), pp. 34–39.
- [14] B. Kaczer, S. Mahato, V. V. de Almeida Camargo, M. Toledano-Luque, P. J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, “Atomistic Approach to Variability of Bias-Temperature Instability in Circuit Simulations”, *IRPS*, (2011), pp. XT.3.1–XT.3.5.
- [15] S. Mahapatra, S. De, K. Joshi, S. Mukhopadhyay, R. K. Pandey, and K. V. R. M. Murali, “Understanding Process Impact of Hole Traps and NBTI in HKMG p-MOSFETs Using Measurements and Atomistic Simulations”, *IEEE Electron Device Letters*, Vol. 34, No. 8, pp. 963–965, (2013).

- [16] C. Ma, H. J. Mattausch, K. Matsuzawa, S. Yamaguchi, T. Hoshida, M. Imade, R. Koh, T. Arakawa, and M. Miura-Mattausch, “Universal NBTI Compact Model for Circuit Aging Simulation under Any Stress Conditions”, *IEEE Transactions on Device and Materials Reliability*, Vol. 14, No. 3, pp. 818–825, (2014).
- [17] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, “A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO<sub>2</sub>/HfO<sub>2</sub> Stacks with FUSI, TiN, Re Gates”, *VLSI Tech. Symp.*, (2006), pp. 23–25.
- [18] H. Amrouch, B. Khaleghi, A. Gerstlauerz, and J. Henkel, “Reliability-aware Design to Suppress Aging”, *DAC*, (2016), pp. 12:1–12:6.
- [19] R. Faraji and H. R. Naji, “Adaptive Technique for Overcoming Performance Degradation Due to Aging on 6T SRAM Cells”, *IEEE Trans. on Dev. and Mat. Rel.*, Vol. 14, No. 4, pp. 1031–1040, (2014).
- [20] J. Franco, B. Kaczer, G. Eneman, P. J. Roussel, T. Grasser, J. Mitard, L. Å. Ragnarsson, M. Cho, L. Witters, T. Chiarella, M. Togo, W. E. Wang, A. Hikavyy, R. Loo, N. Horiguchi, and G. Groeseneken, “Superior NBTI Reliability of SiGe Channel pMOSFETs: Replacement Gate, FinFETs, and Impact of Body Bias”, *IEDM*, (2011), pp. 18.5.1–18.5.4.
- [21] N. Weste and D. M. Harris, “*CMOS VLSI DESIGN*”, Pearson, Addison-Wesley, (2011).
- [22] J. Kedzierski, D. Boyd, P. Ronsheim, S. Zafar, J. Newbury, J. Ott, C. Cabral, M. Jeong, and W. Haensch, “Threshold voltage control in NiSi-gated MOSFETs through silicidation induced impurity segregation (SIIS)”, *IEDM*, (2003), pp. 13.3.1–13.3.4.
- [23] T. Hiramoto, A. Kumar, T. Mizutani, J. Nishimura, and T. Saraya, “Statistical advantages of intrinsic channel fully depleted SOI MOSFETs over bulk MOSFETs”, *2011 IEEE Custom Integrated Circuits Conference (CICC)*, (2011), pp. 1–4.

- [24] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, and H. Matsuoka, "Silicon on Thin BOX: A New Paradigm of The CMOSFET for Low-Power High-Performance Application Featuring Wide-Range Back-Bias Control", *IEDM*, (2004), pp. 631–634.
- [25] S. Samukawa, "Plasma-Induced Damage and Its Control in Plasma Etching Processes", *ICICDT*, (2007), pp. 1–4.
- [26] C. D. Young, G. Bersuker, F. Zhu, K. Matthews, R. Choi, S.C. Song, H.K. Park, J.C. Lee, and B. H Lee, "Comparison of Plasma-Induced Damage in SiO<sub>2</sub>/TiN and HfO<sub>2</sub>/TiN Gate Stacks", *IRPS*, (2007), pp. 67–70.
- [27] W. H. Choi, P. Jain, and C.H. Kim, "An Array-Based Circuit for Characterizing Latent Plasma-Induced Damage", *IRPS*, (2013), pp. 4A.3.1–4A.3.4.
- [28] C. Y. Chang, J. Zhou, C. N. Ni, O. Chan, S. Sun, W. Suen, S. Mings, M. Bevan, P. M. Liu, P. Hsieh, C. P. Chang, and R. Hung, "The Effect of Interfacial Oxide and High- $\kappa$  Thickness on NMOS V<sub>th</sub> Shift from Plasma-Induced Damage", *SNW*, (2014), pp. 1–2.
- [29] K. Eriguchi, M. Kamei, K. Okada, H. Ohta, and K. Ono, "Threshold Voltage Shift Instability Induced by Plasma Charging Damage in MOSFETs with High- $\kappa$  Dielectric", *ICICDT*, (2008), pp. 97–100.
- [30] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, P. Roussel, and M. Nelhiebel, "Recent advances in understanding the bias temperature instability", *IEDM*, (2010), pp. 4.4.1–4.4.4.
- [31] J.-M. Woo, H.-H. Park, H.S. Min, Y.J. Park, S.-M. Hong, and C.H. Park, "Statistical analysis of random telegraph noise in CMOS image sensors", *SISPAD*, (2008), pp. 77–80.
- [32] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, and O. Tsuchiya, "Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node", *JSSC*, Vol. 42, No. 6, pp. 1362–1369, (2007).

- [33] M. Tanizawa, S. Ohbayashi, T. Okagaki, K. Sonoda, K. Eikyu, Y. Hirano, K. Ishikawa, O. Tsuchiya, and Y. Inoue, “Application of a statistical compact model for Random Telegraph Noise to scaled-SRAM  $V_{min}$  analysis”, *VLSIT*, (2010), pp. 95–96.
- [34] J. Franco, B. Kaczer, M. Toledano-Luque, P.J. Roussel, J. Mitard, L.-A. Ragnarsson, L. Witters, T. Chiarella, M. Togo, N. Horiguchi, G. Groeseneken, M.F. Bukhori, T. Grasser, and A. Asenov, “Impact of single charged gate oxide defects on the performance and scaling of nanoscaled FETs”, *IRPS*, (2012), pp. 5A.4.1–5A.4.6.
- [35] B. Kaczer, T. Grasser, P.J. Roussel, J. Franco, R. Degraeve, L.-A. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, “Origin of NBTI variability in deeply scaled pFETs”, *IRPS*, (2010), pp. 26–32.
- [36] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi, and H. Onodera, “Modeling of Random Telegraph Noise under circuit operation Simulation and measurement of RTN-induced delay fluctuation”, *ISQED*, (2011), pp. 1–6.
- [37] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi, and H. Onodera, “The impact of RTN on performance fluctuation in CMOS logic circuits”, *IRPS*, (2011), pp. CR.5.1–CR.5.4.
- [38] T. Matsumoto, K. Kobayashi, and H. Onodera, “Impact of random telegraph noise on CMOS logic circuit reliability”, *CICC*, (2014), pp. 1–8.
- [39] H. Reisinger, T. Grasser, W. Gustin, and C. Schlunder, “The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress”, *IRPS*, (2010), pp. 7–15.
- [40] M. Toledano-Luque, B. Kaczer, J. Franco, Ph.J. Roussel, T. Grasser, T.Y. Hoffmann, and G. Groeseneken, “From mean values to distributions of BTI lifetime of deeply scaled FETs through atomistic understanding of the degradation”, *VLSIT*, (2011), pp. 152–153.

- 
- [41] K. Takeuchi, T. Nagumo, S. Yokogawa, K. Imai, and Y. Hayashi, “Single-charge-based modeling of transistor characteristics fluctuations based on statistical measurement of RTN amplitude”, *VLSIT*, (2009), pp. 54–55.
- [42] Y. Cheng and C. Hu, “*MOSFET Modeling & BSIM3 User’s Guide*”, Springer, (1999).
- [43] M. Miura-Mattausch, H. Ueno, M. Tanaka, H.J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama, “HiSIM: a MOSFET model for circuit simulation connecting circuit performance with technology”, *IEDM*, (2002), pp. 109–112.



## 発表論文

### 学術論文

1. M. Yabuuchi, R. Kishida, and K. Kobayashi, “Correlations between BTI-Induced Degradations and Process Variations on ASICs and FPGAs”, IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E97-A, no. 12, pp. 2367-2372, 2014/12.
2. R. Kishida, A. Oshima, M. Yabuuchi, and K. Kobayashi, “Initial and long-term frequency degradation of ring oscillators caused by plasma-induced damage in 65 nm bulk and fully depleted silicon-on-insulator processes”, Japanese Journal of Applied Physics (JJAP), The Japan Society of Applied Physics, vol.54, no. 4S, pp. 04DC19-1-5, 2015/03.
3. T. Komawaki, M. Yabuuchi, R. Kishida, J. Furuta, T. Matsumoto, and K. Kobayashi, “Replication of Random Telegraph Noise by Using a Physical-Based Verilog-AMS Model”, IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E-100A, no. 12, pp. 2758-2763, 2017/12.
4. R. Kishida, J. Furuta, and K. Kobayashi, “Evaluation of plasma-induced damage and bias temperature instability depending on type of antenna layer using current-starved ring oscillators”, Japanese Journal of Applied Physics (JJAP), The Japan Society of Applied Physics, 2018/03, to be published.

### 国際学会（査読有）

1. M. Yabuuchi, R. Kishida, and K. Kobayashi, “Correlation between BTI-Induced Degradations and Process Variations by Measuring Frequency of

- ROs”, International Meeting for Future of Electron Devices, Kansai (IMFEDK), pp. 128-131, 2014/06, Kyoto, Japan.
2. R. Kishida, A. Oshima, M. Yabuuchi, and K. Kobayashi, “Initial and Long-Term Frequency Degradation on Ring Oscillators from Plasma Induced Damage in 65 nm Bulk and Silicon On Thin BOX processes”, International Conference on Solid State Devices and Materials (SSDM), pp. 52-53, 2014/09, Tsukuba, Japan.
  3. R. Kishida, A. Oshima, M. Yabuuchi, and K. Kobayashi, “Initial Frequency Degradation and Variation on Ring Oscillators from Plasma Induced Damage in Fully-Depleted Silicon on Insulator Process”, IEEE/ACM Workshop on Variability Modeling and Characterization (VMC), 2014/11, San Jose, CA, USA.
  4. R. Kishida, A. Oshima, and K. Kobayashi, “Negative Bias Temperature Instability Caused by Plasma Induced Damage in 65 nm Bulk and Silicon On Thin BOX (SOTB) Processes”, IEEE International Reliability Physics Symposium (IRPS), pp. CA.2.1-CA.2.5, 2015/04, Monterey, CA, USA.
  5. A. Oshima, T. Komawaki, K. Kobayashi, R. Kishida, P. Weckx, B. Kaczer, T. Matsumoto, and H. Onodera, “Physical-Based RTN Modeling of Ring Oscillators in 40-nm SiON and 28-nm HKMG by Bimodal Defect-Centric Behaviors”, International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp. 327-330, 2016/09, Nurnberg, Germany.
  6. R. Kishida, and K. Kobayashi, “Negative Bias Temperature Instability by Body Bias on Ring Oscillators in Thin BOX Fully-Depleted Silicon on Insulator Process”, International Conference on Solid State Devices and Materials (SSDM), pp. 711-712, 2016/09, Tsukuba, Japan.
  7. R. Kishida, and K. Kobayashi, “Correlations between Plasma Induced Damage and Negative Bias Temperature Instability in 65 nm Bulk and Thin-BOX FDSOI Processes”, SOI-3D-Subthreshold (S3S) Microelectronics Technology Unified Conference, pp. 25-27, 2016/10, Burlingame, CA, USA.

8. R. Kishida, and K. Kobayashi, “Degradation Caused by Negative Bias Temperature Instability Depending on Body Bias on NMOS or PMOS in 65 nm Bulk and Thin-BOX FDSOI Processes”, Electron Devices Technology and Manufacturing (EDTM), pp. 122-123, 2017/03, Toyama, Japan.
9. M. Yabuuchi, A. Oshima, T. Komawaki, R. Kishida, J. Furuta, K. Kobayashi, P. Weckx, B. Kaczer, T. Matsumoto, and H. Onodera, “Circuit Analysis and Defect Characteristics Estimation Methods Using Bimodal Defect-Centric Random Telegraph Noise Model”, International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), pp. 47-52, 2017/03, Monterey, CA.
10. T. Komawaki, M. Yabuuchi, R. Kishida, J. Furuta, T. Matsumoto, and K. Kobayashi, “Circuit-level Simulation Methodology for Random Telegraph Noise by Using Verilog-AMS”, International Conference on IC Design and Technology, I2, pp. I2.01-04, 2017/05, Austin, TX, USA.
11. R. Kishida, J. Furuta and K. Kobayashi, “Plasma Induced Damage Depending on Antenna Layers in Ring Oscillators”, International Conference on Solid State Devices and Materials (SSDM), pp. 209-210, 2017/9, Sendai, Japan.

## 国内学会（査読有）

1. 岸田 亮, 小林 和淑, 「Verilog-A を用いた経年劣化現象の過渡解析用トランジスタレベルモデル」, DA シンポジウム, pp. 67-72, 2013/08, 下呂 .
2. 岸田 亮, 大島 梓, 藪内 美智太郎, 小林 和淑, 「リングオシレータの発振周波数測定から求めたアンテナダメージによる初期および経年劣化評価」, DA シンポジウム, pp. 43-48, 2014/08, 下呂 .
3. 藪内 美智太郎, 岸田 亮, 大島 梓, 小林 和淑, 「リング型発振器の経年劣化と特性ばらつきの相関の評価」, DA シンポジウム, pp. 49-54, 2014/08, 下呂 .
4. 岸田 亮, 小林 和淑, 「65nm バルクおよび SOTB プロセスでのアンテナ比による製造時劣化の測定と評価」, DA シンポジウム, pp. 101-106, 2015/08, 加賀 .

5. 駒脇 拓弥, 大島 梓, 岸田 亮, 小林 和淑, 「65nm FDSOI プロセスにおけるランダムテレグラフノイズの測定と評価」, 回路とシステムワークショップ, pp. 42-47, 2016/05, 北九州 .
6. 岸田 亮, 小林 和淑, 「NBTI による経年劣化の基板バイアス依存性測定と評価」, DA シンポジウム, pp. 50-55, 2016/09, 加賀 .
7. 駒脇 拓弥, 籾内 美智太郎, 岸田 亮, 小林 和淑, 「アナログ回路に応用可能な RTN シミュレーション手法の検討」, DA シンポジウム, pp. 181-186, 2016/09, 加賀 .
8. 駒脇 拓弥, 籾内 美智太郎, 岸田 亮, 古田 潤, 小林 和淑, 「Verilog-A を用いたランダムテレグラフノイズ発生用モジュールを適用したリングオシレータ回路における過渡解析」, 回路とシステムワークショップ, pp. 226-231, 2017/06, 北九州 .
9. 岸田 亮, 古田 潤, 小林 和淑, 「電流スターブ型発振器を用いた周波数変動のしきい値電圧変換手法」, DA シンポジウム, pp. 198-203, 2017/09, 加賀 .

## 国内学会（査読無）

1. 岸田 亮, 籾内 美智太郎, 大島 梓, 小林 和淑, 「バルクと SOTB におけるアンテナダメージによるリングオシレータの発振周波数ばらつきの評価」, 電子情報通信学会技術報告 (VLSI 設計技術), VLD2013-84, pp. 159-164, 2013/11, 鹿児島 .
2. 大島 梓, 岸田 亮, 籾内 美智太郎, 小林 和淑, 「65nm SOTB プロセスで試作したリングオシレータを用いたアンテナダメージによる初期発振周波数劣化の測定と評価」, 電子情報通信学会技術報告 (集積回路設計), ICD2014-48, pp. 93-98, 2014/08, 札幌 .
3. 大島 梓, 岸田 亮, 籾内 美智太郎, 小林 和淑, 「アンテナダメージによる初期発振周波数劣化測定から求めたしきい値電圧変動の評価」, 電子情報通信学会基礎・境界ソサイエティ大会, A-3-8, pp. 52, 2014/09, 徳島 .

4. 岸田 亮, 大島 梓, 藪内 美智太郎, 小林 和淑, 「アンテナ形状の違いによる初期周波数劣化の評価」, 電子情報通信学会基礎・境界ソサイエティ大会, A-3-9, p. 53, 2014/09, 徳島 .
5. 岸田 亮, 大島 梓, 小林 和淑, 「65 nm プロセスにおけるアンテナダメージによる経年劣化の測定と評価」, 電子情報通信学会技術報告 (集積回路設計), ICD2014-106, CPSY2014-118, pp. 123-128, 2014/12, 東京 .
6. 藪内 美智太郎, 大島 梓, 駒脇 拓弥, 小林 和淑, 岸田 亮, 古田 潤, P. Weckx, B. Kaczer, 松本 高士, 小野寺 秀俊, 「40 nm SiON プロセスにおけるランダムテレグラフノイズ複合欠陥モデルを用いた回路解析手法」, 電子情報通信学会技術報告 (VLSI 設計技術), VLD2016-52, pp. 49-54, 2016/11, 茨木 .
7. 岸田 亮, 古田 潤, 小林 和淑, 「リングオシレータによる製造時のプラズマダメージと経年劣化の測定評価」, LSI とシステムのワークショップ, 2017/5, 東京 .
8. 岸田 亮, 古田 潤, 小林 和淑, 「リングオシレータのランダムテレグラフノイズによる周波数変動自動測定回路」, VDEC デザイナーズフォーラム, 2017/9, 筑紫野市 .



## 発表論文対応リスト

### 2章：Bias Temperature Instability (BTI)

- 2.4 節：国内学会（査読無）5.
- 2.5 節：国際学会（査読有）6, 8. 国内学会（査読有）6.
- 2.6 節：国内学会（査読有）9.

### 3章：アンテナダメージ

- 学術論文 2. 国際学会 2.
  
- 3.2 節：国内学会（査読有）4.
- 3.3 節：学術論文 4. 国際学会（査読有）11.
- 3.4 節：国際学会 4.

### 4章：ランダムテレグラフノイズ (RTN)

- 4.1 節, 4.2 節：学術論文 3. 国内学会（査読有）8.
- 4.3 節：国内学会（査読無）8.

