



K Y O T O  
INSTITUTE OF  
TECHNOLOGY

# デバイスシミュレーションによる ソフトエラー耐性の評価

張魁元 小林研究室

京都工芸繊維大学

ソフトエラー勉強会

2014/09/04

# 発表概要

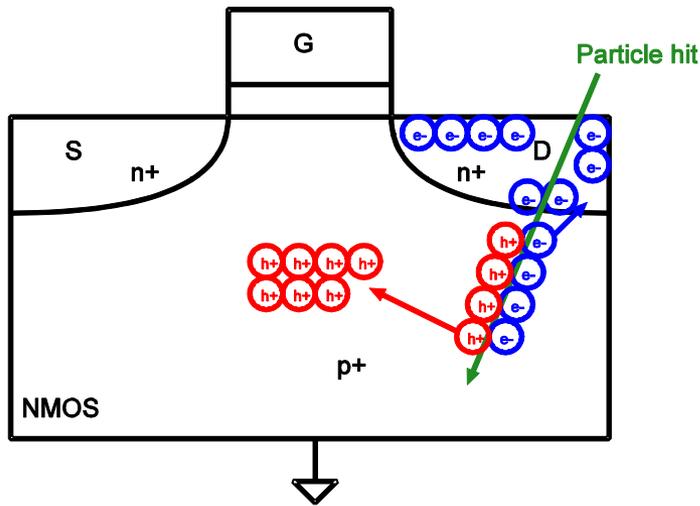
- RADECS2013/IRPS2013の発表内容
  - TCADシミュレーションを用いて、冗長化ラッチのMCU率を評価
  - 冗長化ラッチのMCU/SEUはラッチ間の距離Dにより指数関数的に下がる
- IRPS2014の発表内容
  - 基板電位によるソフトエラー耐性の検討
  - バルク構造において
  - SOTB構造において

# 発表内容

- 発表概要
- RADECS2013/IRPS2013の発表内容
- IRPS2014の発表内容
- まとめ

# ソフトウェアエラーの発生メカニズム

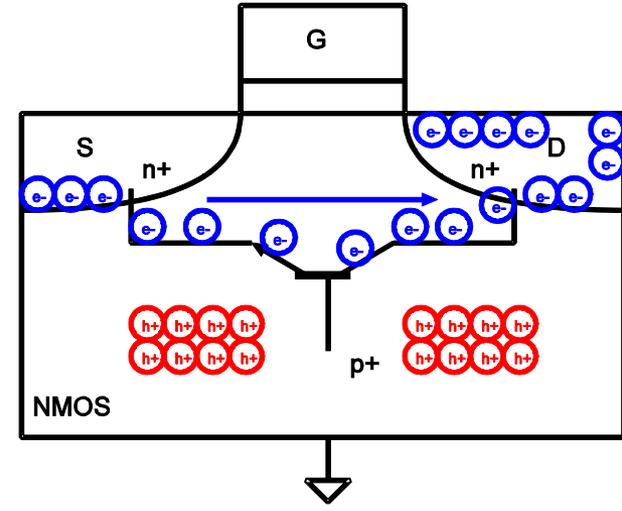
## 誘起電荷収集



## 粒子線突入

- ドレインに誘起電荷が収集される

## 寄生バイポーラ効果

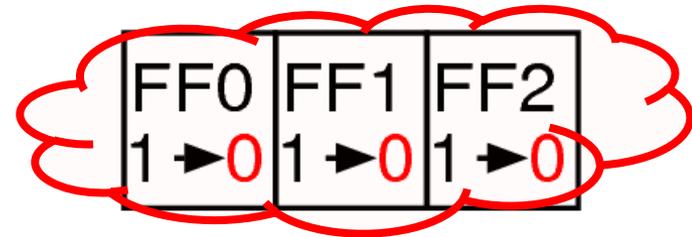


- 基板に寄生するバイポーラトランジスタが“ON”する

# MCUの発生する要因

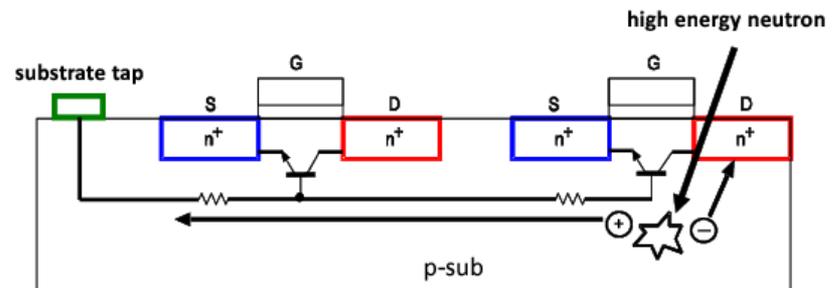
## ■ 電荷共有 (チャージシェアリング)

- 高いエネルギーを持った粒子線が衝突
- 大量に発生した電荷が複数のトランジスタに収集

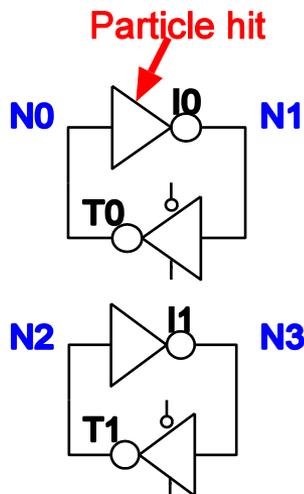


## ■ 寄生バイポーラ効果

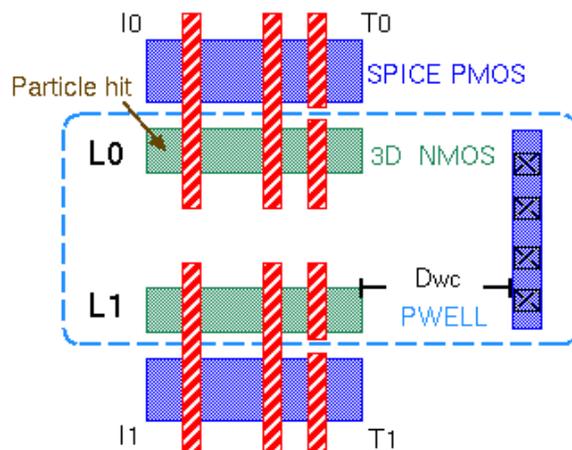
- 発生した電荷によって基板電位が上昇
- バイポーラトランジスタがONする
- トリプルウェル構造で顕著



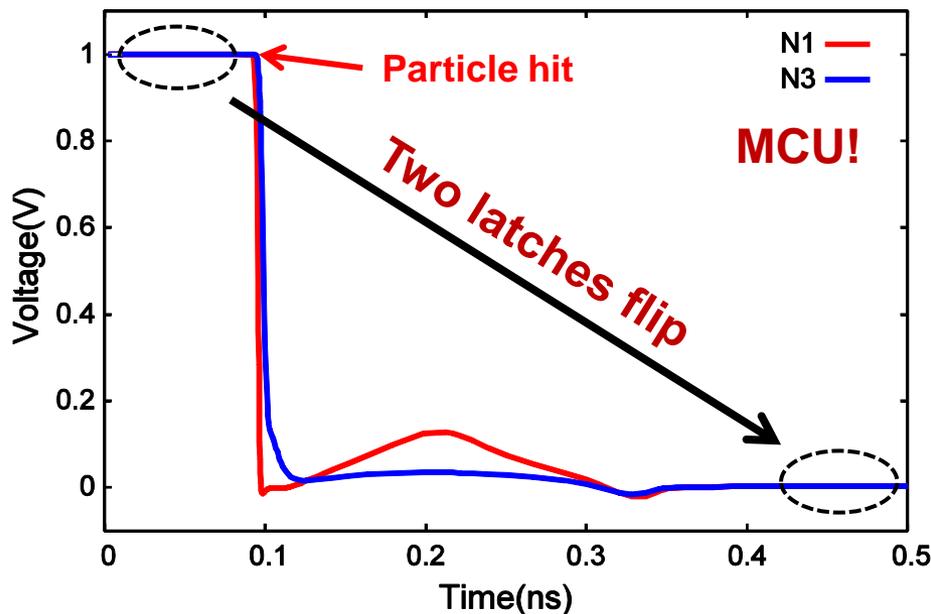
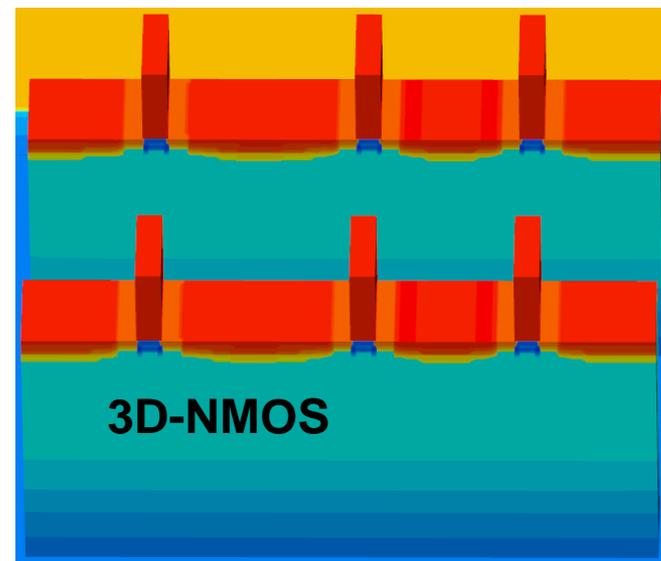
# TCADによるMCU耐性の評価



冗長化ラッチの回路図

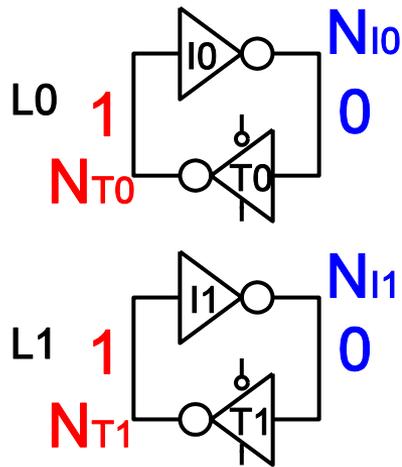


冗長化ラッチのレイアウト

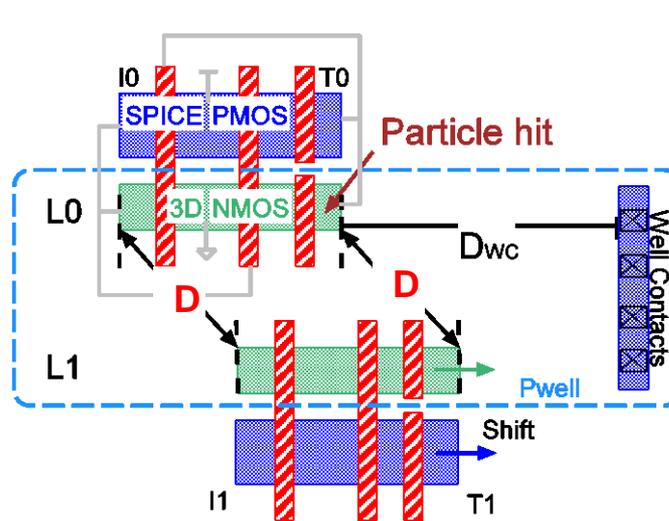


- 冗長化ラッチにおけるMCU
  - チャージシェアリング (電荷共有)
  - バイポーラ効果

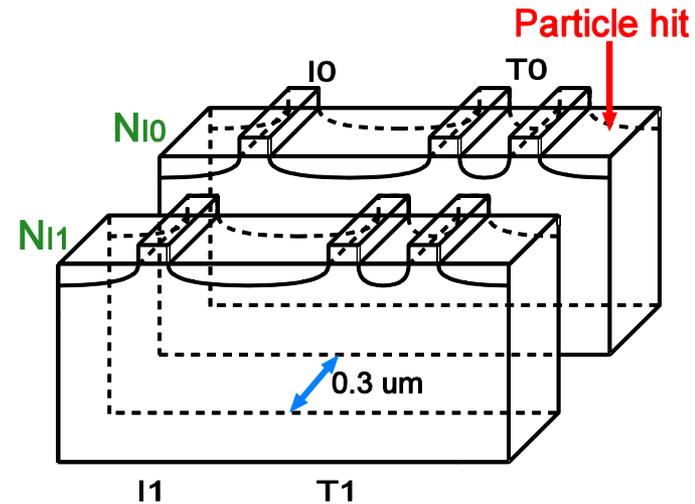
# シミュレーションのセットアップ



回路図



レイアウト図

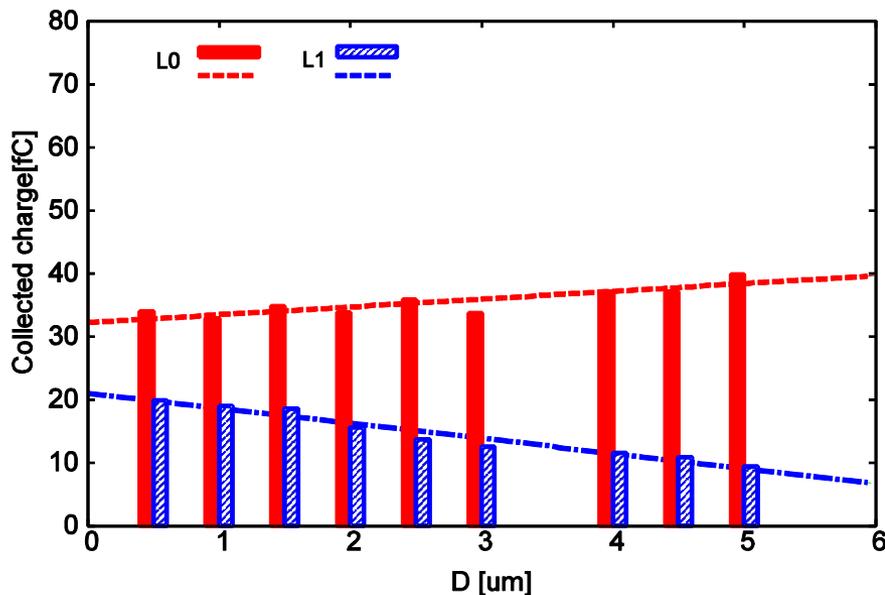


3D NMOSデバイスモデル

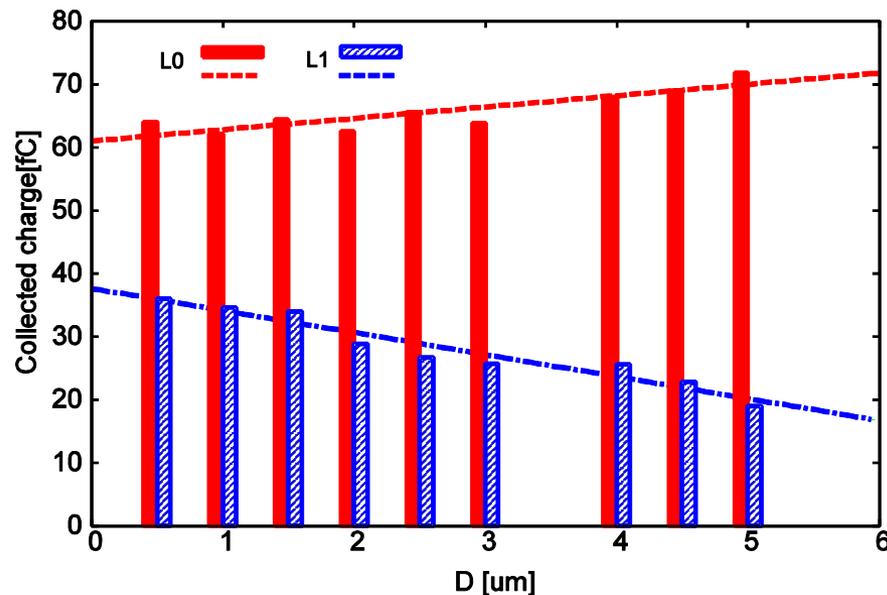
- ラッチとタップ間の距離を $D_{wc}$ に定義する
- 冗長化ラッチの間の距離を $D$ に定義する
- 冗長化ラッチを並列に並ぶ時 $D=0.3 \text{ um}$

# 距離Dによる電荷収集量

## ■ LET=10 MeV·cm<sup>2</sup>/mg



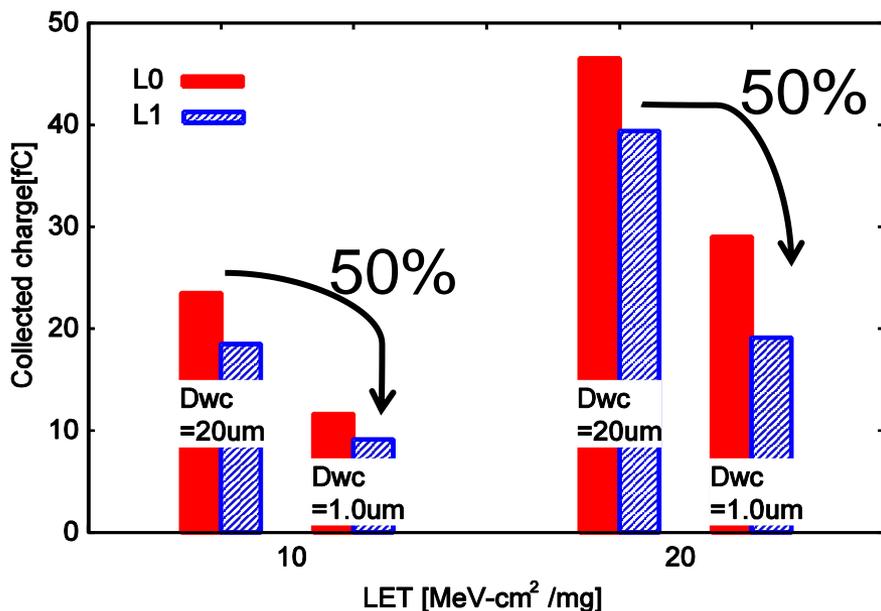
## ■ LET=20 MeV·cm<sup>2</sup>/mg



- L0における電荷収集量は徐々に増加している
- L1における電荷収集量は減っていく
- 冗長化ラッチの間の電荷共有と寄生バイポーラ効果が弱くなることが分かった

# $D_{wc}$ による電荷収集量

## ■ $D_{wc}$ による電荷収集量



- $D_{wc}$ を1 $\mu\text{m}$ に縮めることにより、ラッチの電荷収集量は約50%低減

- ラッチに隣接するタップが基板電位を強く固定し、ラッチ間の寄生バイポーラ効果が弱くなる

- $D_{wc}$ による冗長化ラッチのMCU率は異なる
- $D_{wc}$ 毎にMCU率を求めることが必要

# ソフトウェアエラー率を求める

- 冗長化ラッチにおけるSEU(MCU)が発生する  
臨界電荷量を求める
  - SEU(MCU)が発生する最少電荷収集量
- 下記の式によってMCU/SEUの比を求める
- 次のページに結果を示す

$$N_{SER} \propto \exp\left(-\frac{Q_{crit}}{Q_s}\right)$$

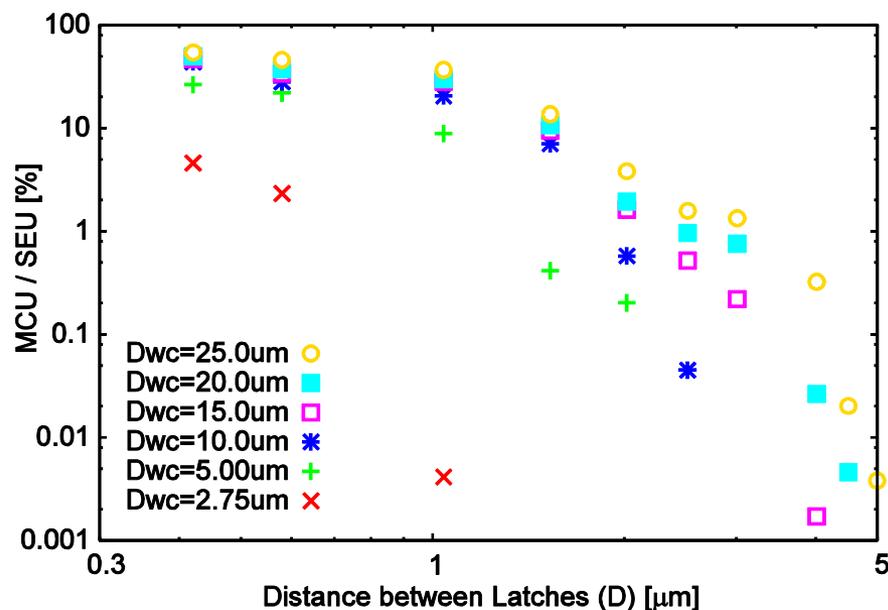
$Q_{crit}$ : 臨界電荷量

$Q_s$ : プロセスによって決まる量 (65nmプロセス)

# $D_{wc}$ による冗長化ラッチのMCU率

- $D_{wc}$  毎に距離DによるMCU/SEU
- 距離DによるMCU/SEU

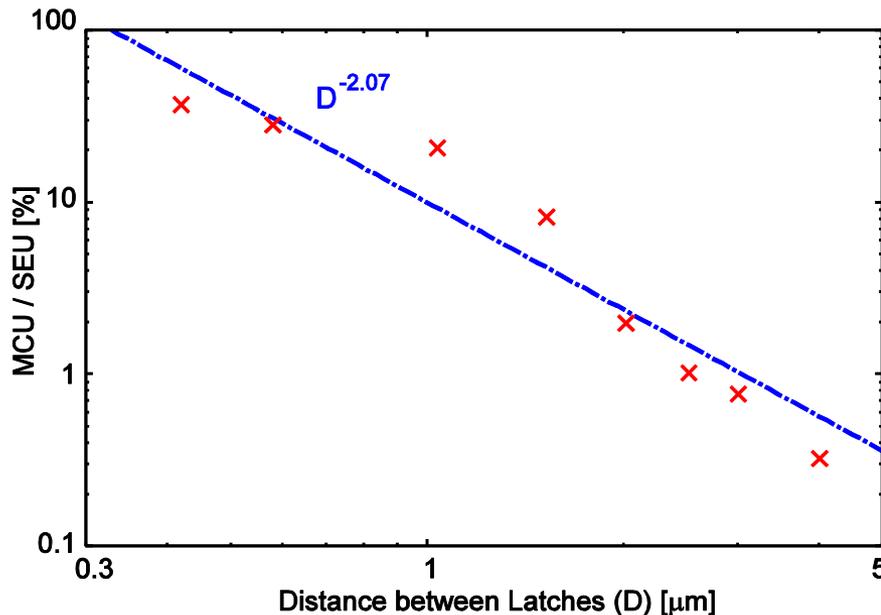
D	$D_{wc}$ [ $\mu\text{m}$ ]					
	2.75	5.00	10.0	15.0	20.0	25.0
MCU/SEU [%]						
0.5	4.57	26.28	43.63	46.38	48.79	49.65
0.6	2.31	22.31	28.18	33.56	37.70	45.74
1.0	0.0042	8.89	20.57	27.69	29.70	36.63
1.5		0.42	7.08	9.37	10.59	13.52
2.0		0.20	0.57	1.60	1.94	3.84
2.5			0.045	0.51	0.97	1.57
3.0				0.22	0.74	1.32
4.0				0.0017	0.026	0.32
4.5					0.0046	0.02
5.0						0.0038



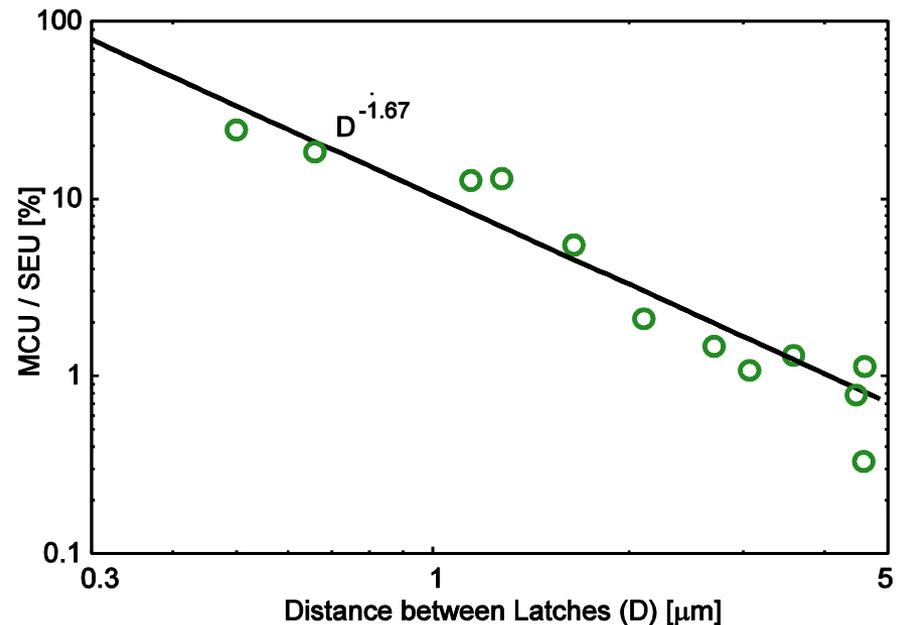
- Dを離すことにより、冗長化ラッチのMCU率は下がる

# 実測結果との比較

## ■ シミュレーション結果



## ■ 中性子実測結果



- シミュレーションによるMCU/SEU比の平均を取る
- 実測結果と一致
- 冗長化ラッチにおけるMCU率は距離Dにより**指数関数的に**下がる



# PHITSについて

Kobayashi Lab.

- PHITS: **P**article and **H**eavy **I**on **T**ransport code **S**ystem
  - 任意の体系中における様々な放射線の挙動を、核反応モデルや核データを用いて模擬するモンテカルロ計算コード
  - 加速器を設計する時の物理シミュレーション
- PHITSを用いて中性子起因のソフトエラー耐性を調べることができる
  - 二次イオンの情報
  - Deposit Energy
  - デバイスシミュレーションが必要

# シミュレーションの比較

- TCADのみ
  - 重イオンモデル
    - 中性子起因の評価ができない
  - 式による計算
    - シミュレーションの結果の信頼度が低い
  - シミュレーション時間はやや長い
- TCAD+PHITS
  - 中性子モデルを用いた評価ができる
  - 計算式に頼らずにソフトウェア率を得る
    - 結果の信頼度が高くなる
  - 長時間のシミュレーションが必要 (PHITS部分)

## ■ ダンプファイルについて

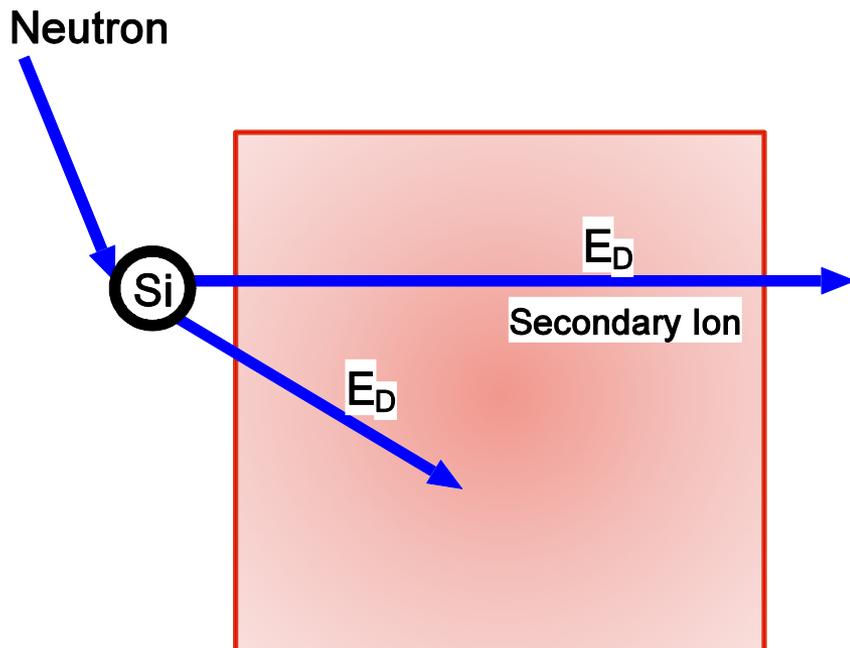
- 二次イオン粒子の種類、方向、エネルギーなどを出力
- 有感領域に突入(通過)するイオン粒子を把握
- 二次イオンの情報をデバイスシミュレーションに利用

## ■ Deposit Energyについて

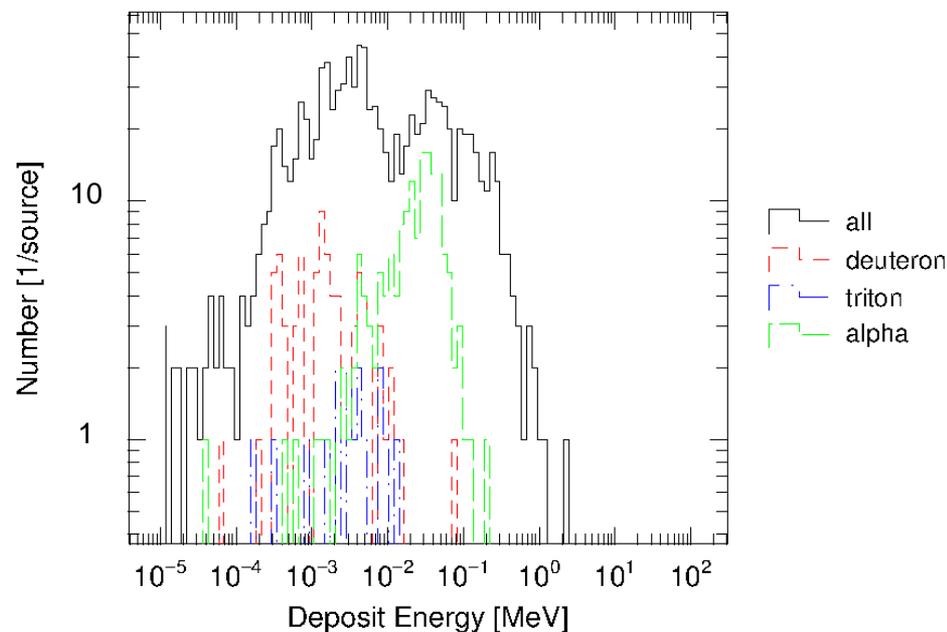
- 二次イオンが有感領域に突入する際に出したエネルギー
- 電荷収集量に関わる
- 文献によると、  
0.1 MeVのdeposit energy  $\leftrightarrow$  5fCの電荷収集量

# Deposit Energyについて

## ■ PHITSを用いた核反応

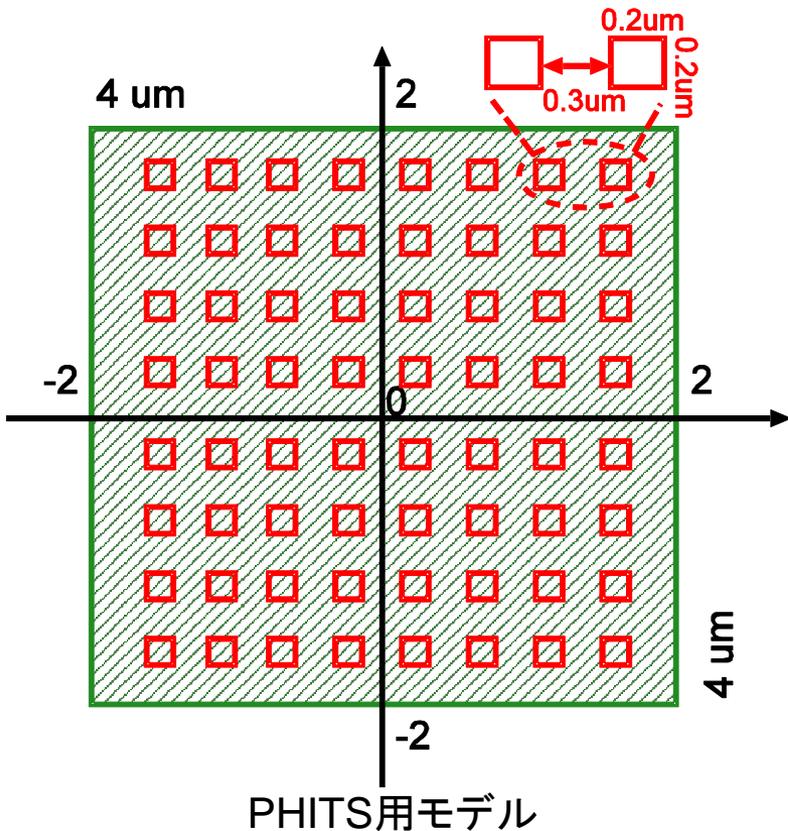


## ■ Deposit Energy



- 中性子がデバイスの有感領域内で核反応する
- エネルギーを出す (Deposit Energy)

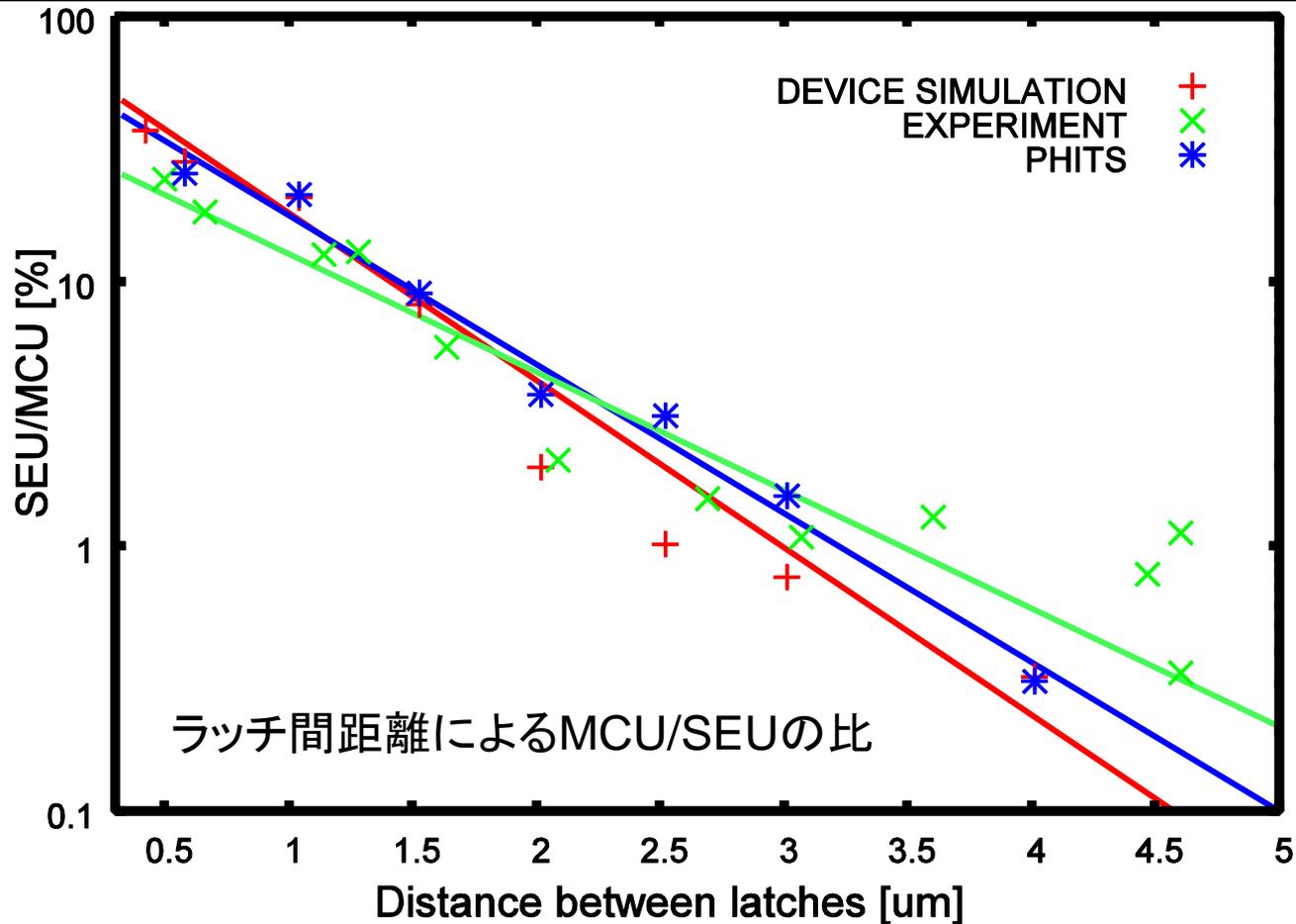
# PHITSを用いたMCU率の計算



D [um]	DE	NSEU	NMCU	MCU/SEU 「%」
0.3	0.128	322	169	52.5
0.5	0.177	322	115	35.7
1.0	0.241	322	76	23.6
1.5	0.366	322	35	10.9
2.0	0.573	322	15	4.66
2.5	0.658	322	11	3.42
3.0	0.690	322	10	3.11
4.0	1.097	322	1	0.31

- 1、PHITS => Deposit Energyを求める
- 2、デバイスシミュレーション =>  $Q_{MCU}$  と  $Q_{SEU}$
- 3、Deposit Energy +  $Q_{MCU}$  と  $Q_{SEU}$  =>  $N_{MCU}$  と  $N_{SEU}$

# 結果分析

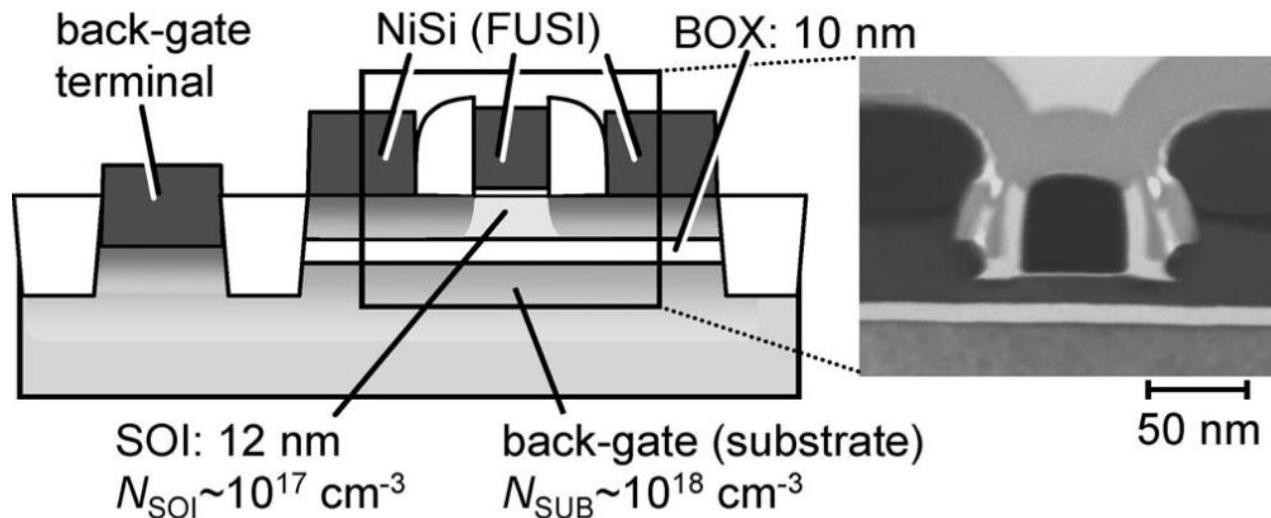


- PHITSを用いた結果はTCADシミュレーションと実測に一致
- MCU率は指数関数的に下がることを検証

# 発表内容

- 発表概要
- RADECS2013/IRPS2013の発表内容
- **IRPS2014の発表内容**
- まとめ

# SOTBとは

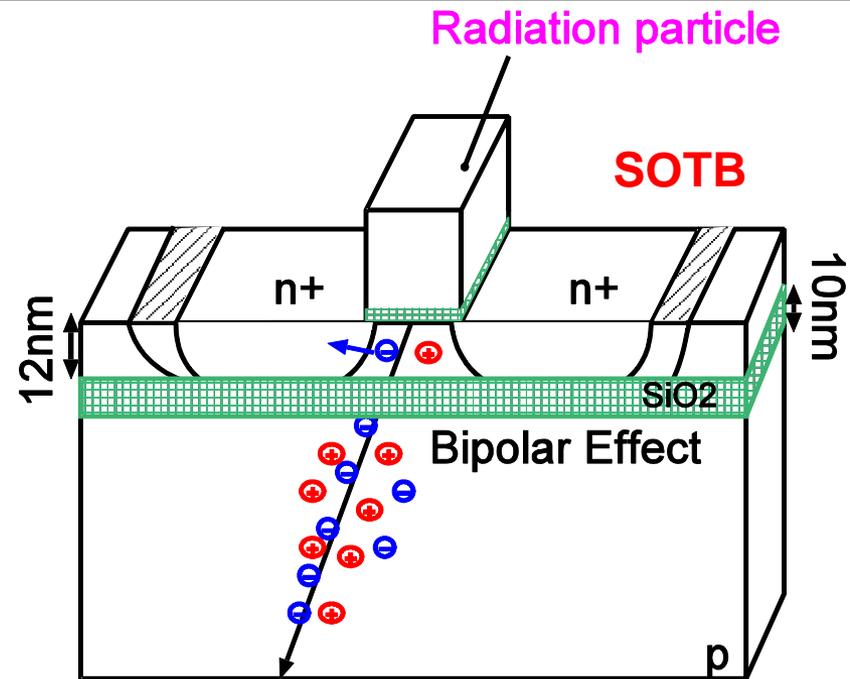
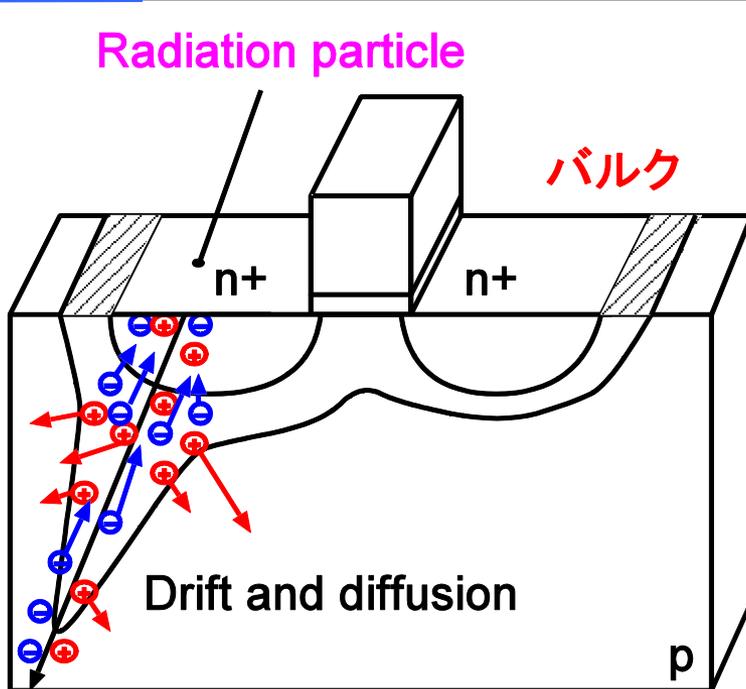


## SOTBの構造 [IEDM 04]

- SOTB (Silicon On Thin BOX) 薄膜BOX層FD-SOI
- IBMのETSOIに基づく構造
- STのUTBBに似ている

# バルク構造との比較

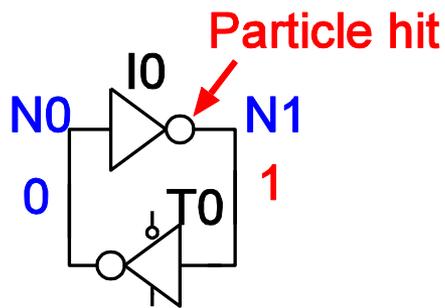
Kobayashi Lab.



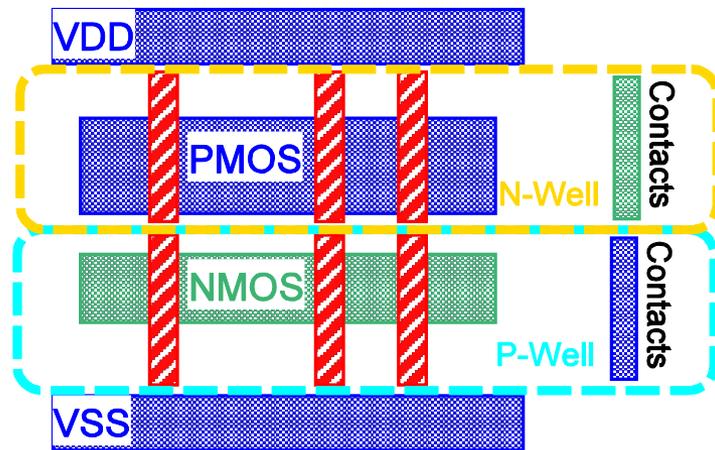
Comparison	BULK	SOTB
電荷収集	Driftとdiffusion	寄生バイポーラ効果
ソフトエラー耐性	弱い	強い

# シミュレーションの準備

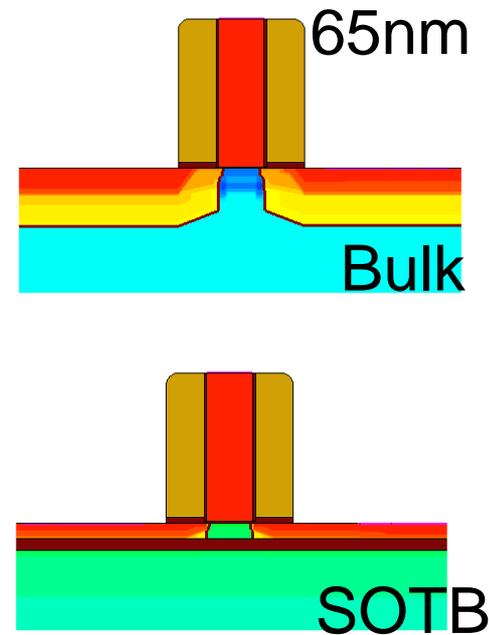
Kobayashi Lab.



ラッチ



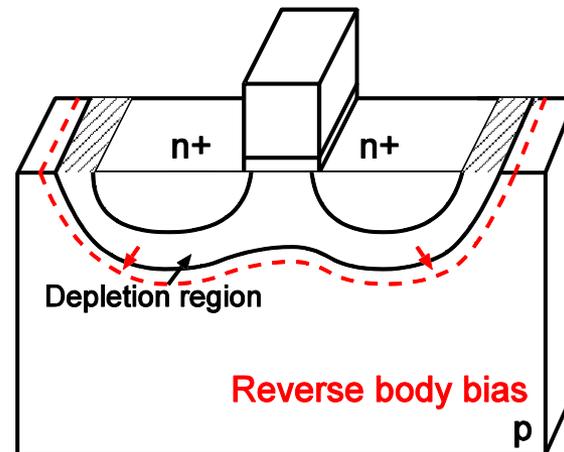
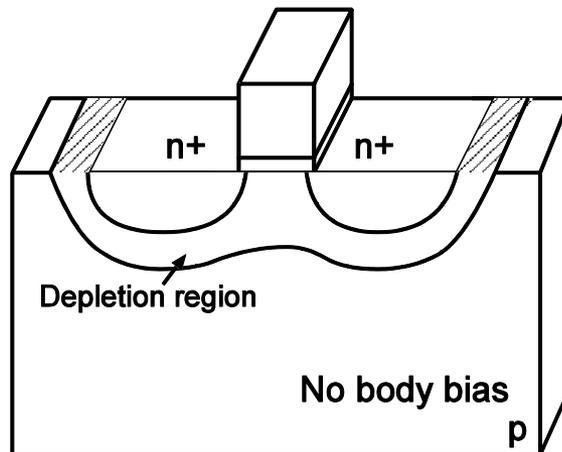
レイアウト構造



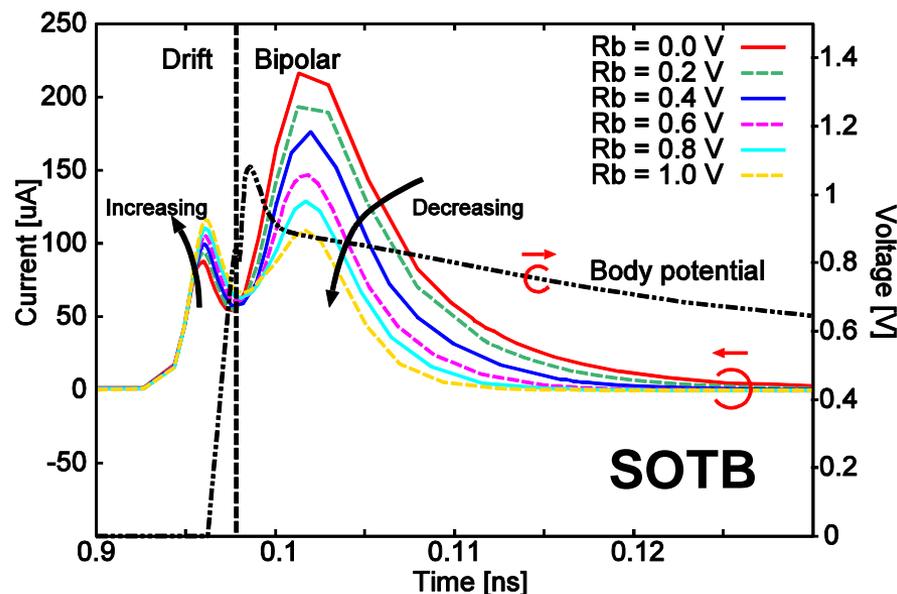
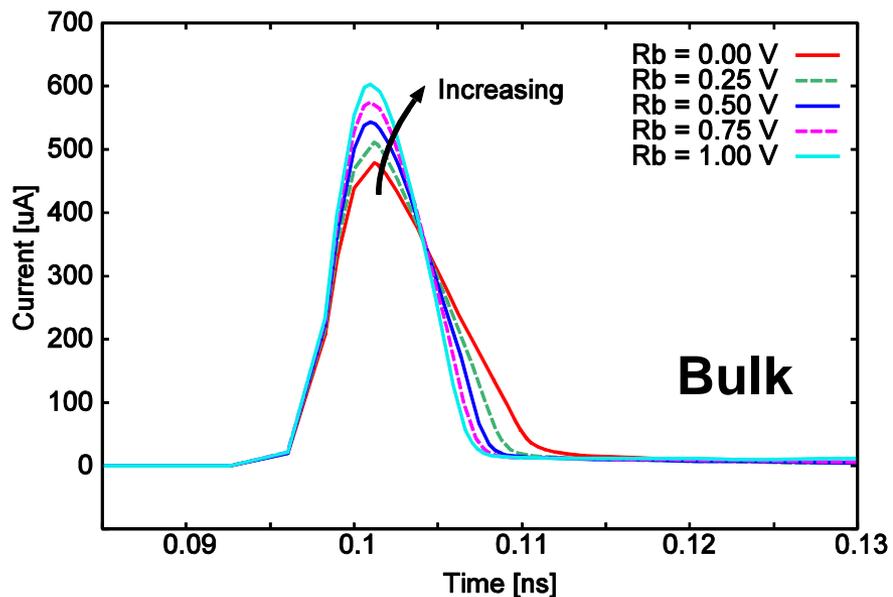
- 粒子線がインバータI0のドレインに突入
- 0Vから1Vにスイープする
- BOX層とSOI層の厚さがそれぞれ10 nm と12 nm

# 基板バイアスについて

- リバースバイアスを印加する場合
  - リーク電流を抑える
  - 低消費電力
  - 空乏層幅が広がり、電荷が収集されやすくなる
  - 基板電位の上昇が抑制され、バイポーラ効果が弱くなる

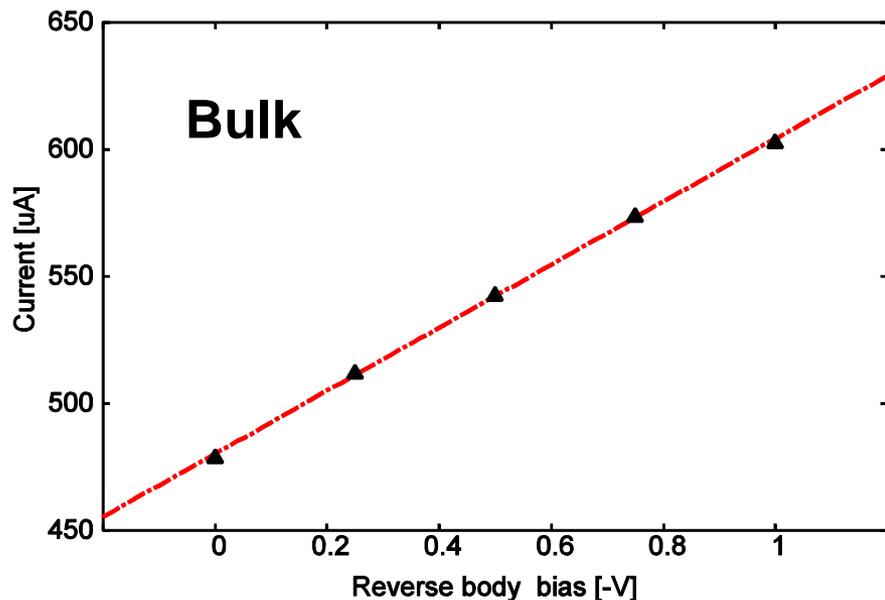


# 電流パルスの変化①

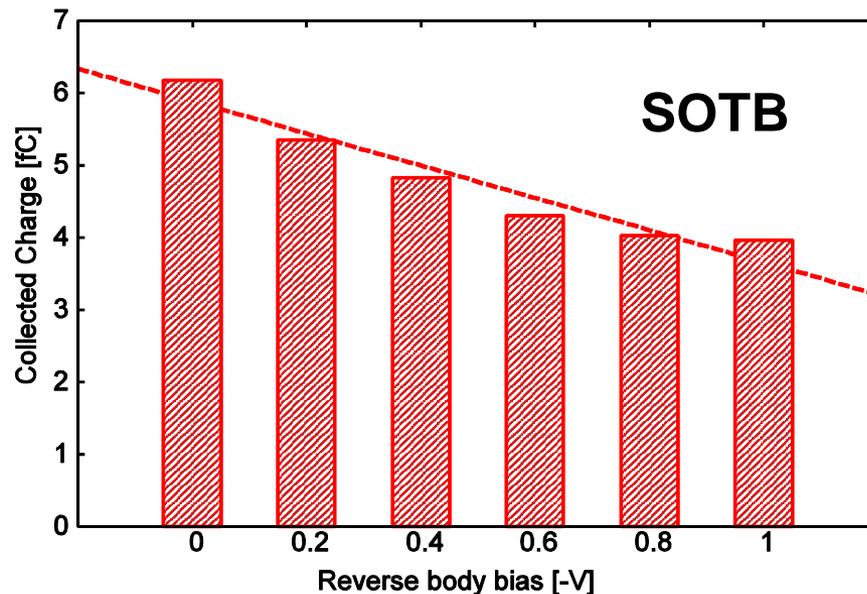


- バルク構造の電流パルスの最大値が増加  
-> ドリフトによる電荷量が増えている
- **バイポーラ効果**がリバーシバイアスにより弱くなる  
-> 電荷収集量が減る

# 電流パルスの変化②



バルク構造の電流パルスの最大値

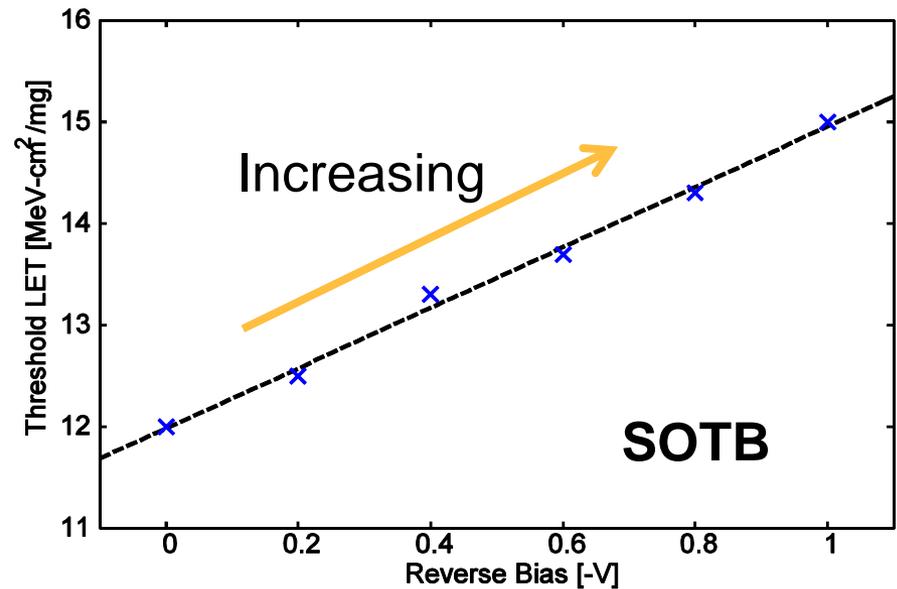
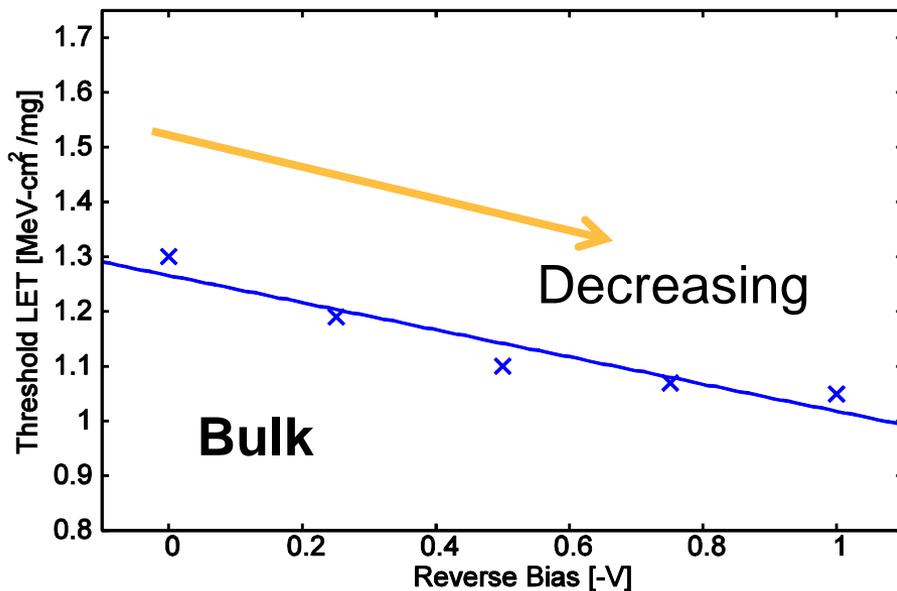


SOTB構造の電荷収集量

- バルク構造の電流パルスの最大値が線形に上がる
- 寄生バイポーラ効果がSOTBの電荷収集の主要因  
-> 電荷収集量が40%減る

# 臨界LETについて

Kobayashi Lab.



- リバースバイアスを増やすことにより:
  - > バルク構造の臨界LETが下がる
  - > SOTB構造の臨界LETが上がる
- SOTBの臨界LETはバルク構造の約10倍となる



# まとめ

- 冗長化ラッチの間の距離を離して、MCU/SEUの比は**指数関数的に下がる**
- リバースバイアスをかけることにより、バルク構造のソフトエラー耐性が弱くなり、SOTB構造がソフトエラーに強くなる
- デバイスシミュレーションの結果は実測結果と一致している