

Landmarks in Terrestrial Single-Event Effects (地上におけるシングルイベント効果の歴史に残る出来事)

NSREC 2013 short Course

by Robert. C. Baumann

平成 26 年 5 月 2 日
小林和淑

I-1 実時間の故障 (Failure)

NSREC の記念すべき 50 周年に敬意を評して、このショートコースでは、地上環境での民生電子機器におけるシングルイベント効果 (SEE) を理解する上での様々なブレイクスルーを歴史的に振り返ることにする。半導体技術がミクロン、サブミクロン、ディープサブミクロンから近年のナノメータスケールまで、微細化するにつれ、容量、機能が増加したり、コストが低減するという「ムーアの法則」[1] を満たす半導体の進歩に伴う発見や、増大する一方の知見について言及する。それぞれの歴史的な出来事 (landmark) の影響は中身をごく簡単に理解してもらうために、このショートコースの前半部分では、民生デジタル機器での SEE の現状を大まかに紹介する。

比較的安全な地上環境においても (より厳しい宇宙、医療機器、原子炉、武器などと比べてである)、放射線効果は電子機器の信頼性に深刻な影響を与える。地上における SEE がどのように電子機器に影響するかの議論は、市場で大部分を占めるデジタル CMOS 技術に焦点を当てて説明する。実際、スマートフォン、タブレットやパソコンを開けて内部を見ると、演算をつかさどる何らかのプロセッサ、ディスプレイ、様々なインターフェースが詰まっている。これらのプロセッサはグルーロジック¹に囲まれた SRAM から構成される。SRAM は、データ、プログラム、キャッシュ、ディスプレイといったいくつかの異なる領域に分割されている。グルーロジックはいろいろな機能を有し、様々な回路ブロック間でデータをやり取りする。システムは、大規模なプログラムの実行を行うために大量の DRAM、不揮発メモリ (permanent memory) としてハードディスクやフラッシュディスクを付加することが多い。これらのいたるところで使われているメモリや論理素子の地上における SEE の影響を学ぶことにより、民生機器の大半に直接適用可能な、一般的な知識を得ることができる。SEE や他の要因であるかにかかわらず、シミュレーションとモデリングにより予想したり、加速試験から外挿した高い故障率は、最終顧客に見える形で影響を与えない限り、無意味なものとなる。民生機器を作る産業界が SEE を憂慮する主たる理由は、フィールドで実際に観測されている故障率が多大な影響を与えているからである。今日では、使い込まれた適格なテクノロジーにおいて、SEE はほとんどの電子機器の根本的な信頼性を制限している (エラー訂正回路 (ECC) などの主要な対策技術が採用されていても通常はそうである)。他の言い方をすれば、SEE は今日において、他の故障要因を合わせたとしても最高の故障率を有する。これが最終的に顧客に影響を与えるか否かは、単にアプリケーションがクリティカルであるかどうかにかかっている。クリティカルではないアプリケーション (例えば携帯電話) は、命を左右することはない (この

¹SRAM 間を接続する回路

分類については議論の余地はあるが)ので、比較的ソフトエラーによる故障率 (soft failure rate) が許容されることが多い。逆に、安全性を要求されるアプリケーション(車の動的安定制御, エアバックの展開など)で同じ故障率は、受け入れられないほど高いとみなされる。特に、回路の故障が人間の命や安全性に関わる場合は特にそうである。高い信頼性を要求されるアプリケーションでは、対策されないSEEは、市場のシェアや、利益を失う要因となる非常に高い (high-profile) 製品の故障を引き起こす。民生電子機器におけるSEEの影響を理解することは、信頼性の高い製品を作ることを可能にするための極めて重要な要件である。このテーマの典型例として、実社会でSEEが大きく商業的に影響を与えた例として図1に記事を示す。

Sun Screen

Daniel Lyons, *Forbes Global*, 11.13.00

mysterious glitch has been popping up since late last year...It has caused problems for America Online, Ebay and dozens of other major corporate accounts...The Sun has caused crashes at dozens of customer sites. An odd problem involving **stray cosmic rays and memory chips** in the flagship Enterprise server line...Sun found it had been shipping servers whose cache modules contained faulty SRAM chips from a supplier it won't name.

...a dot-com in San Francisco has been waiting several weeks for a repair. It bought a Sun 6500 server to run the database that is the core of its business. The server crashed and rebooted four times over a few months. "It's ridiculous. I've got a \$300,000 server that doesn't work. The thing should be **bulletproof**," says the company's president.

図1: Forbles Global Magagine からの引用。SUN マイクロシステムズのエンタープライズサーバにおける宇宙からの中性子線の影響で起こった信頼性問題を述べている。この問題は、見える形での信頼性と保守性 (serviceability) の欠如であったため、SUN の顧客が他のベンダーに流れ、深刻な収入減となった。

この話は、いくつかの文献に掲載されているが、中性子物理の問題がビジネス誌で注目を浴びると、この問題が、金銭上重大な影響を与えることは容易に想像できる [2]。この問題では、一流のサーバメーカ (SUN マイクロシステムズ) の主要製品が高いソフトエラーによる故障率 (予想よりも ~1000%高い) にみまわれた。これは、多くの最終顧客にとって受け入れがたい低い信頼性を持った SRAM キャッシュモジュールによるものである。この恥ずべき問題の原因は、SRAM 内の ^{10}B がドーピングされたガラス素材が低いエネルギーの中性子²に敏感なことであった。これにより、製品に受け入れがたいほど高いソフトエラーによる故障が起こったのである。この部品のソフトエラー率は、嚴重に調べられていたため、エラーに対するシステムの応答としては、単純にシステムをロックし、修理をする技術者がマシン (計算機) を復旧させるまで、“安全 (safe) モード” にしていた。SRAM の供給ベンダーがこの危険 (高いソフトエラーによる故障率) を知っていたら、製造プロセスから ^{10}B を取り除き、高い故障率とはならなかったであろう。もしくは、サーバシステムの設計者が、SRAM の故障率が高いことを知っていたら、サービスを止めることのないように何らかの対策を施していたはずである。この問題の鍵は、SEE は、今日、進んだプロセスを使った半導体製品の主要な故障要因であり、最終顧客に影響する信頼性起因の故障は、顧客の信頼度を下げ、大きな金銭的損失につながるということである。システムの信頼性、可触性?(accessibility)、保守性 (動作可能時間) が最重要である領域での

²熱中性子

信用の失墜による SUN の金銭的損失は、10 億ドルを超えたと見積もられている。

厳密的には地上での事象ではないが、次の事例は、SEE が複雑な制御システムにどのような影響を与えるかの良い例である。最新の飛行機は電子制御による飛行システム（一般的には、フライバイワイヤ (fly-by-wire) と呼ばれる) に大きく依存している。このシステムでは、パイロットの手動制御と実際の翼の動きは、直結していない。飛行制御コンピュータが翼を制御する油圧アクチュエータに配線上の電気信号として「動けという命令」を送っている。コンピュータ (信頼性向上のためシステムは通常三重冗長化されている) は、翼の動きの応答と飛行機の動きをセンスし、必要な命令を調節する。2011 年の 12 月にオーストラリア交通安全局 (ATSB) は、フライバイワイヤの制御システムの故障が、危険な下降動作 (急降下) につながるという調査を報告した [4]。2008 年の 10 月には、シンガポールからオーストラリア西部のパースに向かっていたエアバス A330-303 (カンタス航空 72 便、詳細な飛行経路は図 I-2) が、37,000 フィートの高度で自動操縦で飛んでいた時、3 つの慣性基準装置 (飛行機のピッチ、ロール、傾きなどをモニターしている) が、誤った値を出力し始めた。特に、誤った迎角のデータに反応し、飛行機は失速しはじめたという誤った認識をし、飛行機のコンピュータは機種を下げる (図 I-2 の下に書かれた図のように仰角を下げるため) という命令を送った。この劇的で突然の仰角の変更により、1/3 の乗客と 3/4 の乗務員が怪我を負った (何名かは重傷であった)。

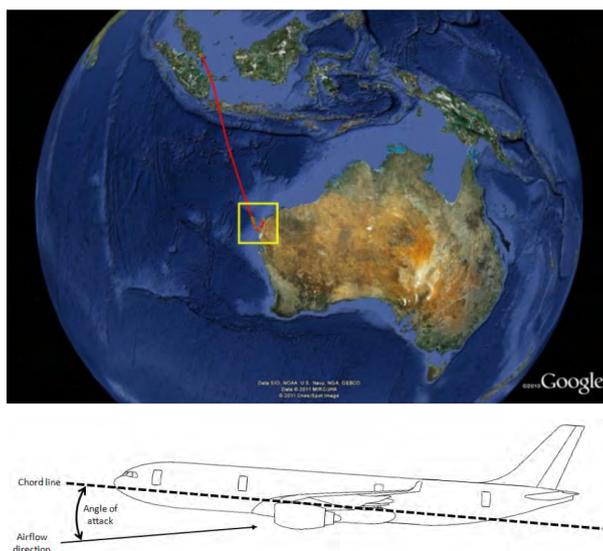


図 2: 飛行機の飛行経路とどこで騒動が発生したか (黄色い箱)。飛行機が失速し始めた (機種が与えた飛行速度では高すぎる=仰角が大きすぎる) という飛行コンピュータへの誤った指示による誤作動の結果、実際には飛行機は水平に飛んでいたのに、コンピュータは機種を激しく下げ、乗務員と乗客に大きな怪我を負わせた。[4] からの図

この部品の故障は 1 億 2800 万時間の動作に対して 3 回だけ起こっており、この部品は飛行機製造会社の信頼性の基準と検知できない故障の率を満たして (飛行機製造会社はその後、同じ事故を防ぐためにアルゴリズムを再設計した)。3/0.12=23.44FIT の故障率は 37,000 フィートでの保護されていない (ECC を持たない) メモリの SEU 率はそれよりも 1000 倍も高いため、信用できる値ではない。従って、誘発された“誤作動 (glitches)”の率は通常はもっと高い。これは、システムが誤作動に対しては高い堅牢性 (robustness) を有することを意味する (三重化でこれが可能である)。しかし、この特殊なケースと、2 つ

の似たケースでは、特定のサブシステムの誤作動とある条件下のシステムの感度が重なったために、深刻な事態を引き起こした。調査によると、故障はハードウェア部品内で発生するイベントの影響とともに (CPU とメモリはエラー訂正を行っていないため生じる) 一つの稀なタイプの内部もしくは外部からのトリガーとなるイベントにより始まったと結論づけた。一つのトリガーとなる可能性のあるイベントは、CPU 内の回路の一つで発生する中性子起因の SEE であると考えられる。しかし、多くの SEE 起因のフィールド故障と同様に、SEE が故障を引き起こしたと結論づけるには十分な証拠がないという調査結果となった。白色中性子ビーム (Los Alamos, TSL, TRIUMF などの <1 MeV から数百 MeV までの航空電子機器がおかれる環境を適切に模擬する核破砕中性子ビーム) を使って、この稀ではあるが明らかに重大な故障を明らかできるであろう。

ほとんどのデジタル電子機器においては、SEE は、“ソフト” エラーを引き起こす。ソフトエラーは放射線、一般的にはエネルギーを持ったイオンが、メモリセル、レジスタ、ラッチ、フリップフロップのデータの状態を反転させるのに十分な電荷を生成したときに起こる。このエラーは、回路やデバイス自身が放射線により永久的に損傷しているわけではないという意味で、“ソフト” とみなされる (新しいデータがビットに書き込まれれば、デバイスは正しい値を保持するようになる)。反対に、“ハード” エラーは、デバイスが物理的に損傷を受け、故障が起こり、データが損傷し、さらにその損傷状態が永久的に続く場合を表す (パワーデバイスは SEE によりハード (永久) 故障を起こしやすい)。ソフトエラーと時々誤解されることのある一時故障として知られているもうひとつの中間的な故障がある。しかし、これらの一時的な故障は、動作余裕のほとんどない (marginal) デバイスやある動作条件においてのみ、たゞしく動作しない欠陥や潜在的な損傷により起こるという意味で、ハード (永久) 故障に近い。一時的な故障はあるテストは通るが別のものは通らないというデバイス上の場所 (location) と密接な関係がある。本当に放射線起因のソフトエラーか、ソフトエラーのように見える一時的な故障かの明確な違いは次のように判別できる。故障しているデバイスの場所がランダムであれば前者で、同じ場所が故障していれば後者である。完璧さを求めるためには、粒子の放射線の影響に関係しない他のいくつかのソフトエラーの要因があることに留意すべきである。これらには、電磁界干渉、ノイズ、クロストーク (高周波信号やうまくシールドされていなかったり設計がうまくない PC ボードに起こる様々な寄生成分によるグリッチ (一時的なパルス)) によるエラーが含まれる [5]-[9]。一時的な故障のように、これらは通常何らかの場所依存性があるため、真の粒子線起因のソフトエラーと区別できる。加速試験においては、これらは問題とはならないが、フィールド (通常状態) での故障として観測されると、故障箇所が繰り返されているかを判別するのが困難もしくは不可能である。多数の“ソフト” フィールド故障が起こった事例をある顧客から聞いたことがある。しかし、そのフィールド故障率は予測されたソフトエラーによる故障率より 25 倍高く、さらに 12 のうちの 2 枚のボードに限定して発生していた (場所的にランダムではない)。その顧客に PC ボードを調査するように進言し、ボード製造メーカーがそれらのボードにデカップリング容量をつけ忘れていたことがわかった。ボードの修理が終わるとソフトエラー問題は解消した。工業標準規格に沿ったデカップリング容量、グラウンドループ、EMI 標準に従って適切に設計されたシステムでは、粒子線からの放射線に起因するソフトエラーのみが発生する。

ソフトエラーに関する主な懸案事項は、破損したデータがシステムの状態を変える下流のプロセスで使われ、システムの故障 (例えば、正しくない命令や、計算間違い、処理間違い、システムのレポートなど) となるかどうかである。ソフトエラーが起こる率をソ

フトエラー率 (SER) と呼ぶ。SEE とソフトエラーはほとんど同じ意味で使われているが、SEE は永久的な回路の故障も引き起こすいくつかの現象も含んでいる。SER と実際にはすべての他の信頼性に共通に使われる単位として、FIT (Failure-In-Time) がある。1FIT は、10 億デバイス時間 (10^9 デバイス時間) つまり 114,155 年に 1 回の故障に等しい。FIT は非常に小さな値であり、そうであるべきである。これは、デバイスに非常に低い故障率を要求するからである。対処しなければ集積回路の性能を低下させる可能性のある重大な信頼性問題は十以上もある [10-11]。しかし、それらすべての問題が引き起こす故障率は、適正な製品では合わせても、通常は 5-40 FIT の範囲に収まる (図 3 を見よ)。

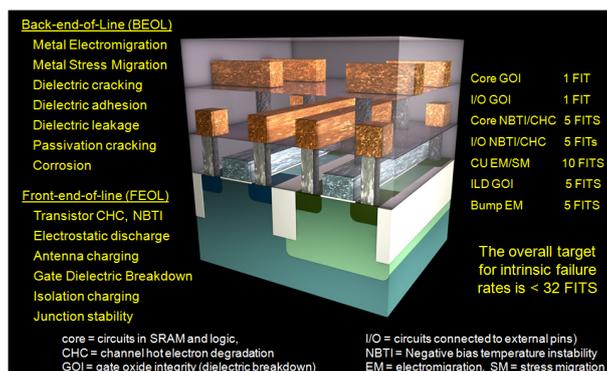


図 3: 主な信頼性問題のリストと、条件を満たした半導体プロセスで許される典型的な “ハード (永久) “ 故障の上限値。故障率は上限値 (控えめの上限値) であり、主として動作温度と電圧により規定される。従って、標準的な製品では、一般的なハード故障率は、実際にはこれよりも何倍も小さい。

ソフトエラーは最新のコンピュータに使われる LSI チップにおいては大きな懸案事項となっている。これは、訂正されなければ、その他の信頼性問題が引き起こす故障率を合わせたものよりも故障率が高くなるからである！ 永久故障率とは真逆に、対策なしでは、SER は、簡単に $10,000\text{FIT}/\text{chip}$ となる！ $10,000\text{FIT}$ は、一般的な永久故障率と比べても大きく聞こえるが、24 時間毎日動いたとして、10 年で 1 回以下の不良である。しかし、高い信頼性を要求されるアプリケーション、重要な (critical) システム、千個ものチップが載っている大規模システムにおいては、この故障率は非常に大きな問題となる。従って、一時的な放射線起因のソフトエラーは多種多様な顧客のアプリケーションで使われる最新の電子部品やシステムの鍵となる脅威となっている。

II-6. Upsets from Alpha Particles (アルファ粒子起因の反転) NSREC 2013 short Course by Robert. C. Baumann

平成 26 年 8 月 21 日

小林和淑

宇宙での 4k DRAM のソフトエラー率 (Performance) に関する Pickel と Blackford の調査報告の 4ヶ月前, 1978 年 4 月に, インテル社の Timothy May と Murray Woods は, 民生電子機器の世界を震撼させる論文を IRPS で発表した [124]. そこでは, 初めて, 4K と 16K DRAM の故障率が製品のパッケージ内の成分に含まれる天然の放射性物質であるウラン, トリウム, その周辺の不純物の放射性崩壊 (radioactive decay) により生成されるアルファ粒子によるものが支配的であると述べた. - “DRAM と CCD のソフトエラーの新しい物理的なメカニズムは, デバイスを取り囲む天然のパッケージに含まれる成分からの強くイオン化した放射線による動的 (Dynamic) ノードの過渡的な反転 (upset) である.” 間違いなく「歴史に残る」論文であり, 民生電子機器界に初めて電子機器におけるソフトエラー問題を認識させた. この論文は, アルファ粒子が原因物質であると結論づけている. 著者は, この問題は今後も続くテクノロジースケーリングで永続的な信頼性の脅威であり, 重要な課題であると警告している. “論理状態を区別する電子の数が高密度なメモリデバイスほど少なくなっていくという傾向により, このメカニズムは, 将来のデバイス世代, 特に 64K かそれ以上で設計やテクノロジーに制約を与えるであろう” 著者は Q_{crit} というイオン化した放射線のイベントの信頼性を規定する尺度の概念を初めて紹介した. “DRAM は, 蓄積容量に少数キャリアの電荷があるかないかでデータを保存する. リフレッシュ動作が電荷を維持するの必要である. n チャネルの MOS RAM と CCD では, 電荷は電子である. ‘1’ と ‘0’ を区別する電子の数を, クリティカルチャージ, ‘ Q_{crit} ’ と定義する. “ May と Woods はパッケージ成分に関する節で, “産業界で使われているガラスやセラミクスや他の成分の 粒子のフラックス (flux, 流量) レベルを減らすことはそれらの物質を取り除くのにコストがかかるため, 難しいだろう. さらに, どんな場合においても, 将来の非常に密度の高いメモリに必要な 2-3 桁低い 粒子のフラックスを達成することは出来そうもない. 含まれるアルファ粒子の動きを観察することは, 含まれる流量が小さいため, 難しい問題となるだろう [125].” 著者は図 II-19 に示すように, Q_{crit} が 1/2 になると 2 桁以上 SER が上昇することを示す (ソフト) エラー率のグラフを提示している.

この論文では, 次に説明する 3 つの主要な分野における民生電子機器への対策を紹介している. まず, シリコンデバイスのプロセス, レイアウト, バイアスの関数としてシリコン中のアルファ粒子の電荷生成と収集の力学の特性評価やモデリングに焦点を当てた詳細ないくつかの研究が行われた. 次に, アルファ粒子の軽装法の改善, 将来のテクノロジー世代に必要と考えられる格段に低いアルファ線放射に必須の製造プロセスや, 材料の純度を高める技術の開発に甚大な労力が注がれた. 要求通りの低いアルファ粒子の放射率を満たすほど材料から不純物を取り除けなかった場合には, 可能な時点で新しい 粒子量が低い代替材料が開発された. あるいは 粒子に弱い LSI チップをシールドしたり, 遮蔽したりする方法が採用された. 最後に, デバイスの Q_{crit} を増やしたり, それと同様に電荷収集効率を下げたり, ソフトエラーに強いデバイス技術を開発することによって, 故障率を下げることに特に注力したプロセス設計やレイアウトに新しい工夫を行うことを推奨した.

May と Woods のが DRAM の 粒子について報告して 1 年以内に、シリコンの接合におけるアルファ粒子の性質と影響に焦点を当てた実験とシミュレーションに関する論文がいくつか相次いで発表された。これらの最初に当たるのが、ベル研の David Yaney, J.T. Nelson, Lowell Vanskike らのもので、「収集効率は入射する粒子のエネルギーと角度の関数である。ほとんどの現世代の 16K DRAM ではメモリセル (Storage cell) に格納された値が失われることはなく、むしろセンスアンプやビット線が影響を受けやすい。センスアンプによる読み出し (sensing) はデバイスが動作している (active) 状態で行われるため、システムの動作モードにより、観測させるソフトエラー率に影響を与えてしまうことがある。」と述べている。セルへの衝突によるソフトエラーは、デューティサイクルに依存しない (セルへの衝突には実質上いつでも反応する) が、センスアンプのソフトエラーはデューティサイクルに依存する (メモリアクセスの間のみ反応するため) ことを示して、センスアンプへの衝突がセルへの衝突よりも支配的であると考へた。これは、DRAM のビットセルが主要因であるという May と Woods の結論とは異なる。Yaney らは、アルファ粒子がシリコン中で停止する最大距離の近辺で、最大の電荷密度が生成されるブラッグピークも観測した。ここでは「垂直入射の軌道中では電荷の 60% しか、収集されない。これは、電荷密度が均等ではなく、軌道の最後に集中していることによる。したがって、高い電荷密度は、収集されるべき高い電界領域から離れており (基板の深いところ)、低い効率で収集される。これは、高いエネルギーを持つ 粒子が、デバイス内で最大の収集電荷を生成するとは限らないことを意味する。」と述べている。この文献の最後の重要な発見は、バルクシリコンの接合では、電荷収集の大部分は、ドリフトによるものであるが、エピ層¹に作成された接合では、図 1 に示すように拡散の方が明らかに大きい。

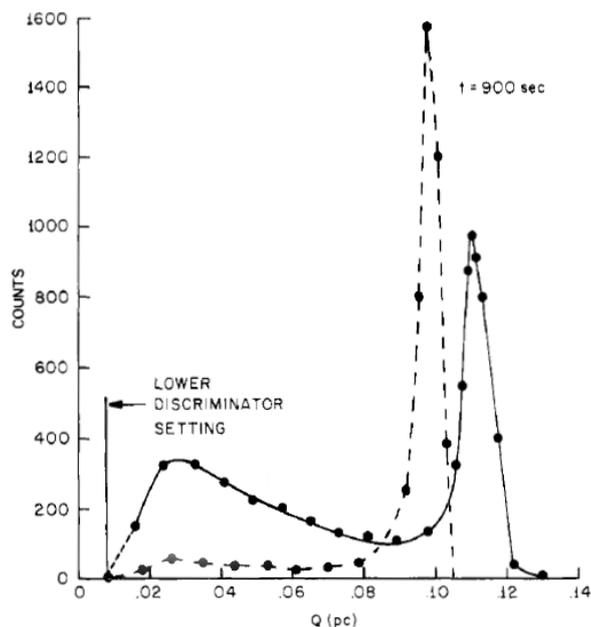


図 1: 5MeV の 粒子を照射した場合のバルク基板 (点線) とエピ層を持つ基板 (実線) の接合の収集電荷とのヒストグラム。尖ったピークはドリフトによるものであり、低い収集電荷での緩やかなピークは拡散による。 [126] より。

¹シリコン基板上で新たに結晶成長させた低抵抗のシリコン層

この分野のもう一つの歴史的な出来事は、IBMの技術者である C.M. Hsieh, P.C. Murley, R.R. O'Brien らの2本の論文である。彼らは、シリコンの接合でアルファ粒子の軌跡に沿ってドリフトと拡散により生じる電化収集について言及し電界ファネリング効果を紹介した。「これらの効果で最も重要なのは、電界ファネリングと呼ぶ効果である。pn 接合周辺の空乏層のような高電界領域を生成されたキャリアが通過すれば、キャリアの存在により電解は歪み、それまで電界のなかった領域まで、軌跡に沿って広がる。この電界により、ゆっくりとした拡散によるよりもドリフトにより急激に軌跡に沿ってキャリアが収集される。数ナノ秒後、接合付近で生成されたキャリア密度は、基板の不純物密度と同程度となり、歪んだ電界は接合が復元するにつれて元の状態に徐々に戻る。従ってこの影響の範囲は基板の不純物濃度に強く依存する [127, 128]。」図??は、ファネルの形状を、ゆがんだ等電位線で表している。a.) は、垂直に入射した 粒子の通過してから、a) 0.1ns 後、b) 1ns 後をそれぞれ表している。Hsieh らによる2本の論文は、ファネルによる空乏層領域の拡大により接合で収集される電荷が著しく増大することを示した。彼らは、ファネルの深さについても観察を行い、収集電荷の大きさは、基板の不純物濃度と強い関係があると結論づけた。もっと不純物濃度の低い基板上に形成された接合では、さらに大きなファネリング効果が起こり、不純物濃度の高い基板よりもさらに大量の電荷が収集される(ここでは、不純物濃度の高い側壁部分の濃度は同じと仮定している)。収集電荷における基板の不純物濃度の影響は、図??c に明快に示されている。同じ 粒子の突入に対して、不純物濃度の低い基板上の接合は、80fC 以上を収集しているが、不純物濃度の高い基板上の接合は、40fC 以下しか収集していない。「ファネリング効果は計算機上の計算で予測され、実験により検証された。粒子が衝突したノードは、ファネリング効果により、ほとんどの電荷が収集される。拡散による電荷共有は小さい。抵抗の低い基板はSER が低いいため優れている [128]。」この論文は、イオンが通過することにより収集される電荷を減らすための不純物濃度の変更を施すことに特化したガイドラインの一つとして二世代ものプロセス技術者の役に立っている。少し短いですが、粒子の回路への影響を定義した特筆すべき論文がもうひとつある。UCB²の Cheming Hu によるもので、ファネル長を計算するための簡単な式が書かれている [129]。

$$CollectionDepth = (1 + \frac{\mu_n}{\mu_p})W \quad (1)$$

本式は、n+/p ダイオードにおいて、有効収集長(垂直方向の衝突を考えると深さ)が、接合の空乏層幅 W とファネリング深さの項の和となり、空乏層幅と電子と正孔の移動度 μ_n, μ_p の比の積に比例することを表している。Hu 教授はこの単純な式に基づく電荷収集が、ファネリング深さが $N_a^{-1/2}$ (p 型アクセプタの不純物レベル) のに比例して増えていくことを正しく予測していると述べている。p+/n 接合では、式 II-1 の移動度比 μ_p/μ_n と反転することに注意されたい。Hu 教授はこのモデルが次2つの事実を予測しているとも述べている。ひとつ目は、電流波形やファネリング深さ(収集長はコスト項を持つ)に入射角が影響すること、もうひとつは p+/n 接合では、(電子の高い移動度のために)ファネリング効果が弱いことである。この論文で提示されたこの方法は、非常に有効であり、私(筆者)は、個人的に、我社の DRAM のトレンチセルの設計手法を変更した時に利用させてもらった。この簡単な式が正確であることを検証するために、粒子の加速試験を多数行ったことも付け加えておく。したがって、この式は単純ではあるが、計算により求めた

²カリフォルニア大学パークレー校

収集長と深さで、 dQ/dx を積分して生成電荷を決めるさいの比較的簡単な計算を行う研究者にとっては重要な論文である。

May と Woods の「爆弾」は、粒子の測定方法を改善することに多大な努力を促し、将来のテクノロジー世代に必要であると考えられる格段に低い粒子放射率を可能にする製造プロセスや材料の純度を高める技術の迅速な開発を促進した。拍手喝采を浴びたパッケージの粒子が世に知られてから1年で、パッケージの放射率、特性、材料などを調べるいくつかの文献が出版された。Intel の技術者の E.S. Meieaan, P.R. Engel, T.C. May らは、次のように述べた。「設計者はパッケージの修正に起因するソフトエラー率を出来る限り減らすことを試みて、設計の修正に伴う要求を減らそうとするだろう。したがって、パッケージ設計者には、線量を減らすために、パッケージベンダと協力することが求められ、おそらく1/5 から1/10 に減らすことが現実に期待されている... ソフトエラー率を下げるのに必要な活性度が低いことを見るために、より良い放射線測定方法を用意しなければならないだろう... 非常に大きな面積での気体の流量を数えたり、精緻な線の分光法が明らかな選択肢となる [130]。」この著者らは、その時点で知られた手法とそれぞれの検出可能レベルを表 II-1 にまとめた。この表から明白にわかることは、その時点では、 $0.01 \alpha/\text{hr}/\text{cm}^2$ よりも低い線量を検出することは課題の1つであったことである。その後10年でこれらの手法は改善され、検出量の下限が下がり、10-100倍となった。3M の J.A. Wooley らは、最新の解析と材料を概観した論文で、大きな脅威となると思われる材料を次のようにまとめた。「最も危ない材料はチップの表面と正対もしくは隣接するものである... 最も危ない材料はチップ表面と平行に板上に置かれるもの(すなわち基板もしくはカバー)である.. パッケージの封子材料は見込み角が小さく、面積も小さいため、少なくとも平行平板源よりも2桁大きくても良い [131]。」著者は次のように付け加えている。「 $0.01\alpha/\text{hr}/\text{cm}^2$ 以下の線量を持つ99.9%の酸化アルミニウムセラミック半導体パッケージを作るには、現在商用に流通しているよりも低いウランとトリウムを含む酸化アルミニウム原料が必要となる。」そして、さらに低い放射レベルを要求する材料の開発に加えて、「直接の線量を測定する方法と組み合わせて、ウランとトリウムを分離しより分ける分析技術」を産業界は求めている。この時代には、線量が $0.01\alpha/\text{hr}/\text{cm}^2$ より小さいと認証された物質はすべて「低線量」として扱われ、高価で取引されていた。パッケージ用鉛合金との純度を高める研究をしていた半導体合金の化学者である S.W. Levine による1979年の論文が、粒子の問題に対処するためにベンダーが追求している活動の特筆すべき事例である。「蓋の上の金の板は半導体チップに面する主要な面であるため、金に含まれるトリウムやウランの含有量をできるだけ減らすことが重要である... トリウムやウランを除去することは... キレート剤を使えばできるが... 特許で守られているキレート剤を電気メッキ槽に加えることでウランイオン、トリウムイオン、それらの放射性同位元素を固定し、金の板の蓋に残らないようにする [132]。」Levine は $0.01 \alpha/\text{hr}/\text{cm}^2$ よりも減らすことは不可能だと示唆しているが、「非常に高性能な測定器を所有し、通常製品から取り出したサンプルを500時間もの間測定した複数の半導体製造メーカーから報告を受けた。金箔を貼った蓋を測定したところ、線量は0.01 から0.003 count/hr/cm²の間であった」と述べている。しかし、低線材料よりも低い線量を有する材料の特性を測定するには、特殊な技術が必要とされる。Leven の論文には、次の紹介とともに適切な統計的手法を明確に特定している。「放射線の測定のさいに必要なとされる確度に達するために必要な測定時間を決めいるための数学はよく知られたものである。しかし、要求される検出レベルの確度で事前に決められる活性化レベルの要求仕様が、過去に出版された文献

では、少しおかしいことがある... 我々は活性度がある限度を超えるサンプルがあるかどうか(これが顧客の要求仕様)を試験しているので、サンプルの活性度が定められた値を超えない時間で、背景放射線 (background) だけでは、相当量の時間のしきい値を超えないことは重要である³。」不幸にも、Levine の業績に沿った方法は、確度や標準偏差に関する指標なしに個々の放射率を報告しているほとんどの材料ベンダーでは、発表後、10 年間無視され続けた。線量を数えるさいの問題は、背景放射線量を引いた量が実際の信号であるため、背景放射線量が大きく、標準偏差/信頼区間が言及されていない場合、実際には高い線放射量を持つにもかかわらず、その材料の放射線量は 0 と結論づけられることが多い。1990 年代後半までに、放射線レベルが低線とされる量よりも 1/10 であるとうたった材料の純度を高める方法の仕様に基づき新しい仕様定められた。多くのベンダは $0.001\alpha/\text{hr}/\text{cm}^2$ 以下であると定義されることの多い超低レベルの線量の材料の出荷が可能であると言っていた。TI(テキサスインスツルメント)では、ウランとトリウムの不純物レベルを測定し、さらに大きな面積で線量を数えるための非常に感度の高い中性子放射化分析と組み合わせた非常に線量の多い線測定方法を使っていた。社内では、材料を標準(量を調節していない)、低線、超低線の 3 つに分類していた。100 以上の線量測定の研究から、ベンダに $0.001\alpha/\text{hr}/\text{cm}^2$ の材料を供給するように要請した場合、一般的には、それが不可能なことは明白である。従って、少なくとも社内では、この材料は超低線量 (ULA) として $0.002\alpha/\text{hr}/\text{cm}^2$ 以下の材料とうたっている材料を指定した。これは $0.001\alpha/\text{hr}/\text{cm}^2$ 以下である材料とベンダが断言するのを見て、複数のロットから複数のサンプルを取り出してテストしたところ、非常に少ない例外ではあるが、それが $0.001\alpha/\text{hr}/\text{cm}^2$ 以上であることがあった(時には著しく大きいこともあった)。表 II-2 に示した例が、この問題を示している。これは、ベンダが TI の ULA 仕様の $0.002\alpha/\text{hr}/\text{cm}^2$ 以下を上回ったと主張した材料からの線量の実測値である。ベンダは測定値(7 行目)のみを教えてくれた。さらなる議論を行う前に、線量測定の実データを入手した。90% の信頼区間を使うと、24 時間という短い時間での測定限界(10 行目)は、 $0.017\alpha/\text{hr}/\text{cm}^2$ である。つい最近になって、標準化した線測定方法を採用するように産業界に強く働きかける活動の一環として、TI と他数社で、JDEC JESD-221 テスト仕様 [133] を策定した。

May と Woods の論文の 10 年後に、この発見は経験を積んだ DRAM の経営者と技術者の中でこの論文がバイブル(原文では福音書)となるほどよく知られるようになった。観測されるソフトエラーはすべて、線からであった(過去形)。線は DRAM におけるソフトエラーでは支配的だと考えられていた。私は TI の 16Mbit DRAM 開発計画でソフトエラー問題を解決することとなり、数多くの線起因のソフトエラー率を加速する (ASER) テスト手法と線量をシミュレーションするツールの開発を行った。(トレンチを深くし、ゲート絶縁膜を薄くすることにより) Q_{crit} が上昇し、(基板の不純物濃度を高くし、トレンチの底にファネリング効果を減衰させる不純物を入れることにより) Q_{coll} が減少し、ASER テストでは元の設計よりも線への感度が 100 万分の 1 に減少した改良版であるにもかかわらず、(千個以上のデバイスを同時に千時間以上テストする)非加速試験では、システムとしての SER (SSER) は、この 2 つの設計でソフトエラー特性に大きな改善は見られないという結果となった。この後、苦労して多数の中性子活性度を持つすべての DRAM 材料の線量、線量解析、ASER テストでの DRAM の線感度などを定量的に評価し、隠された線源が何らかの形でプロセス中に混入したか、線が我々が観測しているソフトエラーの原因ではないときっぱりと断定されるかのどちらかであると結論づけた(特に後

³訳注：意味がわかりません

者の考え方はすべての観測されるソフトエラーは線に起因するという我々が確立し受け入れた考え方に反するため、非常に大きな抵抗を受け、上司からも反感を買った。私は我々のプロセスフローをシステマティックに解析し、ウェットエッチをもっとも有力な汚染源としてマークした。偶然にも、その時の私の上司であった Joe McPherson は、リン酸を含むリン鉱石が高いレベルの線を出す不純物(主にウランとその放射性崩壊によって生じた放射性物質)を含むことがあるとどこかで耳にしていた。半導体プロセスでは窒化シリコン層を除去するさいの半導体プロセスで、リン酸は普通に使われているため、期待していたよりも高い SSER を説明する意味で、“動かぬ証拠 (smoking gun)” をつかんだと考えた。様々なリン酸に含まれる不純物のレベルとその不純物が製造中にウェハー上でどの程度、堆積するか見定めるために、線量の測定と中性子の活性度解析を行った。表 II-3 に示すように、2つのリン酸プロセスで約 50 倍も違うことがわかった。製造時のリン酸でエッチングするさいに残留した線を放射する不純物がどのような影響を及ぼすかを、4つの異なるリン酸を用いた 1Mbit DRAM の製造時に調査し、実 SSER を測定した。解析では、ある条件下ではウェハーはリン酸からの線を放射する不純物で汚染されることがあったものの、異なるリン酸で製造された DRAM を用いた SSER のテストでは、リン酸に含まれる線を放射する不純物の濃度は測定結果にほとんど影響を与えないという悲しい結果となった(表 II-4)。プロセス時に使われている2種類の酸では50倍も異なるという事実をふまえて、酸の不純物レベルと SSER の実測値に相関がないことは線に無関係の現象がパッケージに入れられたデバイスではソフトエラー率を主に決めていているという考えを強めた。この発見は、社内では文書化されたが企業秘密としていた [135]。どのような発見でもそうであるが、似たような発見がほぼ同時に他の研究者によってなされていた [136]。面白いことに、Z. Hasnain と A. Ditali はリン酸が SSER に実際に影響を与えていることを見つけた。最終的に我々のリン酸とその他のウェットエッチに関する研究は線の隠れた汚染源となるものはないことを明らかにし、線の存在に無関係に DRAM ではソフトエラー率が高くなるという事実だけが残った。何かを見落としたり計算を間違っているのではないかという上司の強い意見はあったものの、この”kuhnsian⁴” 危機はこれは線によるものであるというこれまでの見解を超越してソフトエラー率を説明するために現れた新しい理論体型を作るための良い環境を作ったのである。

線を放射する材料が特定のソフトエラー信頼性目標を達成するのに十分なほど下げられないため、パッケージングよりもまえに、チップ上に低い放射線量であることがあらかじめわかっている材料を堆積させる方法も取られる。これにより、パッケージから放射される線を遮断する。1981年の IRPS の論文(ファネリングに関する Hsieh の論文と並んで)、ベル研所属の Malcolm. L. White 他3名の技術者はパッケージからの線を除去するために分厚いシリコン⁽⁵⁾製の RTV ゴムで SRAM を包んだプロセスでの実験結果を報告した。「2ミル⁽⁶⁾(最小)の厚さのシリコン RTV ゴム... $0.001\text{cm}^{-2}\text{hr}^{-1}$ の平均線量を持つ(少なくともこの時点では最良のパッケージ用材料よりも 1/10 低い)...IC の回路の載った面上に置かれている...がパッケージ材料から放射される線を効果的に遮断する...600 と 800 個の 4k SRAM が RTV ゴム膜に包まれて 1655 時間動作させた..ソフトエラーは 0 であった。[137]」この感度測定とパッケージの線放射に基づき、著者は RTV なしの SRAM では同じ試験でおおよそ 20 個のエラーが観測されると予想した。分厚い

⁴意味不明

⁵訳注：シリコンではなく柔らかいシリコン (silicone)

⁶訳注：0.1 インチ

RTV チップ膜は、効果的ではあるが、産業界には広く受け入れられない手法である。

ポリイミド(スピンコートされパッケージする前にチップに塗布される耐久性のある薄膜)が、機械的なストレスを緩和する層と 粒子のシールドの両方として多くの製造メーカーが製造フローに取り入れ、この問題に終止符が打たれた。日立ケミカルの技術者である牧野大輔氏は次のようにこのことについて述べている。「半導体で使用されるほど品質の良いポリイミド樹脂は幾つかの会社から市場に出されている... その構造はそれぞれ異なるが、温度、機械的、電氣的な特性の点では似た特性を持っている... 粘度や固形分はスピンコートにより2から4 μm の厚みのフィルムが得られるように制御されている...(パッケージの)充填剤に起因するストレスはチップ上にポリイミドの緩衝層を設けるとで緩和できる.. 薄い 線を吸収するフィルムをチップ上に形成することで... ソフトエラーを防ぐことが出来る [138]。」この著者は40-50 μm の厚みのポリイミドのフィルムを使用することにより、完全にソフトエラーを無くし(図 II-22a)、デバイスによっては10 μm が 粒子からのソフトエラーを著しく減らすのに十分であることを示した。しかし、不幸なことに、このように分厚いフィルムは複数回のポリイミドの堆積とその回復サイクルが必要なことから1回の生産にかかる時間が長くなりすぎ、信頼性高くボンディングパッドを開けることが極端に難しくなるため、量産時の製造には、ふさわしくない。TIでは、4 μm の厚さのポリイミド膜を使っていたが、私が最初にASERを測定したウェハのほとんどは、このコーティングをしていなかった - 実験により製品におけるポリイミドの厚さが実際に、シールドなしのものよりもSERを悪化させることがわかった。ポリイミドをさらに厚くすることは次の2つに影響を及ぼす。- 入射角が大きい入射のほとんどを遮断するのが1つ目である。しかし同時に、角度の小さい(垂直に近い)入射ではブラッグピークをデバイス層の近傍に近づける。4 μm のポリイミドシールドは、センシティブボリュームの近傍で 線の大多数を止めてしまう。一方シールドなしにすると、 線により生成された電界のほとんどは基板のより深いところで収集されるためほとんど害を及ぼさない。ポリイミドの厚みをいろいろ変えたDRAMのウェハを ^{241}Am と ^{228}Th のホイル状の 線源にさらして、ソフトエラー率を測定した [139]。図 II-22b に示すように、トリウム(Th)線源は放射エネルギーが広範囲に渡っているので、実際のパッケージ環境で見られるエネルギーの範囲をほぼ包含している。トリウム線源のデータはSERを効果的に1桁減らすには40 μm 程度のポリイミドが不可欠である。これは前にも述べたとおり、実現可能な製造プロセスでは不可能であった。遮蔽壁がパッケージ材料から放射される 粒子の大部分をせき止めてくれるのであれば、時間のみの遮蔽が1つの有効な解である。(パッケージ材料と比べてチップ材料の総合的な研究によりチップ材料からの放射はほとんどのパッケージ材料のほぼ1/10に過ぎないことが示されていることに注意すべきである。)