

大規模計算機向け半導体デバイス におけるソフトウェア

—最高レベルの信頼性を求めて—

上村大樹、菅竜二
富士通セミコンダクター、富士通

「京」の紹介

- 2011-6, 2011-11で世界1位(Top500、LINPACK)
- HPC ChallengeでClass 1の、G-HPL, EP-STREAM, G-RandomAccess, GFFTで1位を独占。(2005のBGL以来の快挙)
- 実アプリの性能を競うGordon Bell賞2011でもPeak Performance部門のAward(ピークに対する効率43.63%)
- 2012-6のTop500で1位を明け渡しましたが、科学目的で使えるマシンとしては、いまでも最高性能です。

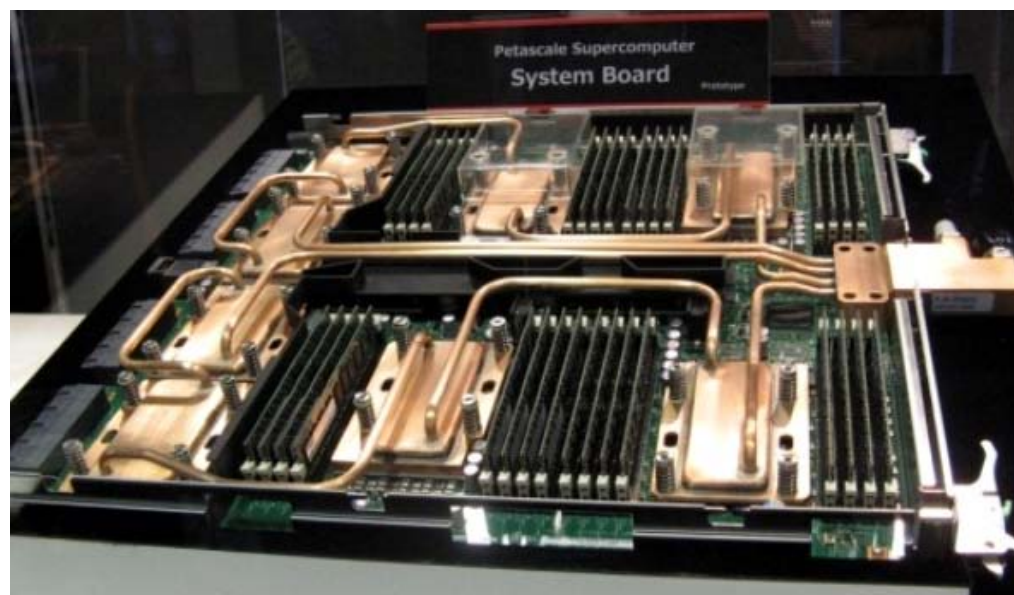


[Fujitsu web]

「京」の構成

- 864筐体
- 1筐体に102計算ノード
- ノード数
 - ノード数: 88128
 - CPU: $88128 + \alpha$
 - ICC: 88128
 - 論理演算性能: 11.28PF
 - LINPACK性能: 10.51PF
 - LINPACK実行時間: 29.5hour

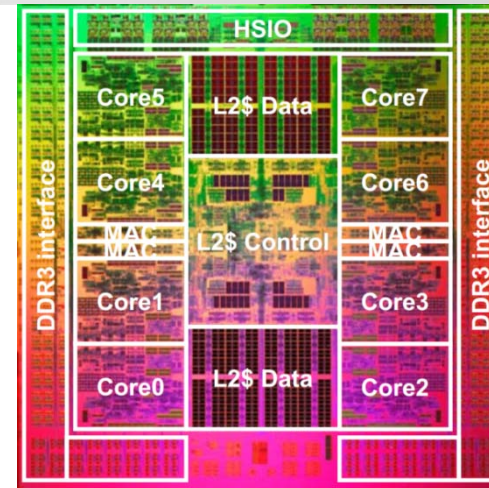
[RIKEN web]



1nodeの構成

■ CPU: SPARC VIIIfx

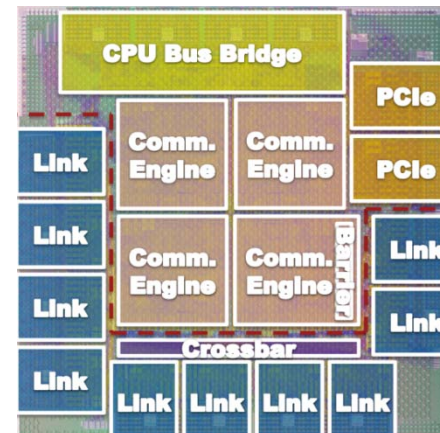
- Fujitsu 45nm process technology
- 22.7mmX22.6mm
- 760M transistors
- 5MB L2\$



[T. Maruyama, 2010]

■ Inter connect: ICC

- Fujitsu 65nm process technology
- 18.2mmX18.1mm
- 48M gates for logic
- 12Mbit SRAM



[T. Toyoshima, 2009]

- 合計でおよそ1G transistors のロジック。およそ50MbitのSRAM
→とにかく大きい

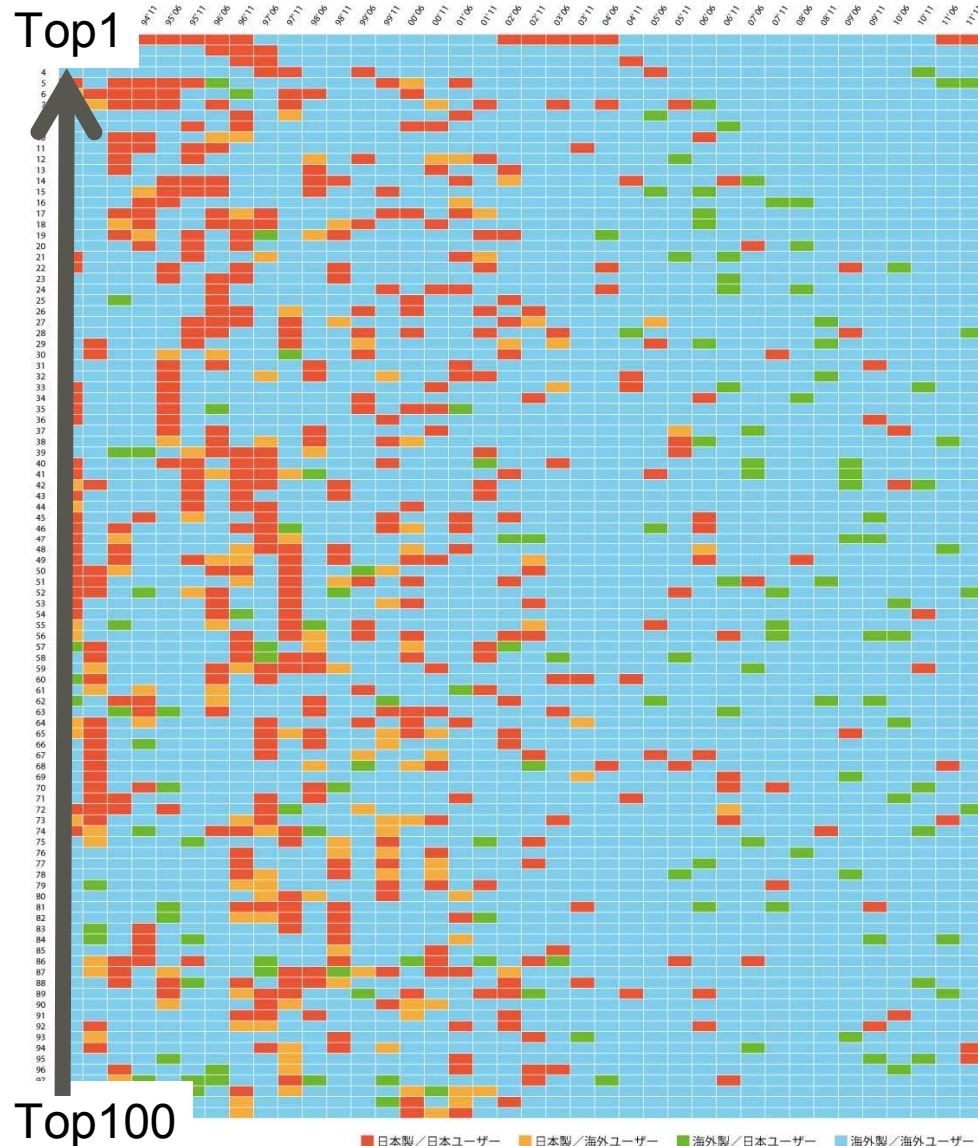
Top500@June 2012

Rank	Site	Computer	
1	DOE/NNSA/LLNL United States	Sequoia - BlueGene/Q IBM	Power BQC 16C 1.60 GHz, Custom
2	RIKEN Japan	K computer Fujitsu	SPARC64 VIIIfx 2.0GHz, Tofu interconnect
3	DOE/SC/Argonne National Laboratory United States	Mira - BlueGene/Q IBM	Power BQC 16C 1.60GHz, Custom
4	Leibniz Rechenzentrum Germany	SuperMUC - iDataPlex DX360M4 IBM	Xeon E5-2680 8C 2.70GHz, Infiniband FDR
5	National Supercomputing Center in Tianjin China	Tianhe-1A - NUDT YH MPP NUDT	Xeon X5670 6C 2.93 GHz, NVIDIA 2050

[Top500, June 2012]

スパコンシェアの変遷

1993 → 2011



- Made in JAPAN / user in JAPAN
- Made in JAPAN / user in ex-JAPAN
- Made in ex-JAPAN / user in JAPAN
- Made in ex-JAPAN / user in ex-JAPAN

■ 日本のシェアが消えていく
のが一目瞭然

[WIRED Vol. 3]

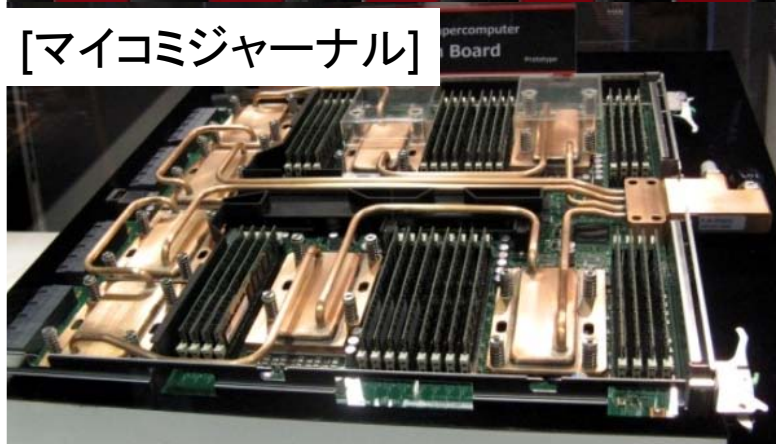
HPCの信頼性 -まるで壮大なフィールド試験-

FUJITSU

[Fujitsu HP]



[マイコミジャーナル]



壮大なフィールド(ランニング)試験
→つまり、わずかなエラーが実稼働に影響する。
実機より大きい規模での試験は不可能

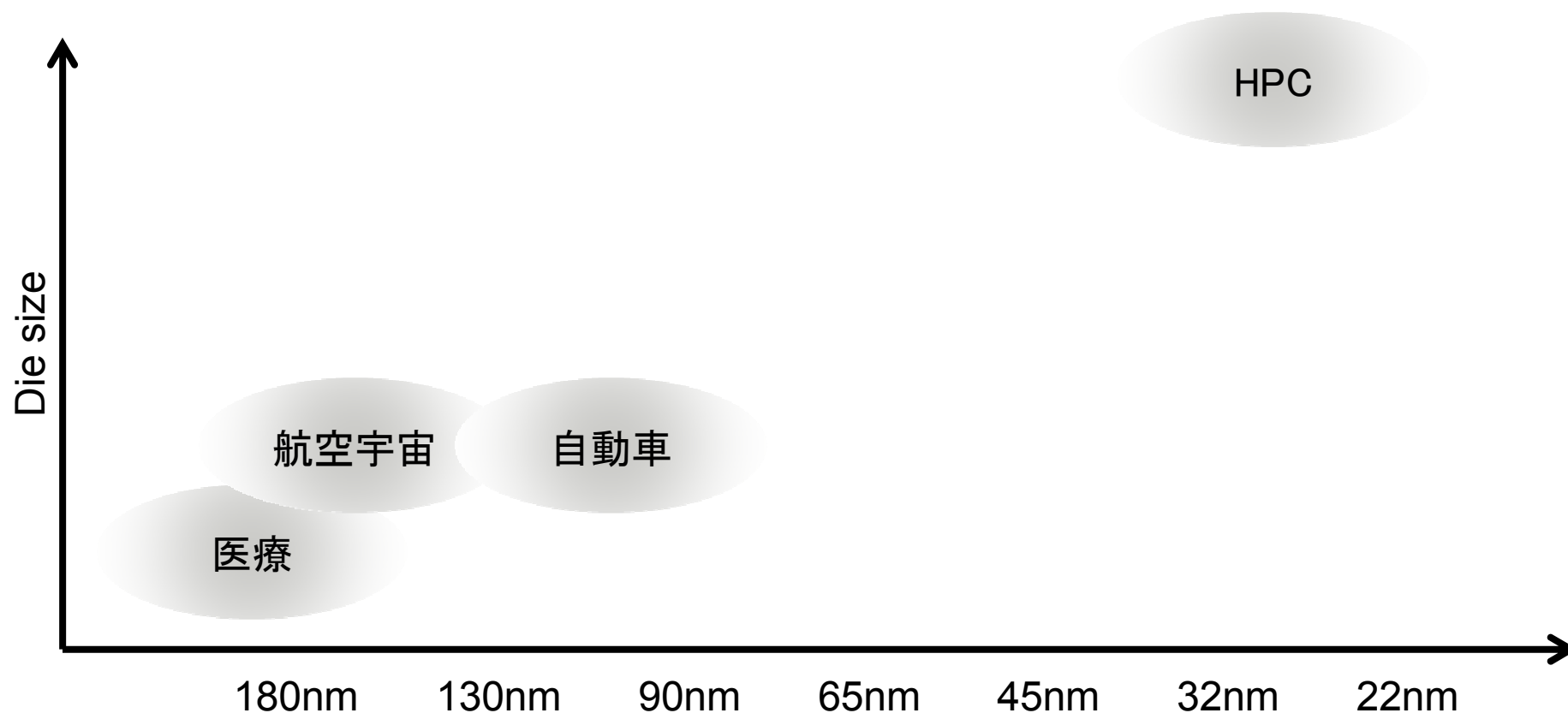


[Fujitsu HP]

	Failures /day/TF [H. D. Simon, 2006]	Failures /day/10PF	MTBF in 10PF
Cray XT3/XT4	0.1 ~ 1	1000 ~ 10000	9sec ~ 1.5min
Clusters x86-64 /AMC64	2.6 ~ 8.0	26000 ~ 80000	1sec ~ 3.3sec
Blue Gene L/P	0.01 ~ 0.03	100 ~ 300	5min ~15min

- 10PFマシンは規模が大きいくfailureは一定数でてしまう。デバイスが非常に高い信頼性がなければ、稼働すら難しい。

高信頼性デバイスの傾向



- 一般的に、高信頼が求められる製品は、古いプロセステクノロジー(低密度)が使用される。
- HPC向けデバイスだけが最先端プロセスが使用され、かつ、とても規模が大きい。

どれぐらいのFIT数が目標とすべきか？

- 「京」(約9万ノード)で33.3h, 10PF, LINPACKを90%の成功率にするには、1ノードあたり36.0FIT以下にしなければならない。

[H. Miyazaki, 2012]

■ HPCの信頼性の特徴

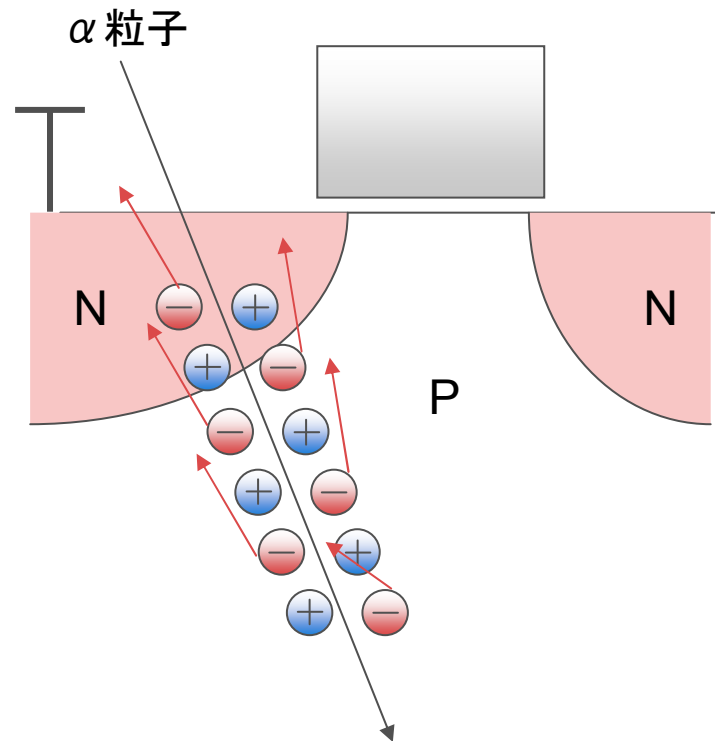
- 超低故障率でなければ稼働すらできない。
- 最先端プロセステクノロジーを使用する。
- 回路規模が非常に大きい。(開発時の試験TEGよりはるかに大きい)
- 実稼働前に実機より大きな規模での試験は不可能

■ HPC向けデバイスの、ソフトエラー評価 & 対策は、とてもChallenging

ソフトウェアの基礎知識

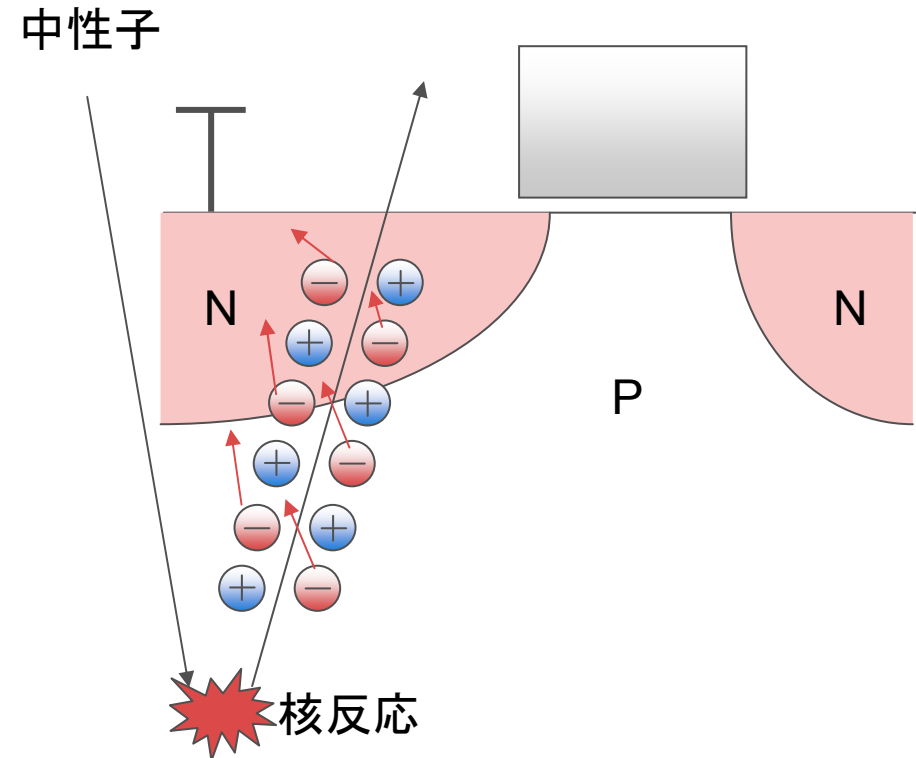
α 線

IC材料中の放射性不純物から



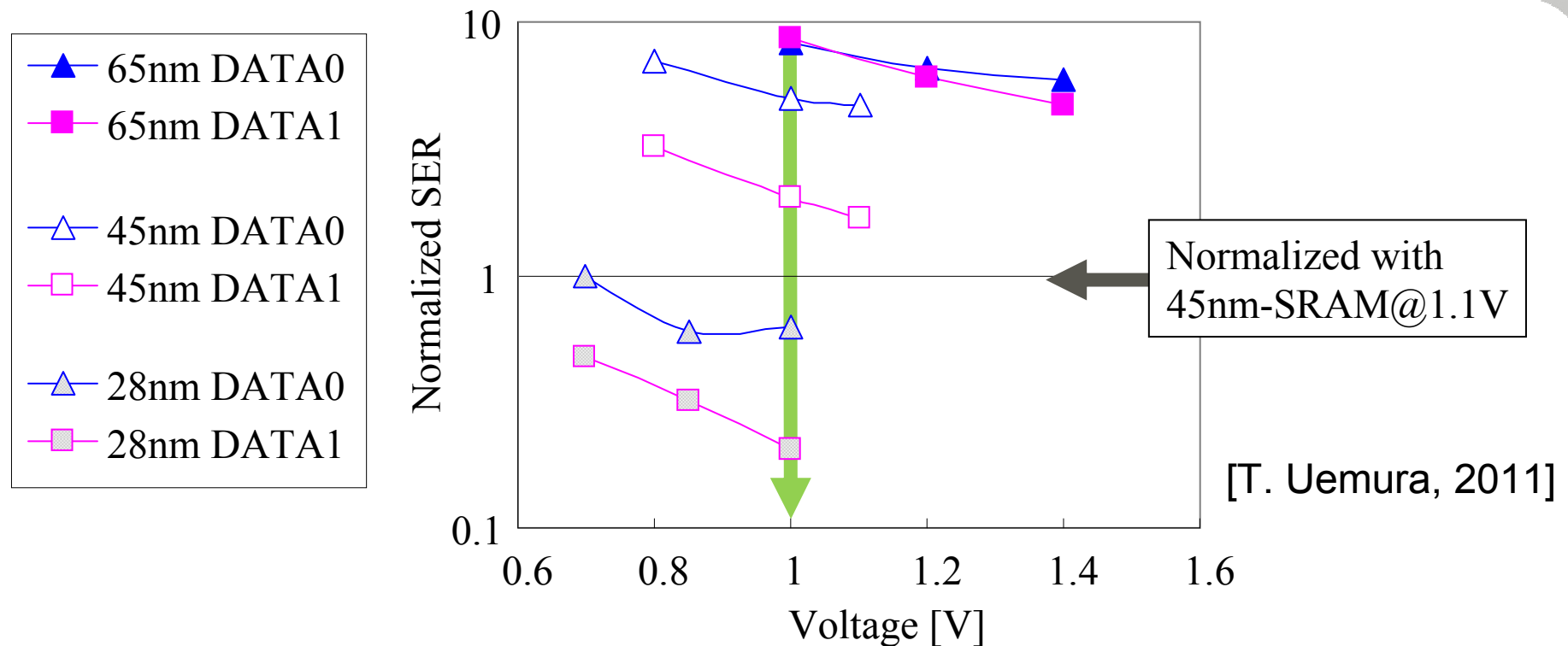
中性子線

宇宙線起因の環境中性子



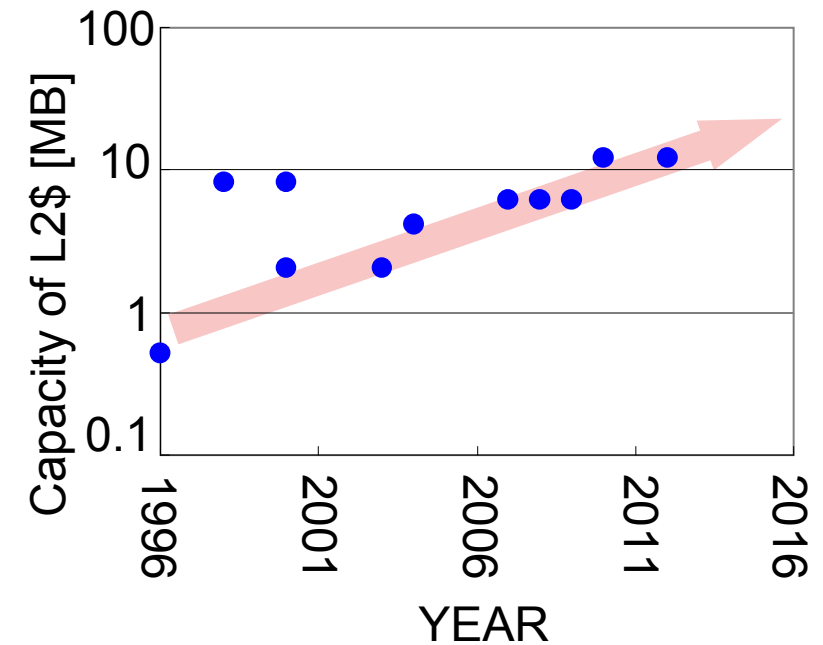
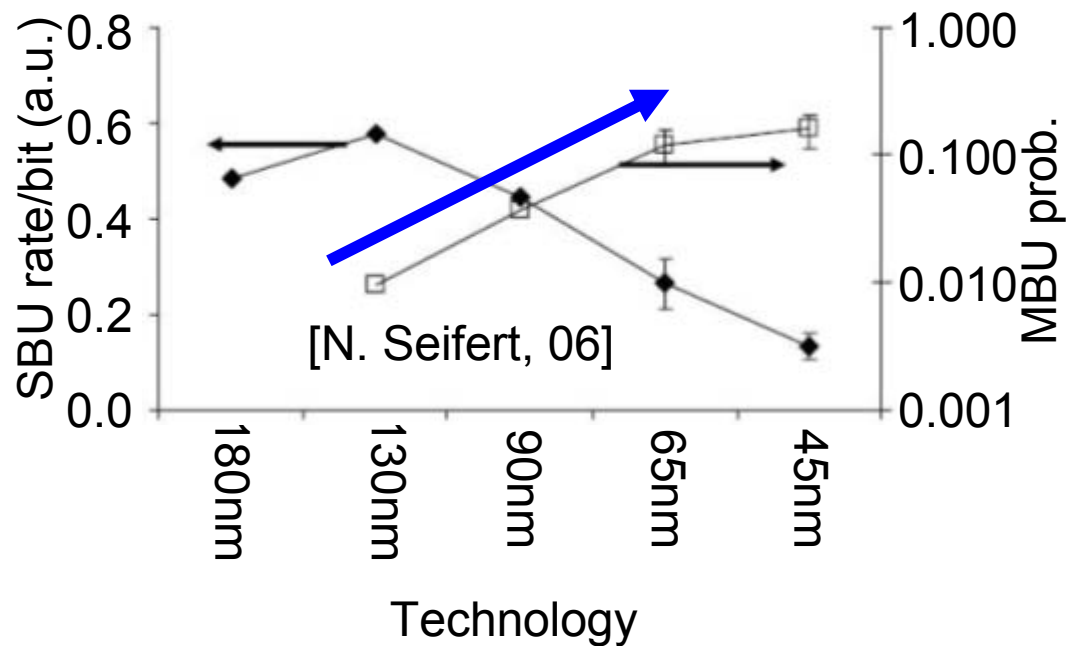
α 線、中性子により発生する電子or正孔が
ドレインに収集され電流ノイズが発生する

FF, Latchのソフトエラー率のトレンド



- ビットあたりのソフトエラーは減少傾向
(SRAMより減少傾向が強い)
- eSiGe-PMOSにより、PMOSの寄与が減少
[T. Uemura, 2011] [T. Kato, 2012]

SRAMのソフトエラー率のトレンド



- ビットあたりのエラー率は減少傾向
- 複数ビットエラーは増加(or横ばい)傾向
- 1chipあたりのメモリー容量は増加傾向。
-

一般的なソフトエラー対策

■ SRAMにおけるソフトエラー対策

■ ECC (Error correction code)

→パリティビットを付加しエラーを検出(detection) & 修正(correction)

(例: 64bit + 8bitのパリティ→1bit error correction, 2bit error detection)

■ Logicにおけるソフトエラー対策

■ システム、回路での対策

- 冗長: TMR, DMR
- エラーチェック & retry

■ セルレベルの対策

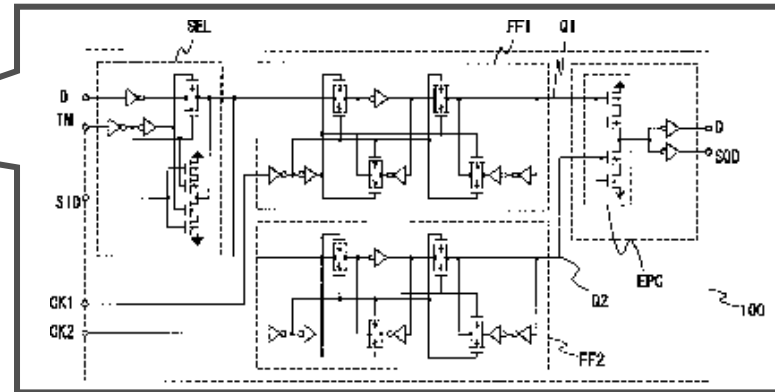
- Latch, FF → 内部冗長回路機能をもった対策Latchを使用。
- 組合せ回路 → 2重化、ノイズフィルター

[T. Uemura, 2011]

ラッチにおけるソフトウェア対策

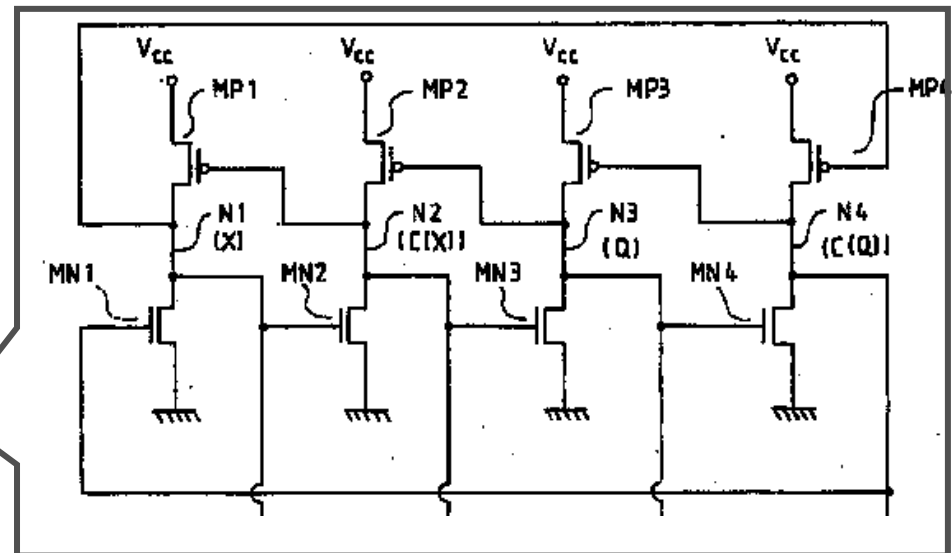
■ Multi latch technique

- **2000**: A multi-latch flip-flop using a C-element was proposed by T. Maruyama.
- **2006**: A reuse paradigm (BISER) was proposed by S. Mitra.



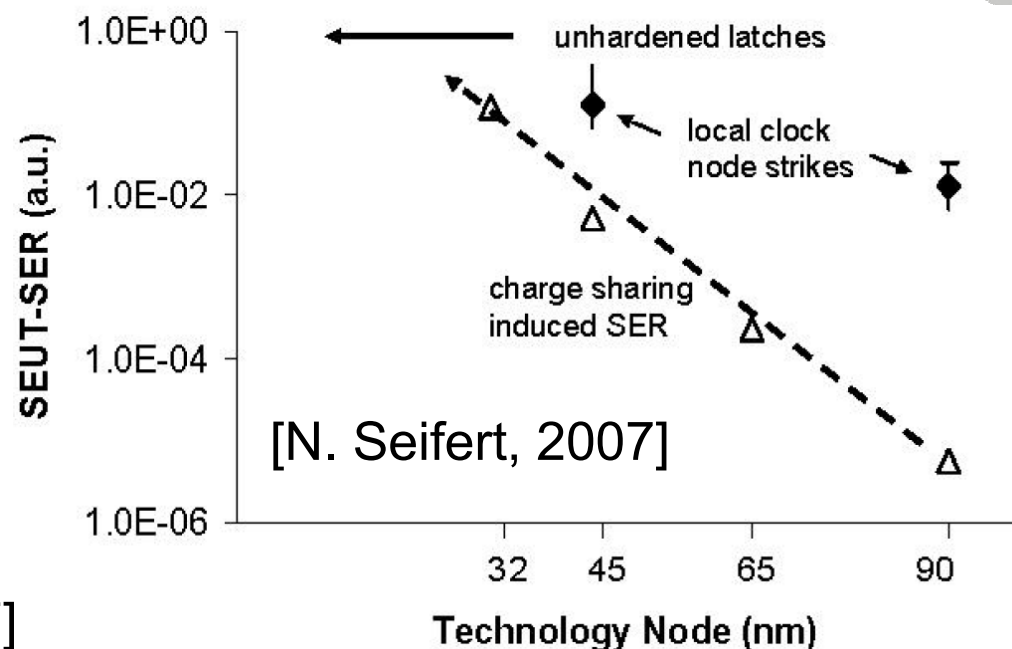
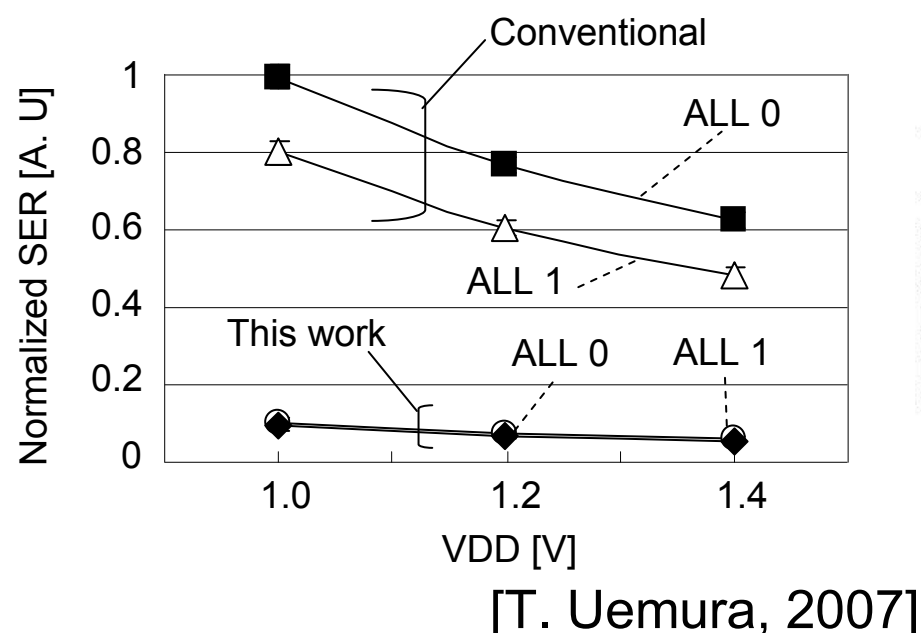
■ Multi node latch

- **1990**: A multi-node latch was proposed by M. Katoh and K. Okabe.
- **1994**: An multi-node latch with 8 transistors was proposed by T. Masson and R. Ferrant
- **1996**: T. Calin, M. Nicolaidis, R. Velazco (DICE).



現在ではDICEが主流
(Intel Itanium, IBM BGQ)

対策ラッチ(Dice等)の課題



■ 課題

- 微細化により、冗長によるエラー耐性が効きにくくなってきている。
- クロックにおけるソフトエラーも無視できない。

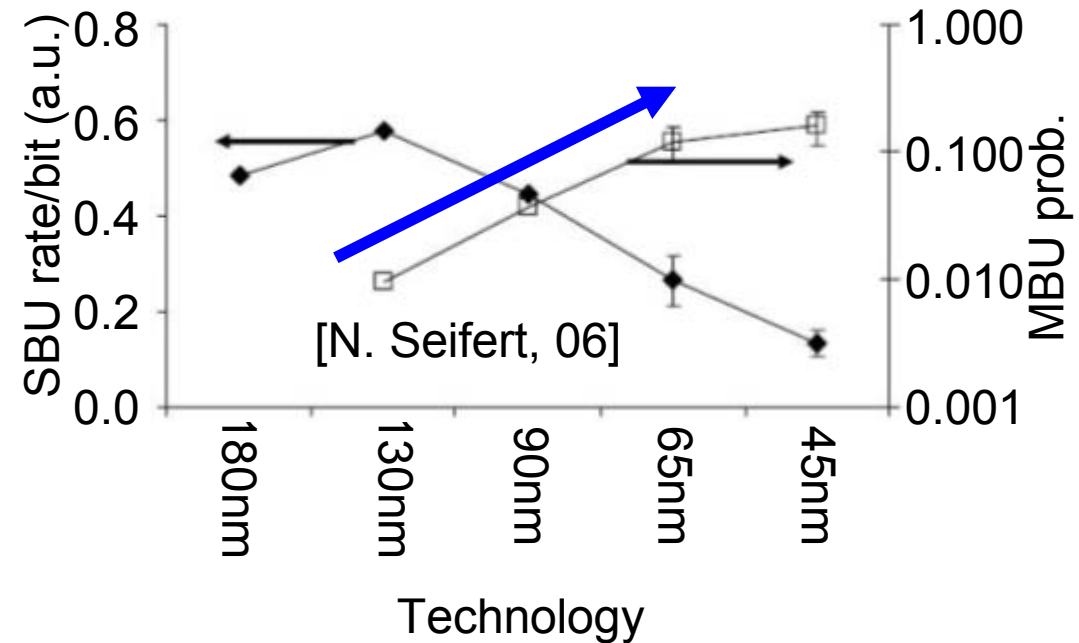
→ **SEILAで上記の問題を解決** [T. Uemura, 2010] [T. Uemura, 2011]

■ 現在の課題

- 速度。消費電力。

SRAMのソフトウェア

- メモリー容量は増加
- MBUは増加傾向
- ECCのエラー耐性低下

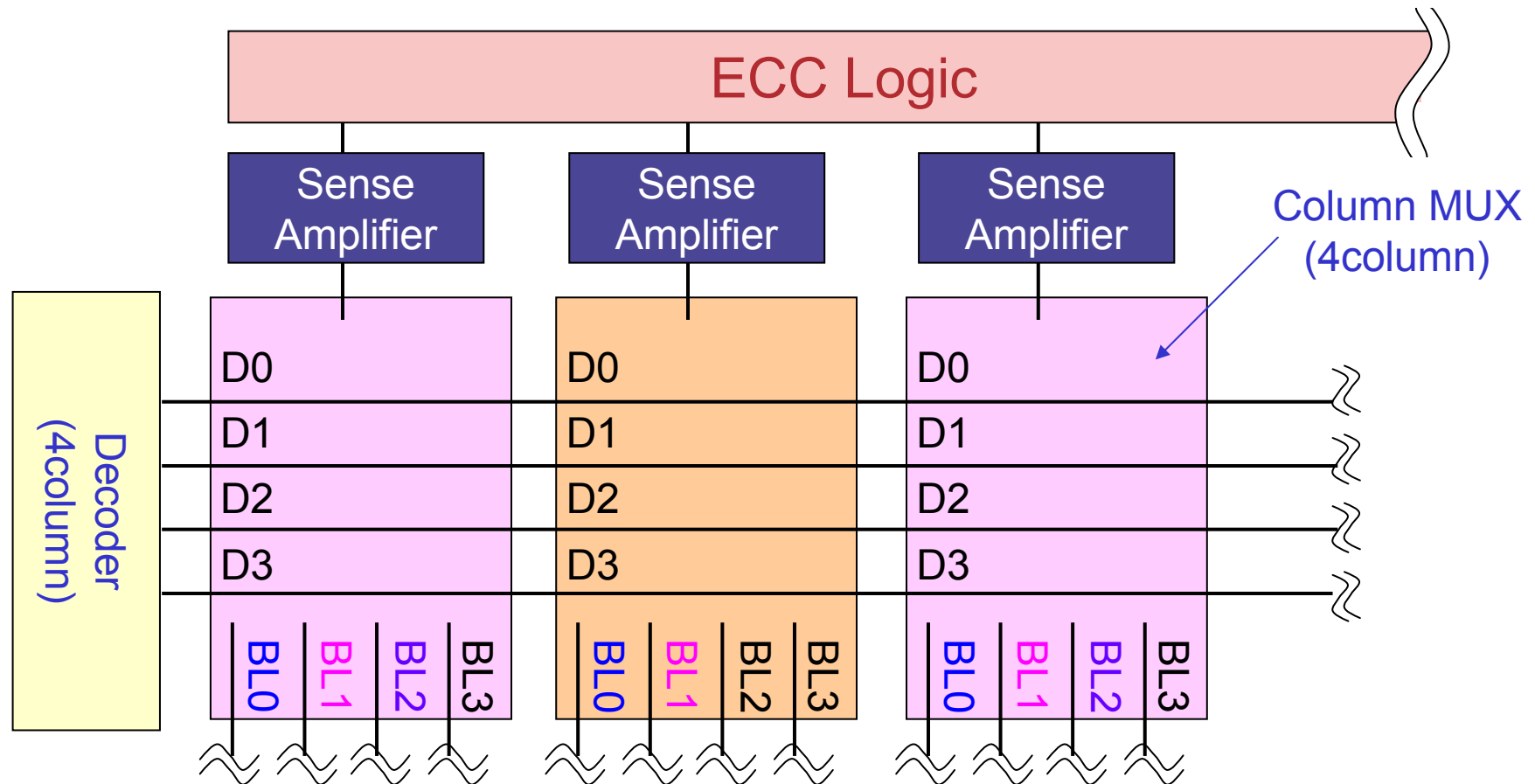


■ MBU対策

- Column-MUX数を大きくする(interleaving)
 - Word線が長くなりperformance低下
- Parityを増やす(ex. DEC-ECC)
 - 面積増加、消費電力増加

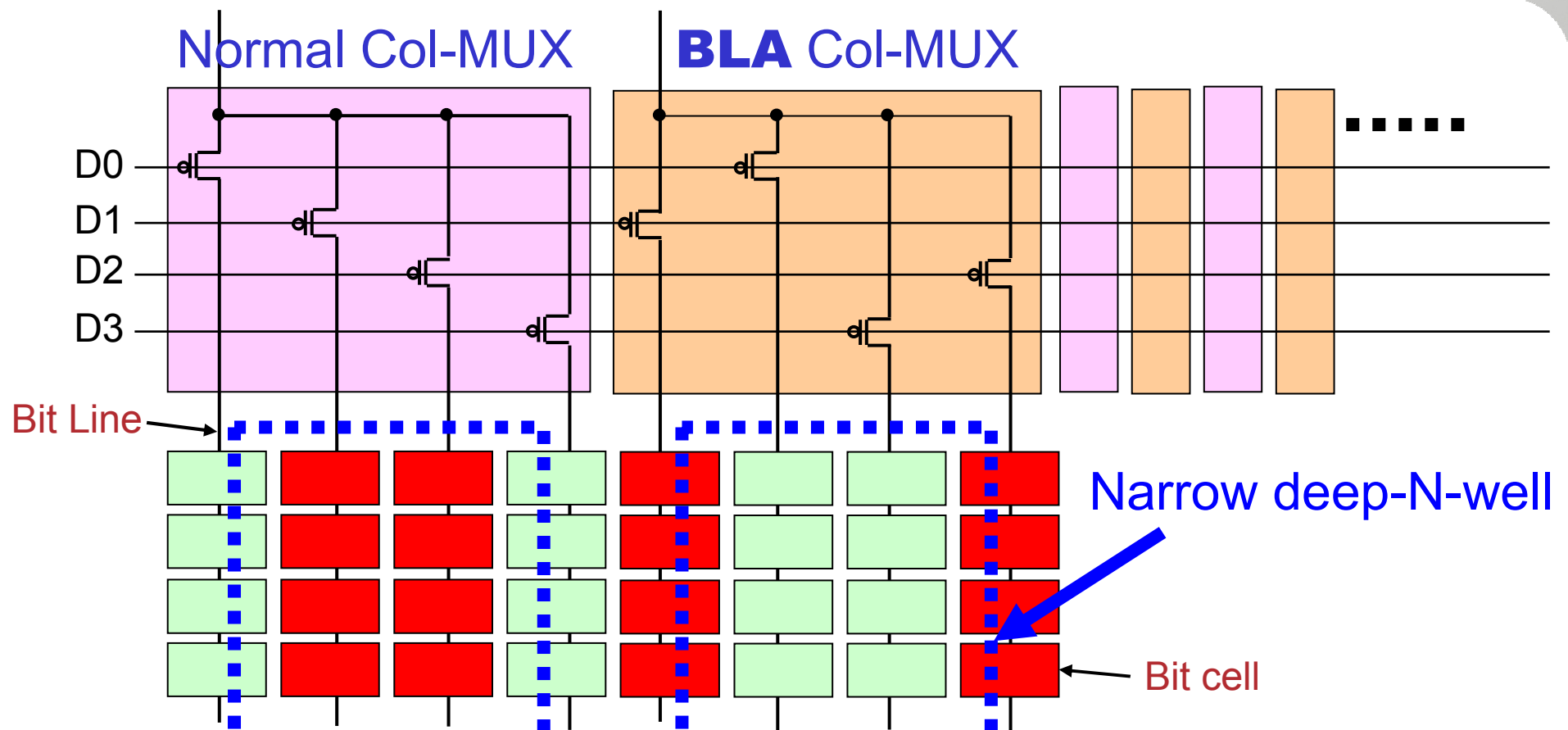
→ Narrow Deep-N-wellで面積、消費電力、コスト、性能のオーバーヘッド無しMBUを低減 [T. Uemura, 2012]

SRAM Circuit Structure



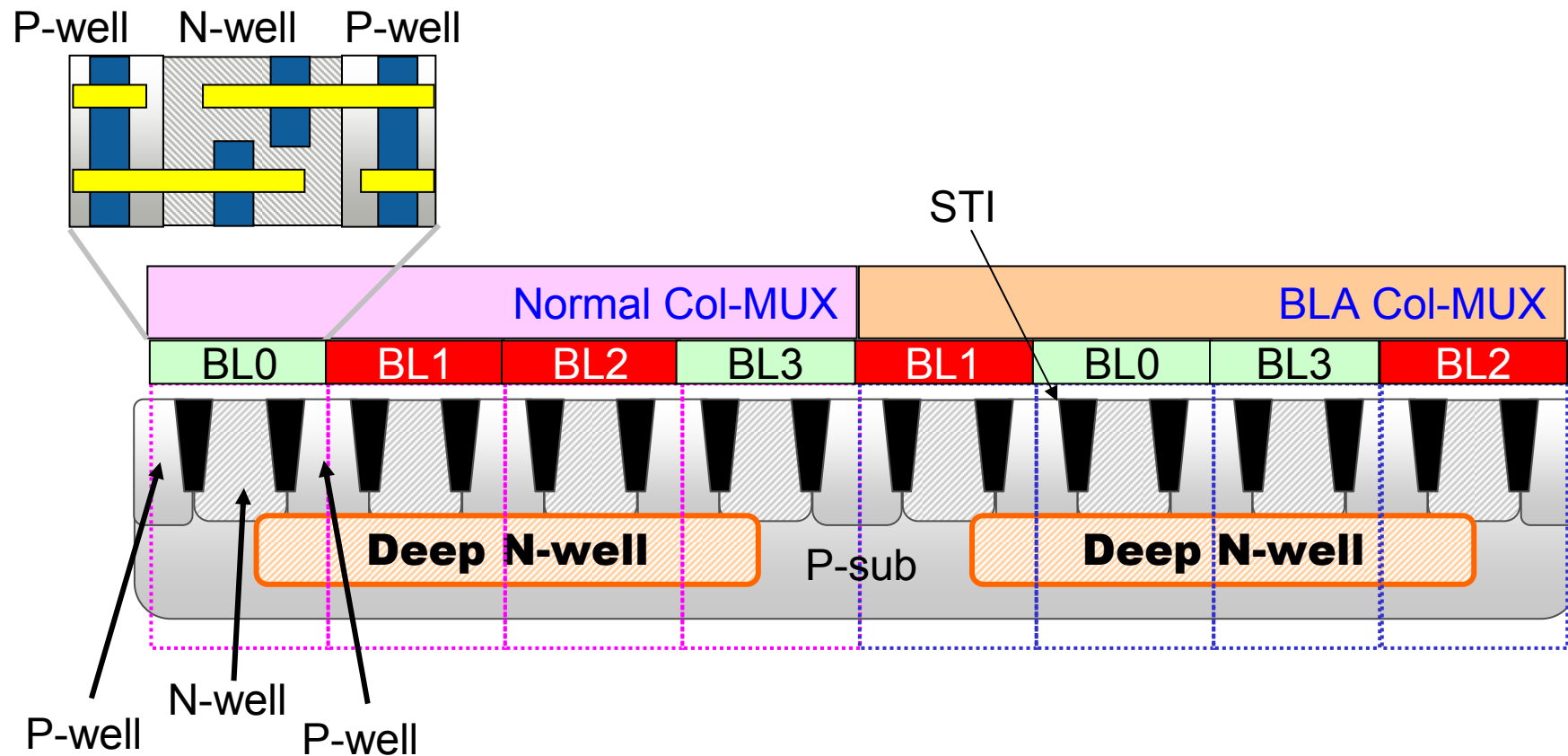
- Column-Decoder selects column-selection-line(D0~3).
- Column-MUX selects bit-line(BL0~3)
- MBU means multi-error in SRAMs on same BL#.

Mitigation Technique



- We put alternately Normal and BLA (Bit Line Alternate) col-MUX.
- We put Narrow deep-N-well on each 4 column. [T. Uemura, 2012]

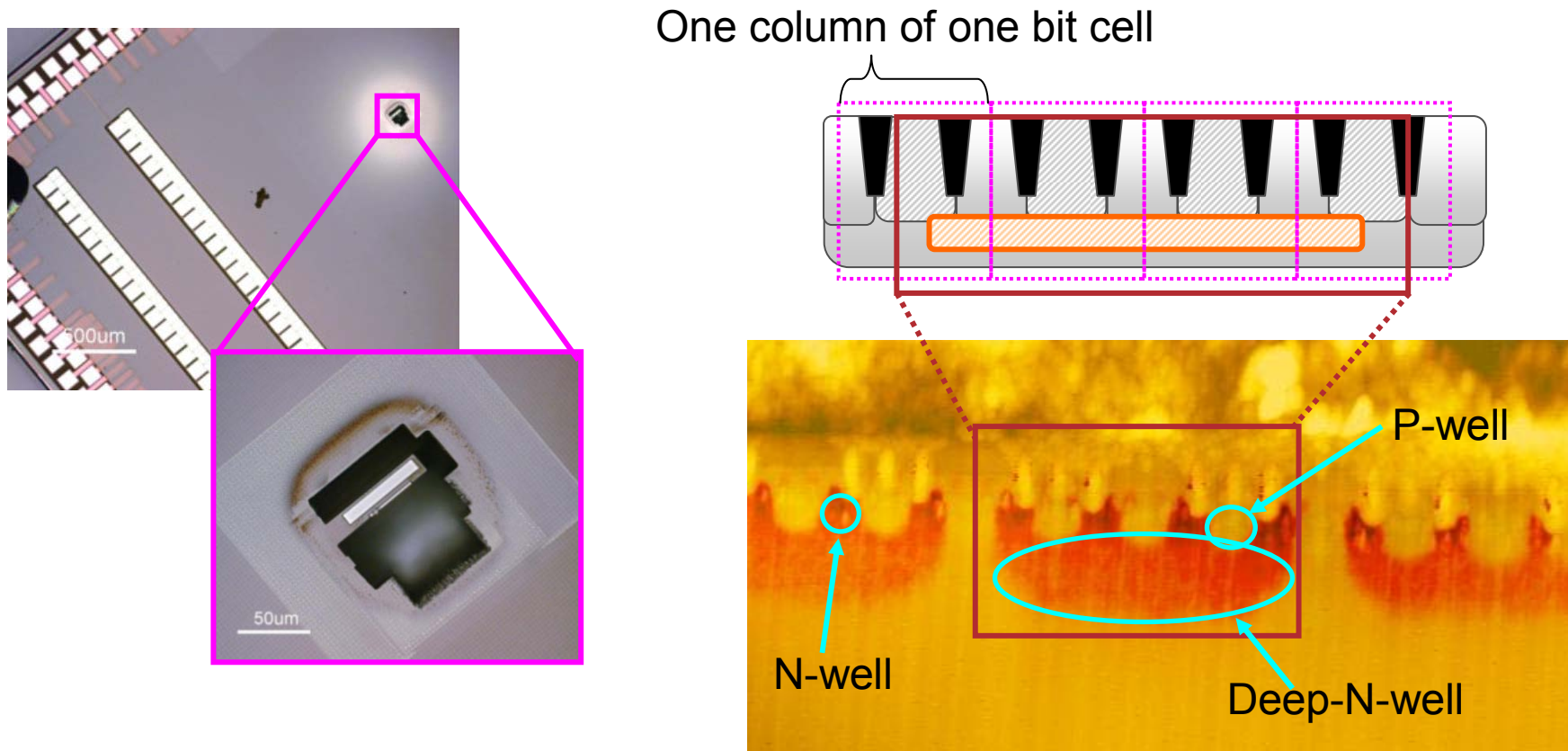
Mitigation Technique (Mechanism)



- N-well and P-well on the same word (e.g. BL0 and BL0) on the next col-MUX are not connected with each other.

[T. Uemura, 2012]

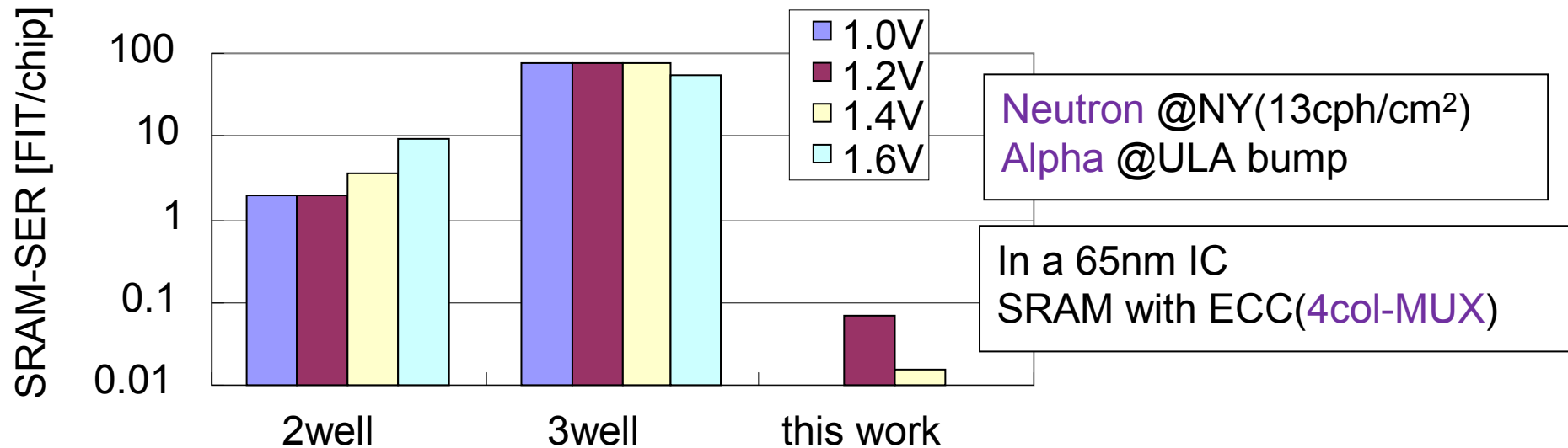
Cross Section of SRAM



- We have observed cross section with using SNDM (Scanning Non-linear Dielectric Microscope).

[T. Uemura, 2012]

Mitigation Efficiency



- MBU rate reduction level of the order of 100x for the proposed technique can be expected.
- 面積、性能、消費電力面で、一切オーバーヘッドが無い。

[T. Uemura, 2012]

HPCのソフトウェア対策

■「フォールトに関する研究の大きな動き」

フォールト、エラー対策も面積・電力ペナルティの大きい空間冗長化でない手法を希求する傾向が増大。[Ibe, 2011]

■ IBM system Z

- 演算部を2重化し、演算結果を比較(DMR) [IBM HP]
- Z10: R-Unit w ECC [C. K. Shum, 2008]

■ Fujitsu PRIMEQUEST(Itanium)

- System mirror機構(DMR) [Fujitsu HP]
- 共通制御系: 重要度に応じて3重化、2重化、parity check [H. Ando, 2008]
- S4EC-S4/8EDエラー訂正コードの採用。[H. Ando, 2008]
- アドレスクロスバーの2重化、メモリーミラー等 [H. Ando, 2008]

■ IBM Power 6, PowerXCell

- ECC, Parity check + R-Unit + Instruction retry
→エラーを1/3400[K. Reick 2008]

■ IBM BG/Q

- DICE [G. Chiu, 2011]

■ AMD Hammer

- Machine check architecture, ECC(L1\$, L2\$&Tag), parity(L1Tag)
[S. Prejean, 2007]

■ Intel Xeon (Nehalem-EX~)

- DEC-ECC採用 (Xeon E7) [J. Chang, 2009]

■ Intel Itanium (Tukwila~)

- L2\$, L3\$, registerにECC採用 [E. Delano, 2008]
- DICEを使用(Systeminterface99%, core33%) [E. Delano, 2008]

■ 創世記から一貫して高い信頼性をめざして設計されていた

■ Fujitsu FACOM230-75 (1973)

- Cache(Buffer memory)にECC
- Hardware Instruction retry (parity prediction , residue check)
- 命令フェッチと実行のデカップリング
- 分岐予測による投機実行

[FUJITSU, VOL. 25, No. 7, 1974]

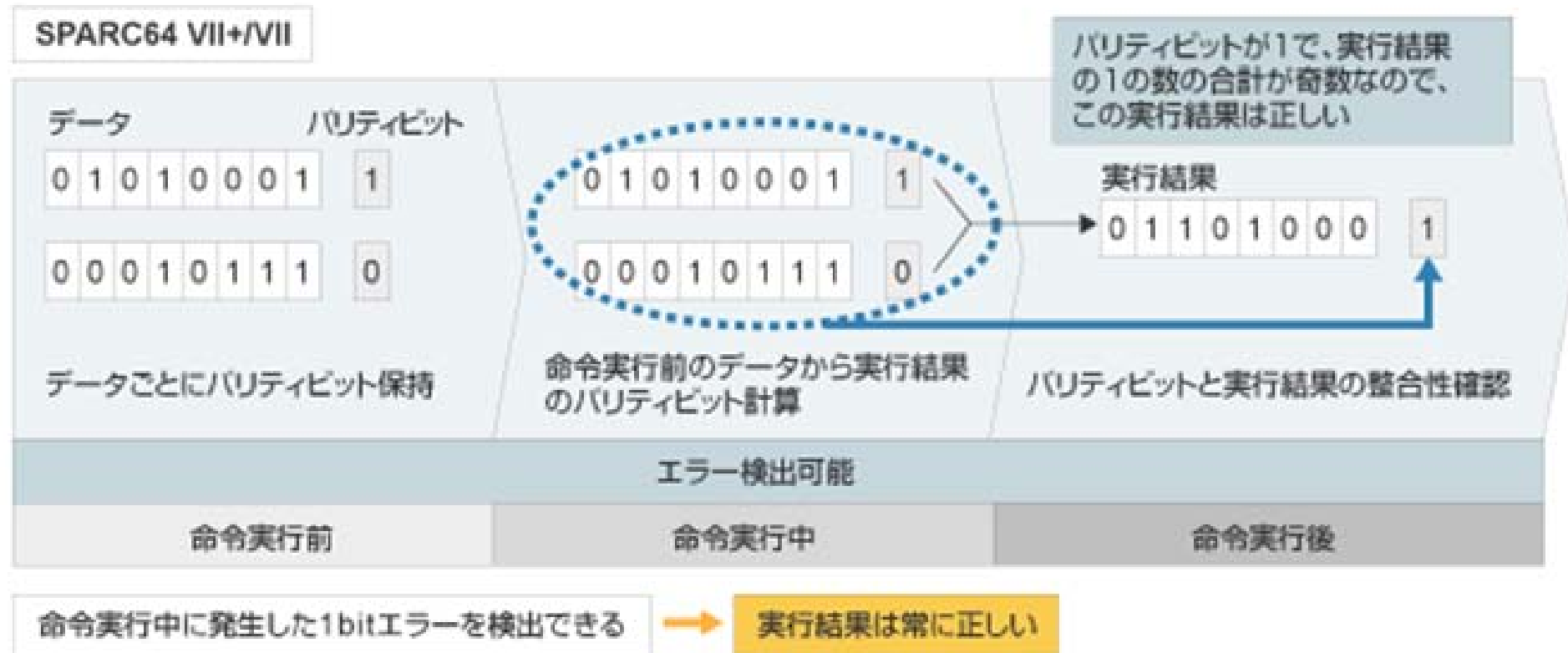
■ SPARC 64

- メモリー: ECC, parity, parity+DMR
- Register: parity+ECC
- Hardware Instruction retry (parity prediction, residue check)

[H. Ando, 2003, 2008]

Parity prediction

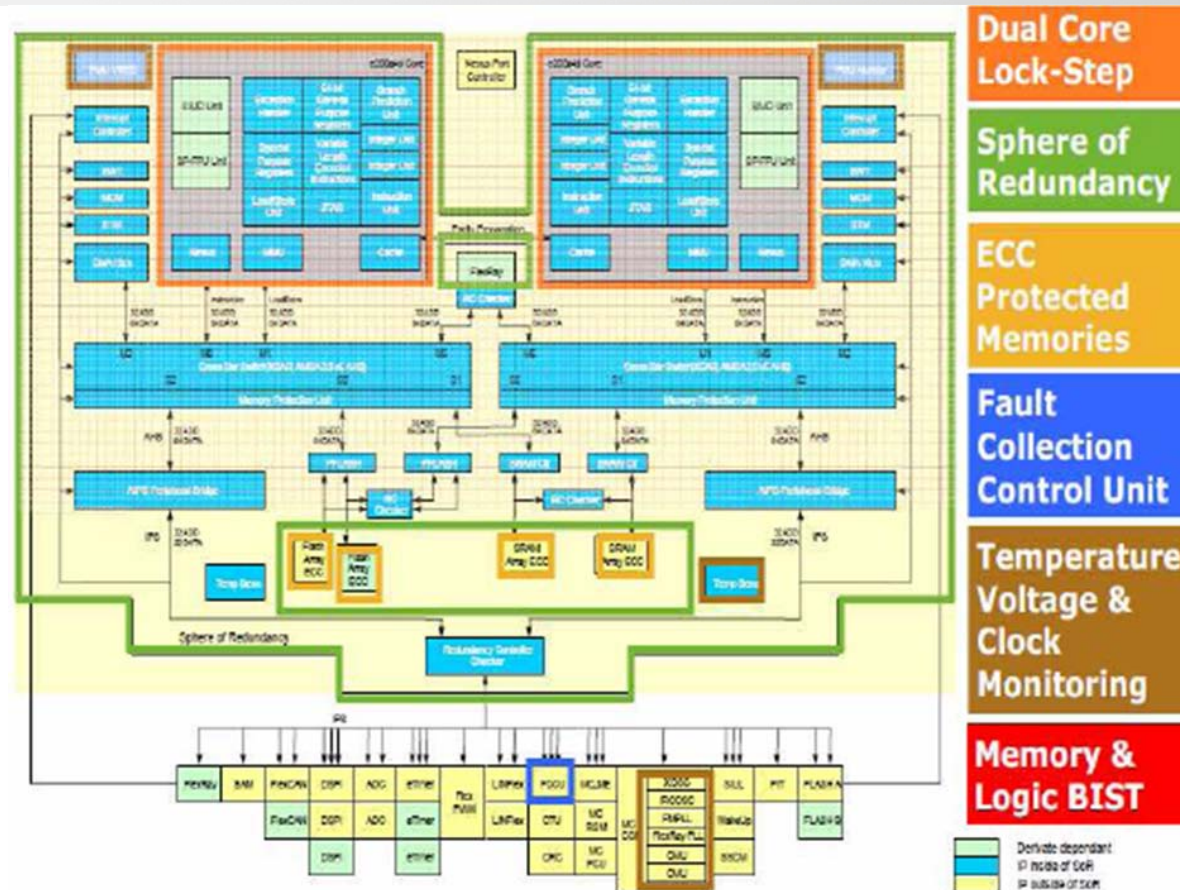
偶数パリティチェックの場合(1の数の合計が偶数のときパリティビット「0」)



- FF, Latchで発生したソフトウェアをすべて検出。
- エラーを検出した場合、命令を再実行
- 乗算器ではresidue check

[Fujitsu web]

(参考)自動車向け高信頼性LSI



[Roche, 2010]

- 自動車向けLSIの信頼性規準はISO26262が支配
→非常に難解な規格で理解には助けが必要。
- ASIL rank(信頼性ランク)で分類。高信頼性のものにはロックステップ(DMR, TMR)を求めている。

HPCのソフトウェア評価

■ 通常のソフトウェア評価技術が適用可能

- (参考)「ソフトウェア評価技術・対策技術の研究開発戦略」

http://www-vlsi.es.kit.ac.jp/SERconf/2011/1-1_uemura.pdf

■ 特に考慮すべきこと

- システムリカバリーによりエラーが無視できるところが多い。(システムリカバリーによりCPUの誤動作率は大きく左右される)
- 実製品より大きい(or同等の)TEGを作成し試験することは極めて困難
- 開発後期～完了後であればCPUに直接照射試験を行える。(ただし問題が発覚した場合、できる修正は限られる)
- 大規模なスパコンは1点モノであることが多い。設置環境が特定できるため、その環境のエラー率を求めることができる。
 - ・ 場所(緯度)、高度、建物(遮蔽)

■ 課題

- 最先端、つまりprocess fixする前に設計が開始することがあり、トランジスタ情報が無い状態で、SER評価する必要がある。だいたいのSERが計算できるsimulation toolが必要。
- システムリカバリ(Instruction retry)を使用した際のLogical De-ratingの算出

CPU照射試験

■ IBM

- 陽子で照射試験
- α 線起因も実機で試験(hot under-fill)
- 中性子照射試験(PowerXcell 8i)
@LANSCE

[D. Henderson, 2012]

[S. E. Michalak, 2011]



■ AMD

- 中性子照射試験@LANSCE

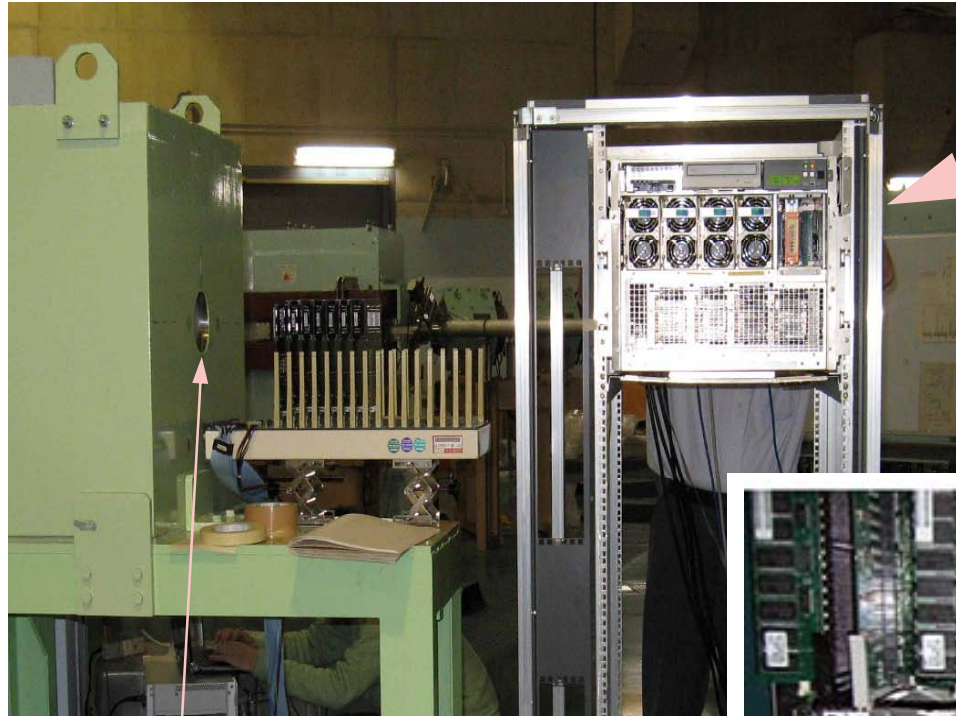
[S. Prejean, 2007]

■ Fujitsu

- 中性子照射試験@RCNP

[H. Ando, 2007]

CPU照射試験

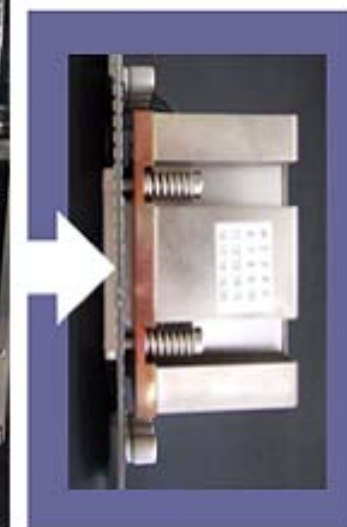
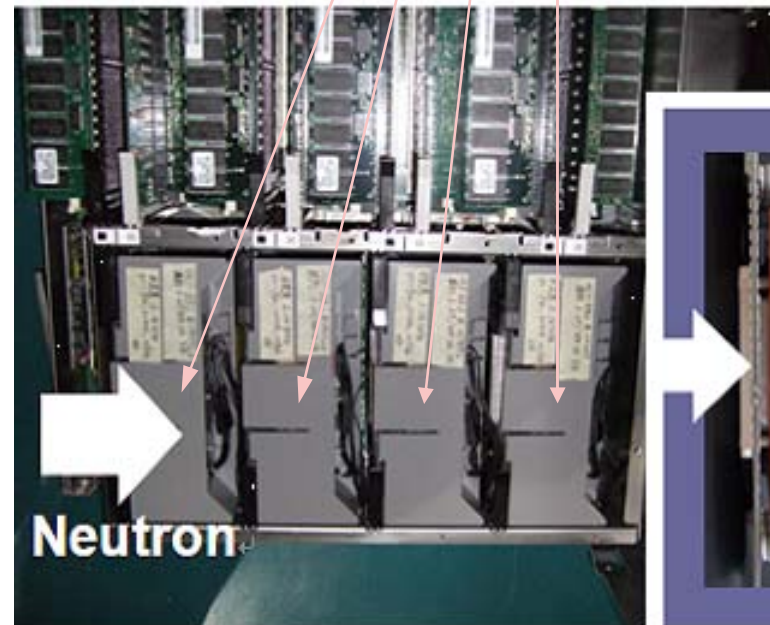


Spallation
neutron beam

90nm Bulk CMOS, 10 Cu layers
18.46mm x 15.94mm

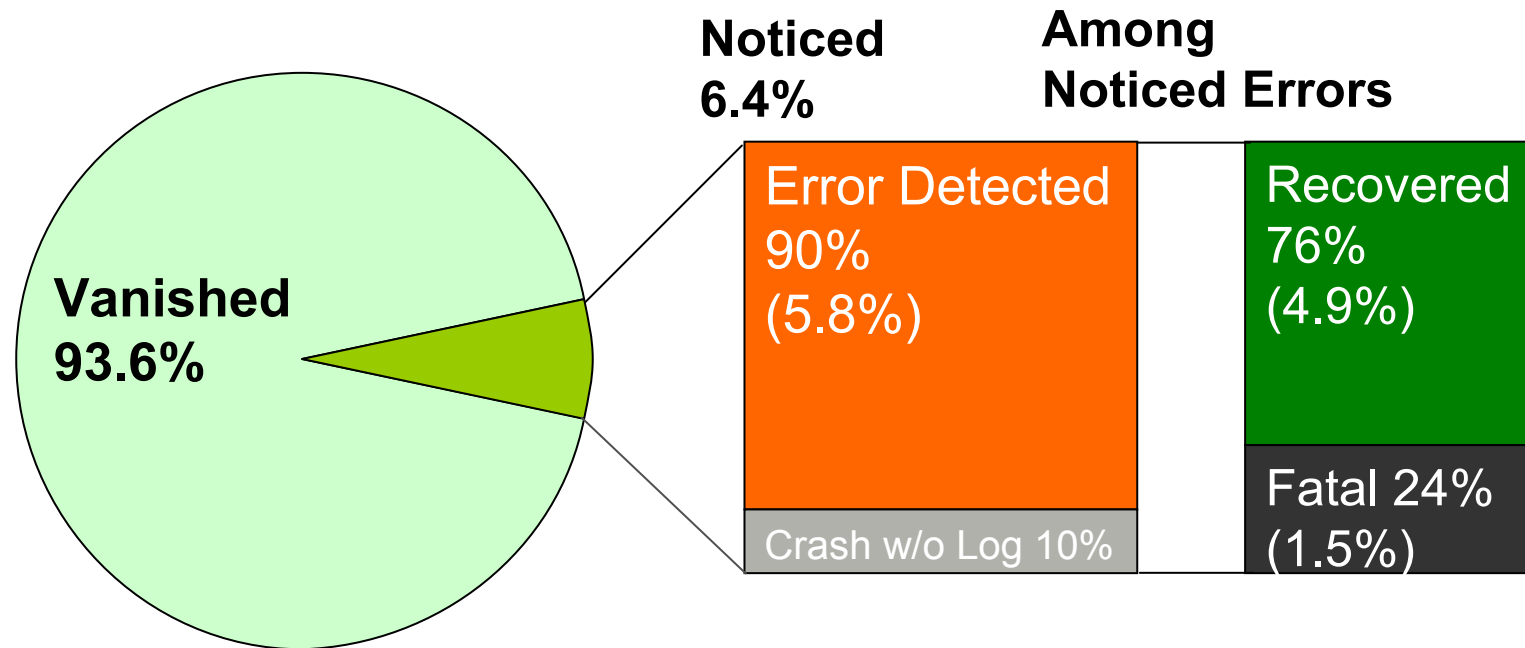
FUJITSU
**PRIMEPOWER
650**

Internal view of PW650 server
CPU module placement



[2007 H. Ando, et al.]

CPU(SPARC)におけるソフトウェアのリカバリ

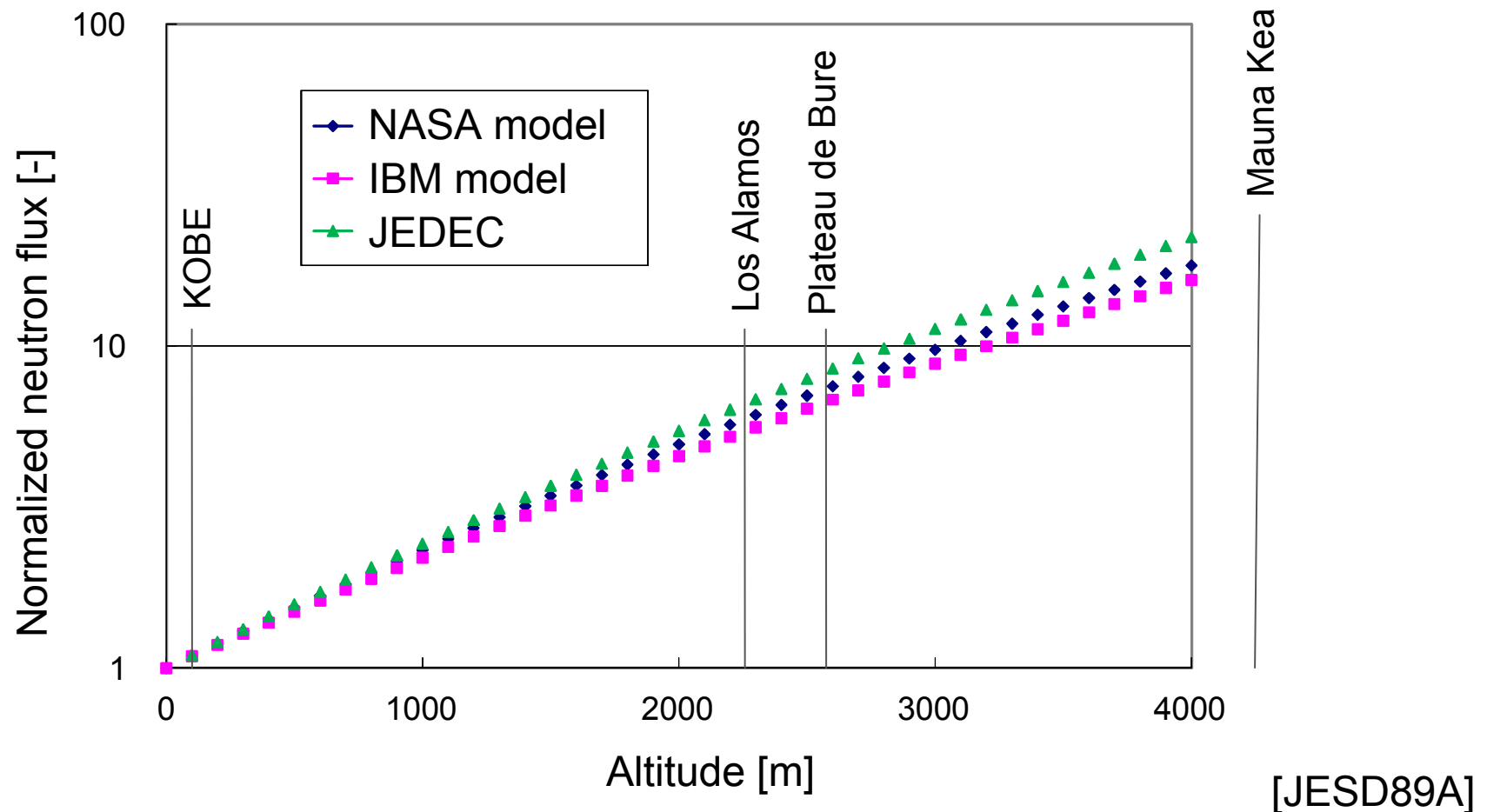


- 93.6% of estimated Latch flips were Vanished
- Noticed Errors were 6.4% ⇒ **Derating factor = 0.064.**
- Among Noticed Errors, 90% of them Detected
- Among Noticed Errors, 76% of them Recovered
- Only 1.5% of estimated latch flips resulted in Fatal errors

[2007 H. Ando, et al.]

中性子線量の高度依存性

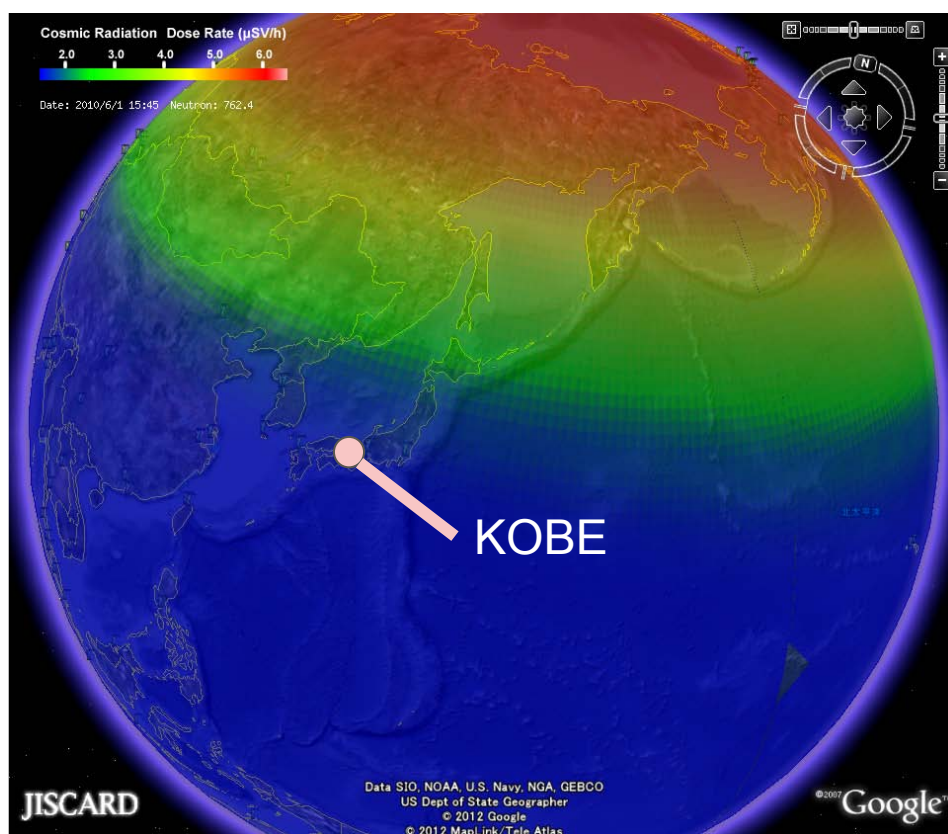
- 中性子線量は高度により異なる。
- 特に高度の高いところに計算機を設置する際は、高度依存の計算は必須。



中性子線量の場所依存

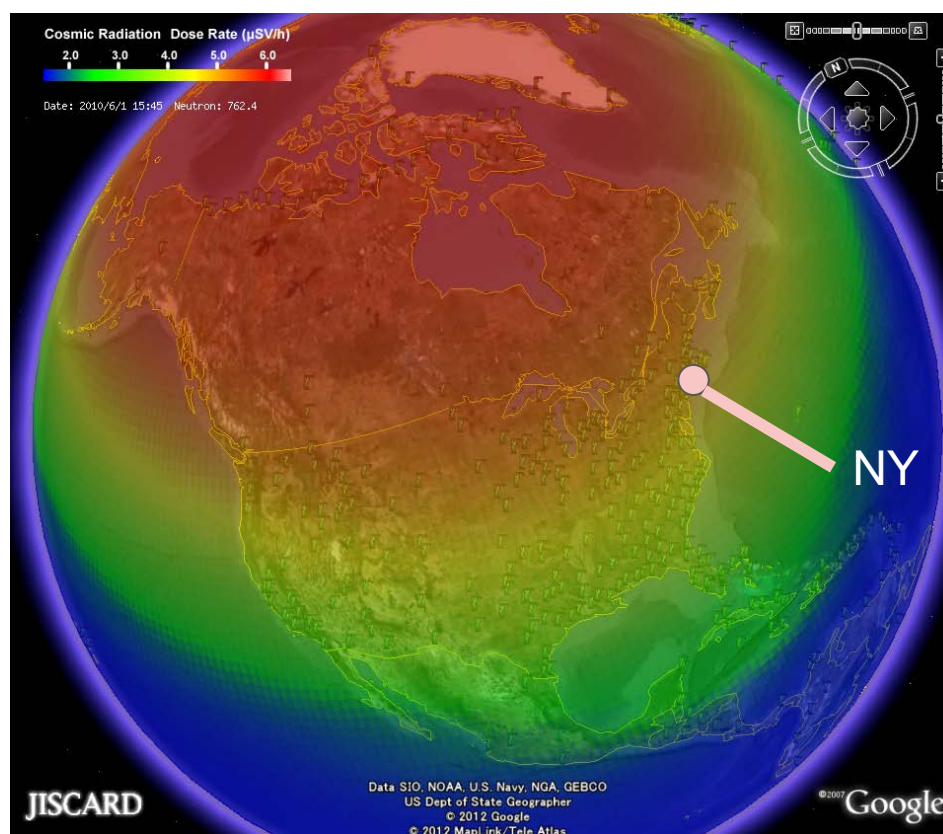
■ KOBE

■ 8.3cph/cm2(<10MeV)



■ NY

■ 13cph/cm2(<10MeV)

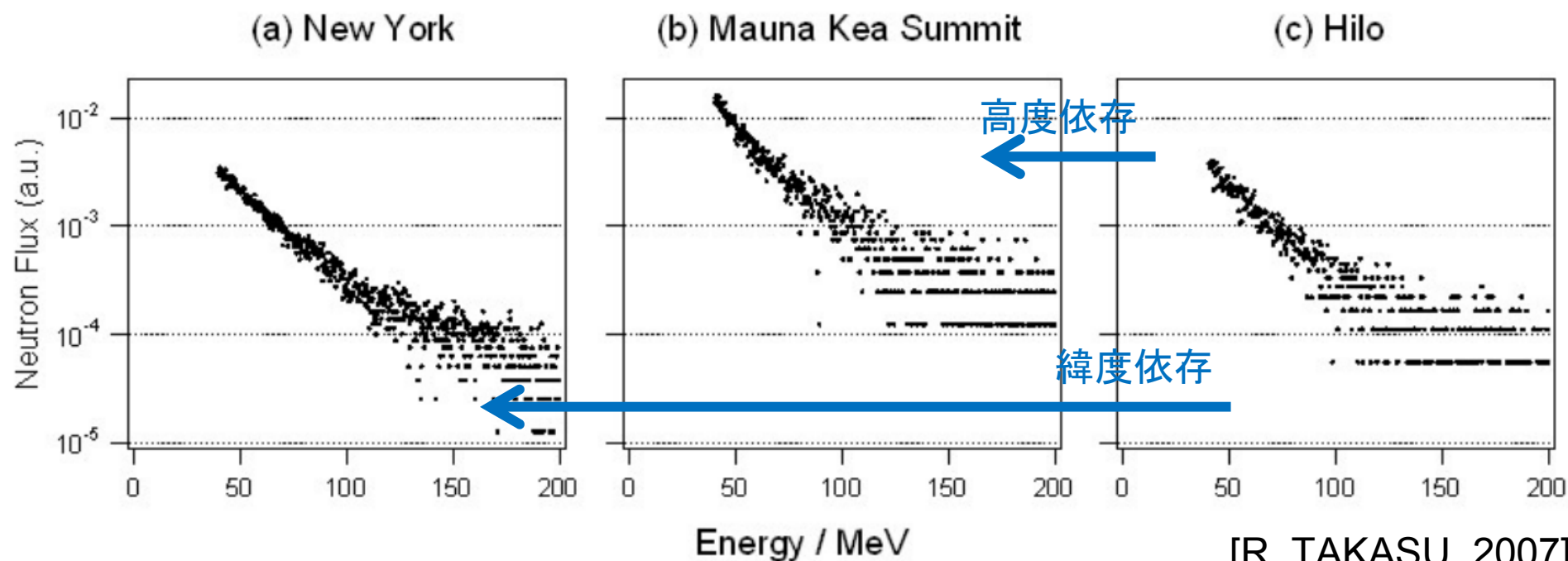


[Google earth + JISCARD(by NIRS)]

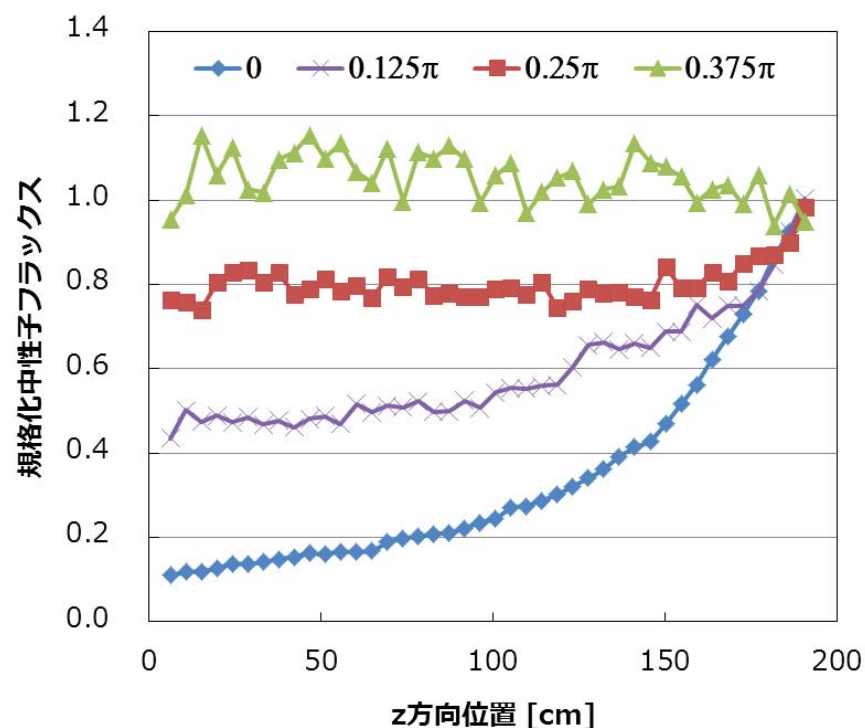
その場の線量を直接測定することも可能



- ボナーボール検出器(低エネルギー)と、シンチレータ検出器(高エネルギー)の組み合わせにより、幅広いスペクトルの環境中性子線量を測定することが可能。

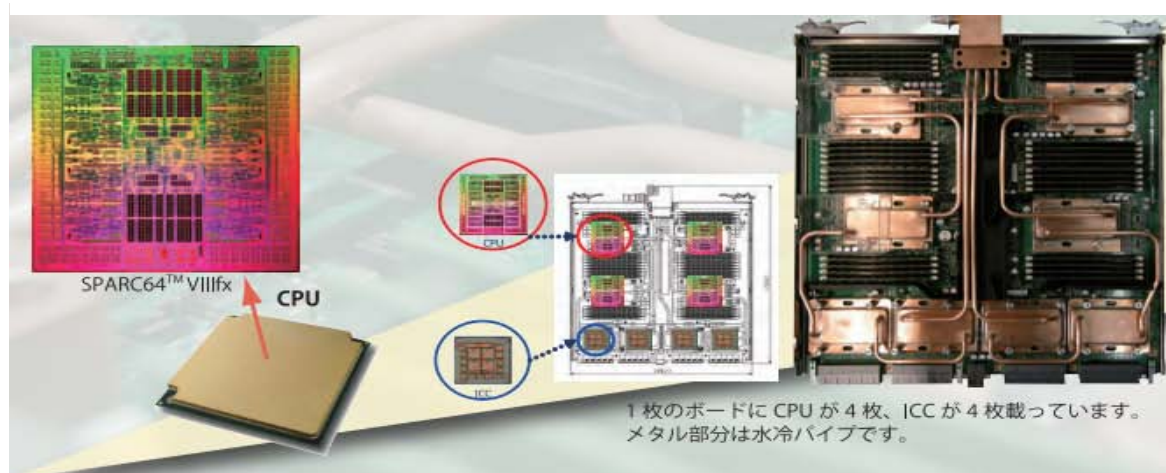


中性子線の遮蔽効果



■ PHITS(JAEA)で建物、サーバー本体等の構造を作成し、モンテカルロ計算することにより遮蔽効果が評価可能。

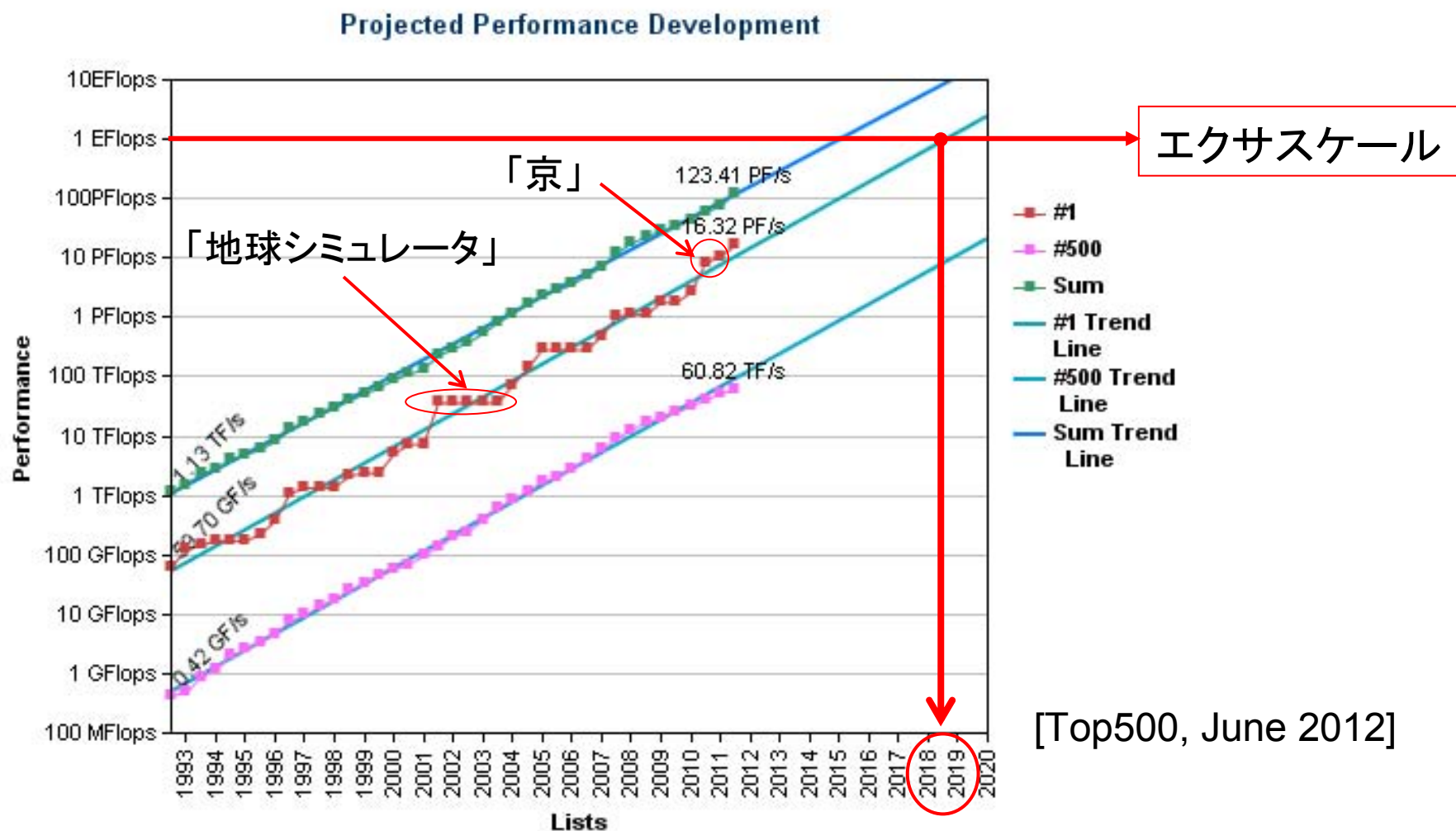
[T. Kato 2012]



[FUJITSU HP]

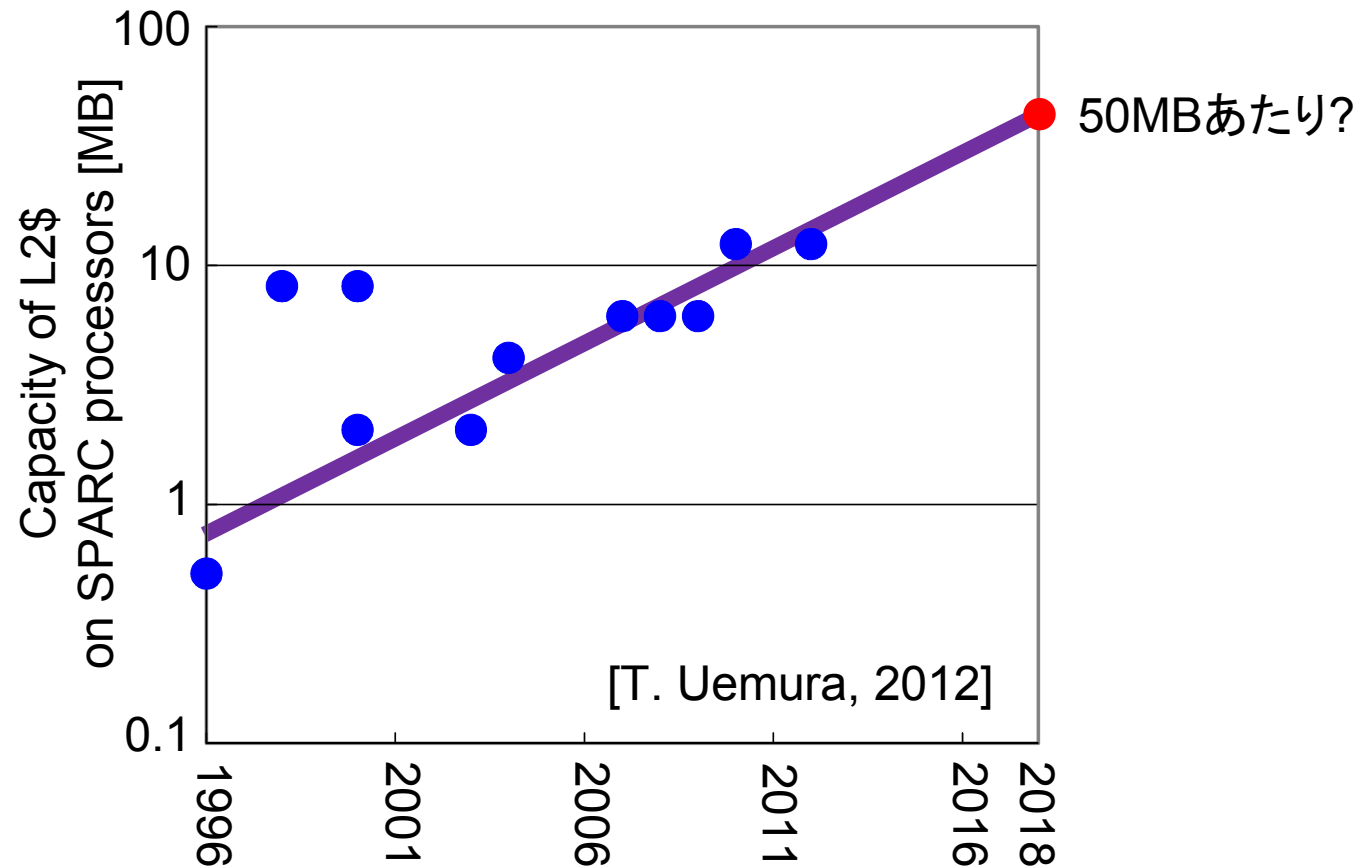
エクサスケールに求められる ソフトウェア対策

計算速度の変遷



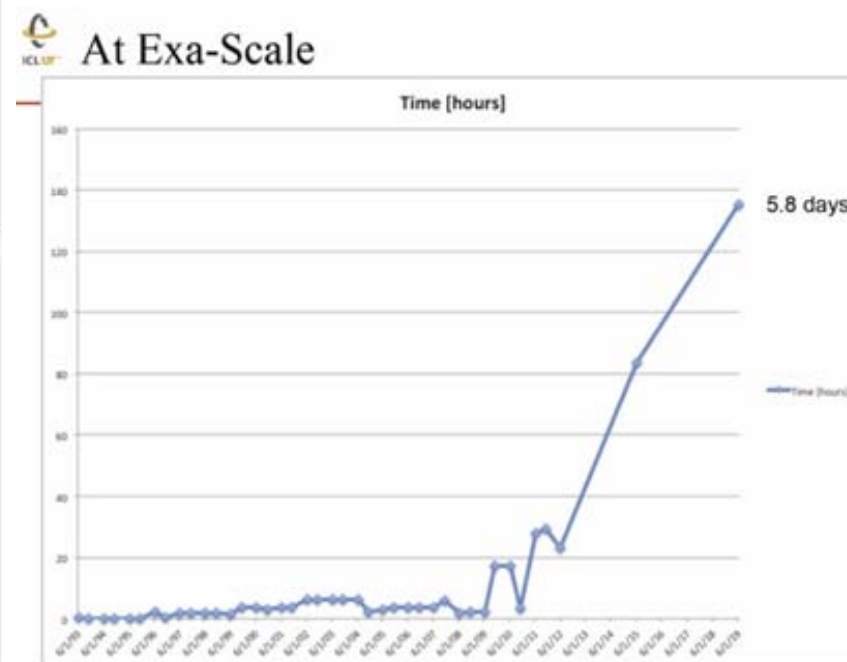
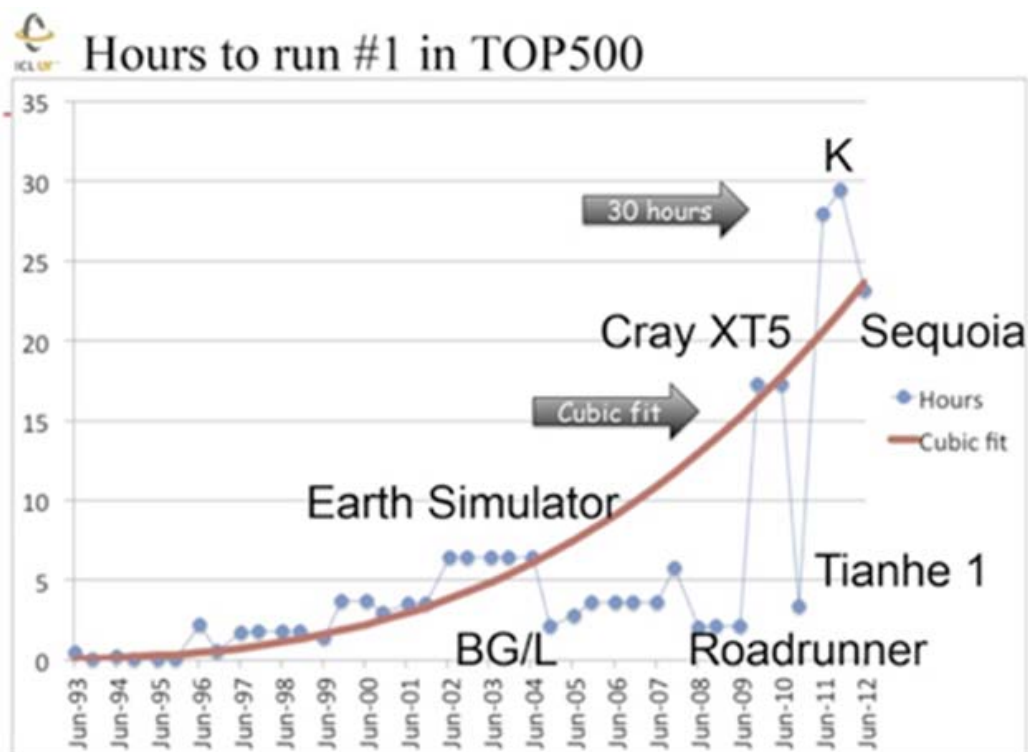
- エクサスケールがtop500に入ってくるのは2018~2019頃?
- Intelも2018年頃を目指す [L. Slaugen, 2011]

L2\$ on SPARC processor



- SPARCのトレンドで見ると50MBのメモリ容量
- Intelも50MBを想定(22nm manycore) [L. Slangen, 2011]

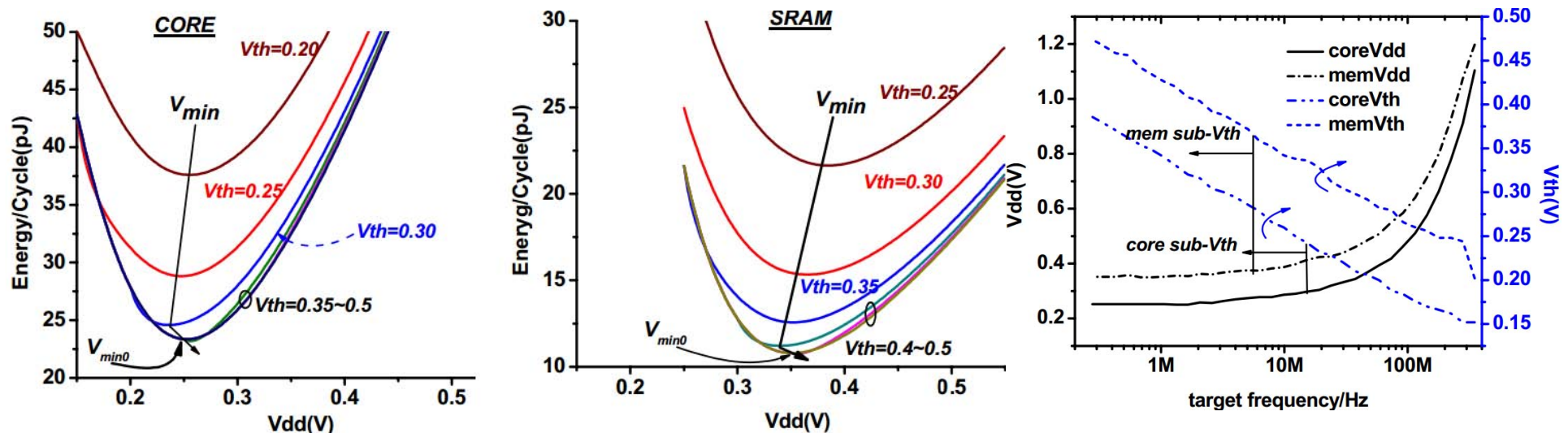
必要な無故障時間



- LINPACKの計算時間は伸びており、エクサスケールでは5.8day(140hour)が必要。[HPC Wire, 2012]
- まるで信頼性を競っているよう。

低消費電力化

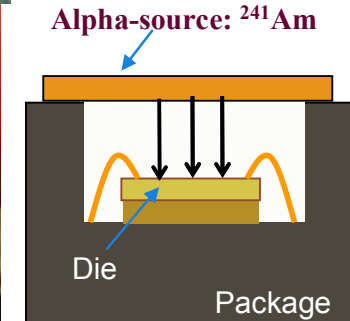
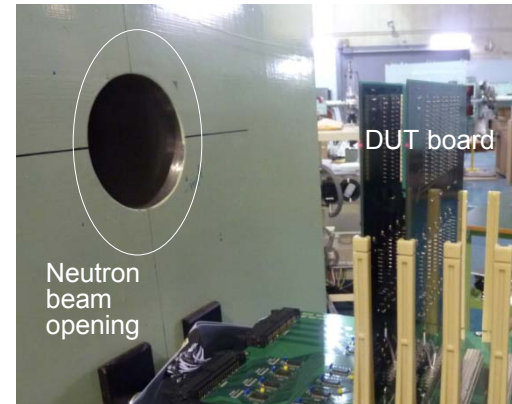
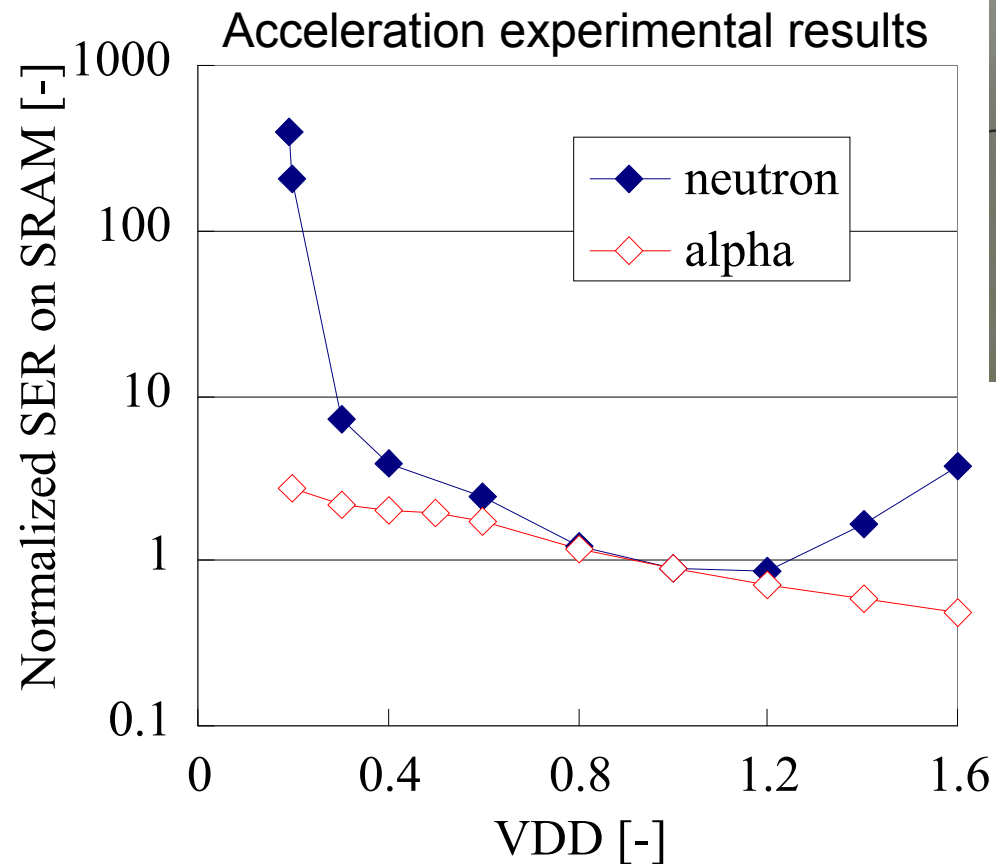
- エクサスケールの最大の課題は消費電力
- 低消費電力のためには低電圧化が必要(周波数低下)
- BG/Qは既に $\sim 0.8\text{V}$, 1.6GHz [G. Chiu, 2012]



[B. Zhai, 2007]

- ソフトエラーはどうか？
 - 低電圧化 → SEU rate増加
 - 低周波数化 → SET(組み合わせ回路)の寄与は減少

低消費電力化時のソフトウェア



[T. Uemura, 2012]

- 低電圧化により中性子起因のSERが、大幅に増大する可能性がある。

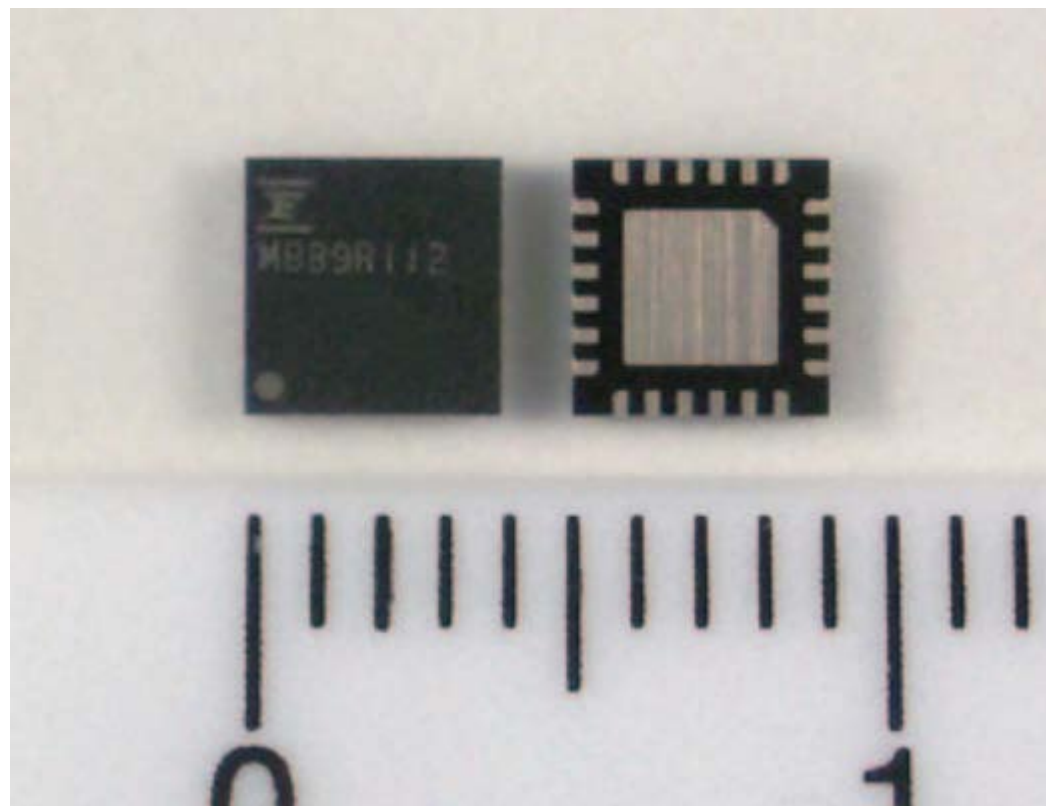
- 10万nodeとすると、140hour no error@90%を実現するには、7.5FIT/nodeにする必要がある。
- 50MB<のSRAM, 100G< transistorのロジックで、このような低FITを実現するには、今までの技術の延長では難しい。
- 低消費電力化は必須だが、それによりSERは大幅に増大。
- エクサスケール実現には、ソフトウェア対策にもブレイクスルーが必要
 - FD-SOI等

まとめ

- サーバー向け半導体デバイスでは非常に高い耐障害性が要求されるにもかかわらず、最先端プロセスを使い、非常に大規模。
→HPCのソフトウェア対策はとてもchallengingな課題。
- HPCにおけるソフトウェア評価
 - 一般的なソフトウェア評価技術が適用可能
 - 一部HPC特有の評価項目もある。
 - 簡易なsimulation tool
- HPCにおけるソフトウェア対策
 - DICEなどの低SERラッチの採用→低消費電力化、高速化が課題
 - マルチビットエラー対策
 - ECC, parity, retry, DMR, TMR→さらなる低消費電力化の要求
 - FDSOIなどのブレイクスルーへの期待

その他(紹介)

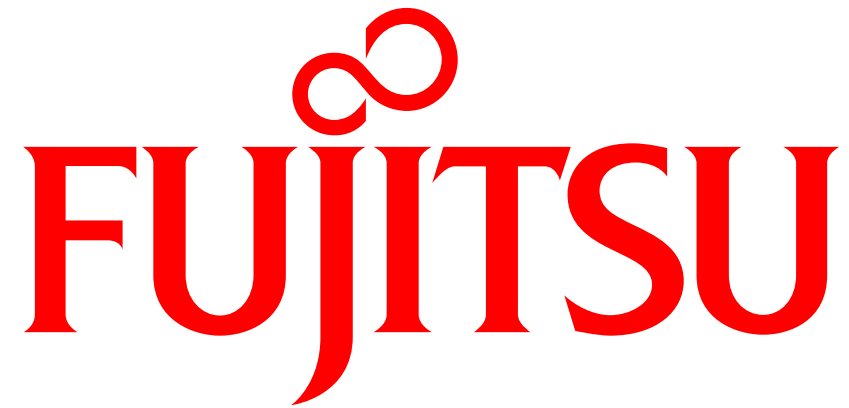
(紹介)耐放射線RFID



[FIND Vol30]

■ 医療向け放射線滅菌に耐えるFRAMデバイス

- 薬品を使わない、放射線(γ 線)滅菌法(<25kGy)に使用でき高い信頼性を保持



shaping tomorrow with you