

# 国際会議調査報告(2)

## 2012 IEEE Int'l On-Line Testing Symposium

日立製作所横浜研究所生産技術センタ 伊部英史



■場所: Meliá Sitges Hotel, Sitges, Spain

■期間: 2012年6月 27日-29日

■沿革: IOLTSは毎年ヨーロッパで開催され、今年で18回目になるが、2008年ごろよりソフトウェア関係の発表が急増し、米国開催のSELSE (Workshop on Silicon Error-Logic and System Effects) と並び、規模は大きくないが、活発で新傾向を先取りする発表の多い国際会議の一つとなっている。

■今回は、IEEEが主体となる新国際標準の内容について別途有志による会合が持たれた。

# IOLTS2012セッション概況(6/27/2012)

番号	セッション名称	トピックス(紹介)
I	SEU Tolerance	<ul style="list-style-type: none"> <li>SEU耐性ラッチのエラー検出と修復</li> <li>低消費電力、ソフトエラー高耐性ロジック</li> <li>SETOFF</li> </ul>
II	Reconfigurable Logic	<ul style="list-style-type: none"> <li>SRAMベースFPGAクラスタのエラー影響解析</li> <li>SEU-X</li> </ul>
SS*1	<b>Embedded Tutorial: Online Security Monitoring for ICs</b>	Trojanなどのセキュリティアタックのモニタ技術に関する議論
III	<b>Radiation Experiments and Analysis</b>	<ul style="list-style-type: none"> <li>地上環境放射線(低エネルギー中性子、陽子、電子、ミュオン)のフォールトベース上限解析(日立、伊部)</li> <li>GPU(Graphic Processing Unit)の中性子照射試験</li> </ul>
IV	Circuit Degradation	<ul style="list-style-type: none"> <li>経時劣化</li> </ul>
SS2	<b>Panel: Cross Layer Reliability - Challenges and Standards Requirements</b>	JESD89Aの改定作業が進まないことを受けて、TIMA Laboの所長、今年からTTTCのGeneral ChairになったNicolaidis氏が準備。伊部がパネリスト参加、JESD89Aの改定ポイントを提案。CiscoがRIIF(後述)中心の議論を展開。

\*Special Session

# IOLTS2012セッション概況(6/28/2012)

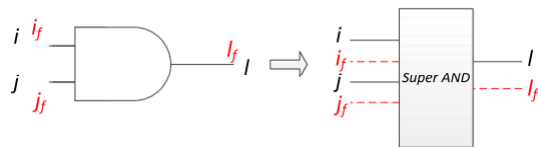
番号	セッション名称	トピックス(紹介)
V	<b>Memories and 3D Integration</b>	<ul style="list-style-type: none"><li>・L2キャッシュの機能テスト(<i>Politecnico di Torino</i>)</li><li>・3Dインテグレーションのためのビアの自己修復技術、など</li></ul>
SS3	<b>Variability and Bugs: How to find them?</b>	<ul style="list-style-type: none"><li>・ばらつきの測定とモニタ、など</li></ul>
VI	<b>Miscellaneous</b>	<ul style="list-style-type: none"><li>・RIIF (Reliability Information Interchange Format)の提案 (Cisco)</li></ul>
SS4	<b>Panel: Reliability of Hard Real-time Systems in 32nm and Beyond: Who Will Solve the Challenges?</b>	<ul style="list-style-type: none"><li>・real-time system (anti-lock brake, 航空機制御システムなど) の信頼性の今後についての討論</li></ul>
VII	ポスタセッション	<ul style="list-style-type: none"><li>・中性子照射下のSRAMのストレス効果</li><li>・PHITSを用いたSRAMの中性子起因ソフトエラー解析(神戸大、吉本)</li><li>・Real-Time システムのタイミング・制御フローチェッカーのカバレッジ</li></ul>

# IOLTS2012セッション概況(6/29/2012)

番号	セッション名称	トピックス(紹介)
VIII	Secure Hardware	<ul style="list-style-type: none"><li>・暗号化技術</li><li>・意図的アタック</li></ul>
SS5	Future Reliability Solutions: New Applications and New Devices	<ul style="list-style-type: none"><li>・正確さを追及せず、エラーロバスト性を強めたアプリケーション</li><li>・FinFETの製造ばらつき</li></ul>
IX	Soft Errors Analysis and Tolerance	<ul style="list-style-type: none"><li>・確率的ロジックマスキング効果の解析法(Carlos III マドリッド大)</li><li>・複雑システムのSEE起因障害評価(iRoc)</li><li>・ロバストプロトコル(Carlos III マドリッド大)</li></ul>

# 3.3 An Efficient Probability Framework for Error Propagation and Correlation Estimation

発表者	発表組織
L. Chen	Karlsruhe Institute of Technology (ドイツ)
要旨	低い抽象レベルのトランジエントは高い抽象レベルの多重に連動したビットデータ反転を招く可能性がある。効率的なエラー対策には、この連動効果を見積もる必要がある。本報告では論理レベルで連動問題を扱う新しい手法を提案する。エラー伝搬関数の概念に基づいて、エラー確率と連動問題をグラフ変換技術を用いて信号確率と連動問題の計算に置き換えた。実験の結果、本手法はモンテカルロシミュレーションに比べ72倍速く、エラー確率の見積もり誤差も0.006以下であった。



EPF: Error Propagation Function

$$I_f = \bar{i}\bar{j}i_fj_f + \bar{i}\bar{j}i_f\bar{j}_f + \bar{i}ji_fj_f + i\bar{j}i_f\bar{j}_f + ij(i_f + j_f)$$

図1 Super gateの概念 (ANDゲートでj=10のときはエラーフリー、jとはエラー感度あり)

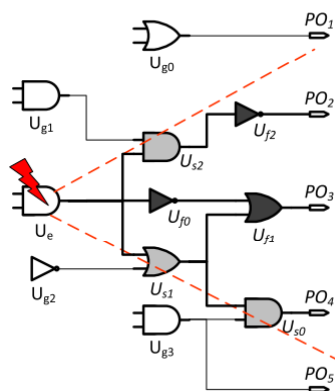


図2 Fanout cone extraction

■ Spatial correlationにCorrelation Coefficient Model (CCM)を採用。(Bayesian network approach, Probability transfer matrix (PTM)は不採用。

表1 ISCAS'85ベンチマークによる実験結果

TABLE I  
RUNTIME AND ACCURACY FOR ERROR PROBABILITY ESTIMATION WITH GATE REPLACEMENT

Benchmark	# of gates			Runtime (s)			Analytical Inaccuracy		
	Original	Synthesized	Error Sites	Monte-Carlo	Gate Replacement	Speedup	MAX	AVG	RMS
74182	19	21	21	0.43	0.048	9	0.0000	0.0000	0.0000
74L85	33	52	52	8.46	0.274	31	0.0764	0.0038	0.0108
74283	36	61	61	3.00	0.498	6	0.1247	0.0083	0.0251
74181	61	106	106	212.59	2.699	89	0.1153	0.0120	0.0236
c432	160	232	232	5412.58	125.783	43	0.2483	0.0264	0.0491
c499	202	616	616	11112.80	955.748	12	0.0310	0.0015	0.0026
c880	383	459	459	30885.10	217.409	142	0.2640	0.0020	0.0121
c1355	546	629	629	17587.50	1506.200	12	0.1665	0.0020	0.0056
c1908	880	524	524	40892.90	1344.940	30	0.3962	0.0057	0.0272
c2670	1193	834	834	106617.00	349.852	305	0.3490	0.0003	0.0053
c3540	1669	1138	100	15022.40	423.135	36	0.2622	0.0126	0.0337
c5315	2406	1666	100	21425.20	238.479	90	0.3658	0.0005	0.0066
c7552	3512	1999	100	28195.40	216.155	130	0.2436	0.0010	0.0097
<b>average</b>	-	-	-	-	-	<b>72</b>	<b>0.2033</b>	<b>0.0059</b>	<b>0.0163</b>

# Special Session 2 – Panel: Cross Layer Reliability - Challenges and Standards Requirements

## パネリスト

**Magdy Abadir, Freescale** **Dan Alexandrescu, iRoC Technologies**

**Adrian Evans, CISCO** **Eishi Ibe, Hitachi**

**Gabriele Saucier, Design & Reuse**

- 一昨年から、SELSEでは、Cross-Layer Reliability と称して、デバイスから回路、CPU, チップ、ボード、アプリケーションなどの電子装置の構成階層間で協調して対策を講じなければ信頼性は確保できないという認識が定着し始めており、82以上の組織が参加しての米国の国プロへの動きが明確になっている。
- ヨーロッパ勢が中心のIOLTSであるが、今回は、Cross-Layerをキーワードとする発表が多く、この動きが世界的な動きになろうとしている。
- SELSEの2回はそれぞれ、Intel, ロスアラモス国立研究所が音頭をとっていたが、今年はCisco Systemsが一般講演、パネル討論、国際標準の打ち合わせ全てでRIIF (Reliability Information Interchange Format) という概念を前面に出して積極姿勢を打ち出している。
- 伊部からは、JESD89Aの改訂をにらんで、中性子以外の粒子の標準試験法を定める必要性や、粒子の種類や、デバイス・装置の種類、障害モードの範囲に関する議論を展開。
- 他の4名は、電子装置設計ツールよりの専門で、特にEvans氏のRIIFを強く推す姿勢が目立った。IPをベースに電子装置の信頼性設計を進めるのは現実的でなく、精度期待できないという意見が会場 (Stanford大Mitra氏) から出された。RIIFの宣伝色が強く、今一つ議論はまとまらなかった。



# 3.3 Neutron Radiation Test of Graphic Processing Units

発表者	発表組織
P. Rech	Universidade Federal do Rio Grande do Sul (ブラジル)
要旨	本研究はCOTS 40nmグラフィックプロセッシングユニット(GPU、GeForce GTX480)のISISを用いた、世界初の中性子照射実験結果とニューヨーク海面でのソフトエラー率の評価結果を示す。

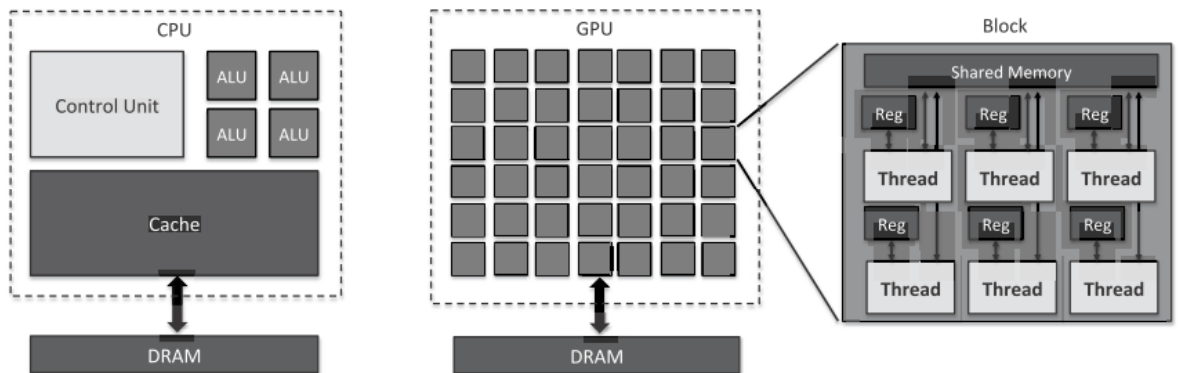


図1 CPUとGPUの特徴の相違

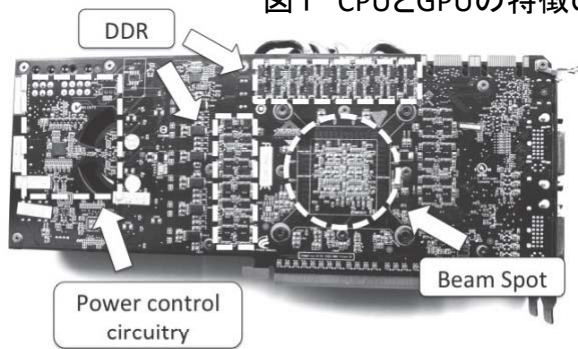


図2 DUT(メインチップのみ照射。DDR DRAMとパワー制御部はビーム中心か

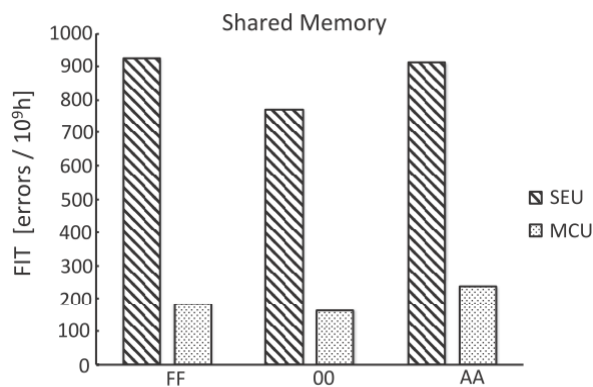


図3 SharedメモリのSER(NYC海面)評価結果

■パイプライン処理が主体のCPUに対し、多数のコアを用いたGPUは並列処理が得意で、利用分野が拡大しつつある。

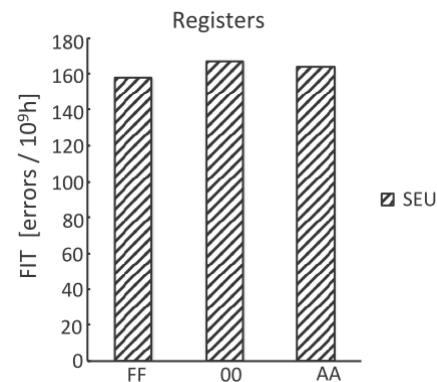


図4 内部レジスタのSER(NYC海面)評価結果(MCUは統計的に有意なk数が検出されなかった。)

## 6.2 RIIF - Reliability Information Interchange Format

発表者	発表組織
A. Evans	Cisco Systems(米)
要旨	本報告ではRIIF(Reliability Information Interchange Format) と称する、複雑なコンポーネントの障害特性や、信頼性要求を特定できる新標準言語を提案する。この言語によりEDAツールを用いて信頼性モデルを解析したり、複雑なシステムの障害発生率を計算できる。公式言語はベンダやユーザの信頼性情報を一貫した様式で交換でき、その情報を正確な信頼性モデルの構築に活用できる。RIIFは全般的な信頼性モデル言語であり、特定のアプリや実装技術に特化したものではない。

```

component SIMPLE_SRAM;
// ..... Parameter Declaration .....
parameter VOLTAGE : float := 1.0;           // Voltage at transistor
assign VOLTAGE'unit = volts;
assign VOLTAGE'min = 0.8;                   // Valid range over which RAM
assign VOLTAGE'max = 1.2;                   // RAM is characterized

parameter NUM_BITS : integer := 1024 * 1024 ; // Number of bits

// ..... Constant Declaration .....
constant A_DIFF : float := 3.2;           // Constant obtained from layout
constant Q_COL_EFF : float := 0.6;       // Represents Qcrit/Qcoll
constant MBE_RATIO : float := 0.25;     // Simple ratio of MBEs to SBEs

// ..... Define Failure Modes .....
// Neutron SBE failures are proportional to Qcrit/Qeff. Qcrit depends on V.
fail_mode SBE;                             // In this example, only consider Neutron SER.
assign SBE'description = "Single bit soft error from neutrons.";
assign SBE'unit = FITS;
assign SBE'rate = NUM_BITS * A_DIFF * EXP( - VOLTAGE / Q_COL_EFF ) ;

fail_mode MBE;                             // In this example, MBE is fixed ratio of SBE
assign MBE'description = "Multi-bit soft error, alpha and neutron.";
assign MBE'unit = FITS;
assign MBE'rate = SBE'RATE * MBE_RATIO;

// For simple model, MTF is static
fail_mode CHIP_FAIL;
assign CHIP_FAIL'description = "Permanent chip failure.";
assign CHIP_FAIL'unit = MTF; // expressed in hours
assign CHIP_FAIL'rate = 1000000;
endcomponent // SIMPLE_SRAM
    
```

図1 SRAMモデルのEDAベース表現例

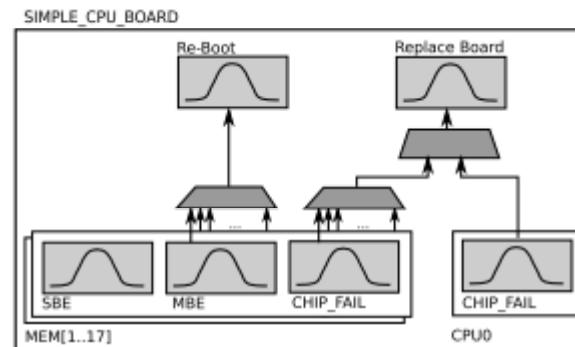


図2 RIIF解析の概念図(CPUの例)

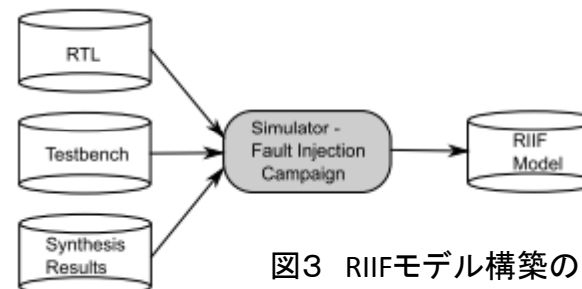


図3 RIIFモデル構築の全体像



## 7.4 Evaluation of Test Algorithms Stress Effect on SRAMs under Neutron Radiation

発表者	発表組織
Tsiligiannis, G.	LIRMM モンペリエII大学(フランス)
要旨	SRAMの中性子照射試験で、ストレス因子を定義するため、動作させる試験アルゴリズムの影響を評価する。 TSLでの準単色中性子ビームを用いた試験結果を示す。試験アルゴリズムの評価は、SEU断面積に基づく。

TABLE I: STATIC AND DYNAMIC CROSS SECTIONS

TEST	Device SEU Cross-Section ( $\times 10^{-6}$ )		
	$E=25MeV$	$E=50MeV$	$E=80MeV$
Static	1.01	2.79	2.21
Dynamic Stress	1.06	6.50	2.82
March C-	0.94	2.98	4.20
MATS+	N/A	3.11	2.33
Dynamic Classic	0.57	1.98	1.87

### ■ 90nm 6T 32Mbit SRAM

■ 25MeVでは発生するエラー数が少ないために、動的試験でもストレスがかからない。

■ アルゴリズムによってはマスキング効果 (writeのあとにreadが続かないなど) が働いて動的試験の方が低い断面積を示すことがある。通常は動的試験の方が鋭敏になる。

### ■ マーチングアルゴリズム

・ March C-: 縮退故障, 遷移故障, アドレスデコーダ故障の一部, カップリング故障の一部を検出できる。

1 W0 ↓

2 R0, W1 ↑ (昇順: アドレス0からn-1まで)

3 R1, W0 ↑

4 R0, W1 ↓ (降順: アドレス0からn-1まで)

5 R1, W0 ↓

6 R0 ↓ (昇順・降順dどちらでも良い)

・ MATS+

1 W0 ↓

2 R0, W1 ↑

3 R1, W0 ↓

# 9.1 An Efficient Probability Framework for Error Propagation and Correlation Estimation

発表者	発表組織
L. Chen	Universidade Federal do Rio Grande do Sul (ブラジル)
要旨	本研究はCOTS 40nmグラフィックプロセッシングユニット(GPU、GeForce GTX480)のISISを用いた世界初めの中性子照射実験結果とニューヨーク海面でのソフトエラー率の評価結果を示す。

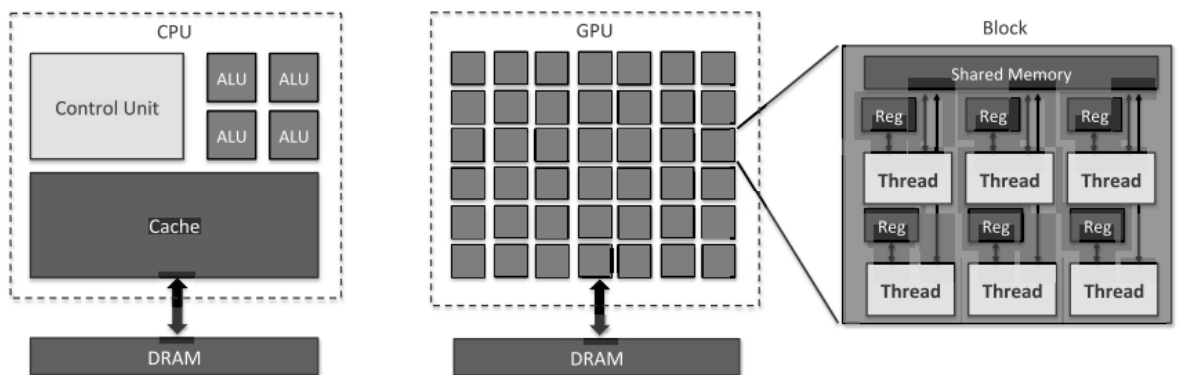


図1 CPUとGPUの特徴の相違

■パイプライン処理が主体のCPUに対し、多数のコアを用いたGPUは並列処理が得意で、利用分野が拡大しつつある。

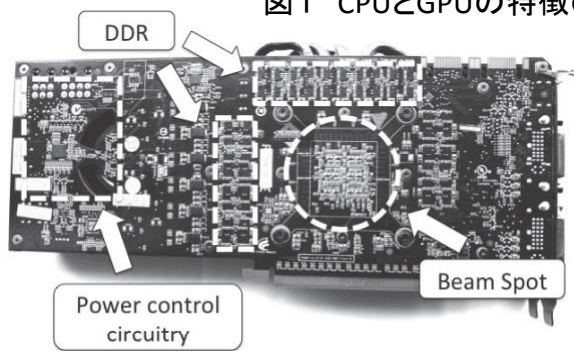


図2 DUT(メインチップのみ照射。DDR DRAMとパワー制御部はビーム中心から外した。)

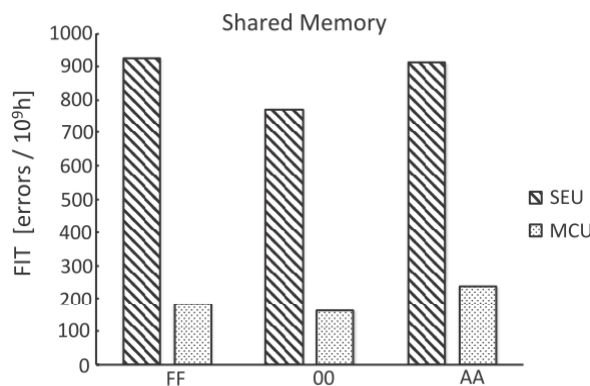


図3 SharedメモリのSER(NYC海面)評価結果

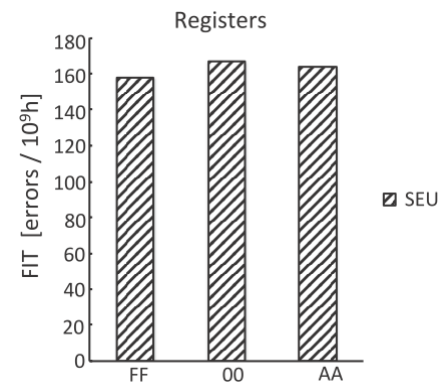


図4 内部レジスタのSER(NYC海面)評価結果(MCUは統計的に有意なk数が検出されなかった。)

## 9.4 SEU Sensitivity of Robust Communication Protocols

発表者	発表組織
C. Lopez-Ongil	University Carlos III of Madrid, Spain INTA (National Institute for Aerospace Technique)
要旨	典型的なロバストコミュニケーションプロトコルである、CANバスのSEU鋭敏性について検討する。詳細な解析を行うため、この標準を装備した回路モジュールに幅広いフォールトインジェクションを行った。実験の結果、このプロトコルシステムの制御部分のロバスト性が完全ではないことが判明した。部分耐性強化により、面積・性能面で低コストで、ロバスト性を向上できる。

TABLE 2. CHARACTERISTICS OF COMMUNICATION PROTOCOLS CONSIDERED

Protocol (STD)	Communication type	Data rate	Physical medium	#elements
MIL-STD 1553 (DoD)	Bus Serial Bidirectional	1Mb/s 20Mb/s (1773)	TSP <sup>2</sup> OF <sup>3</sup>	1 Master 31 Slaves (max)
ARINC 429 (Aeronautical Radio Inc.)	P2P <sup>4</sup> Serial Unidirectional	12.5kb/s to 100kb/s <sup>5</sup>	TP <sup>6</sup>	1 emitter 20 receivers (max)
SpaceWire (ESA based on IEEE 1355)	P2P Serial Bidirectional	2Mb/s to 400 Mb/s	TP OF	1 Master 1 Slave
FlexRay (towards an ISO standard)	P2P & Bus Serial Bidirectional	10Mb/s	DP <sup>7</sup>	22 to 64 nodes
CAN (ISO std 11898)	Bus Serial Bidirectional	10kb/s to 1Mb/s	TP OF OW <sup>8</sup>	Multi-master (up to 2048)
Ethernet (ISO 802)	Bus & P2P Serial Bidirectional	10Mb/s- 100Mb/s - 1Gb/s	TP OF	Multi-master (# limited by technology)

■ CANでは5つのモードのエラーを検出できる。

- Bit エラー: 送信側で検出
- Stuffエラー: 冗長ビットがframeの中にデータの値に対応した位置と値で挿入される。受信側でエラーを検知できる。
- CRCエラー: 送信側と受信側で一致確認
- Formエラー: frame形式が標準でない
- Acknowledgeエラー: 受信ノード不在

■ フォールトインジェクションによる回路挙動

- Silent: フォールト消滅。メモリエラーなし
- Detected: 検出メカニズムがSEU検出。メッセージ再送で修復。
- Failure: フォールト検出できず、障害発生
  - ノードが誤ったタイミングで受信しようとする。
  - ノードが誤ったデータを受信するが、検知せず。
  - 受信データを認識しない
- Latent: 遅れた受信。メモリエラー残る。

# SEU Sensitivity of Robust Communication Protocols (続)

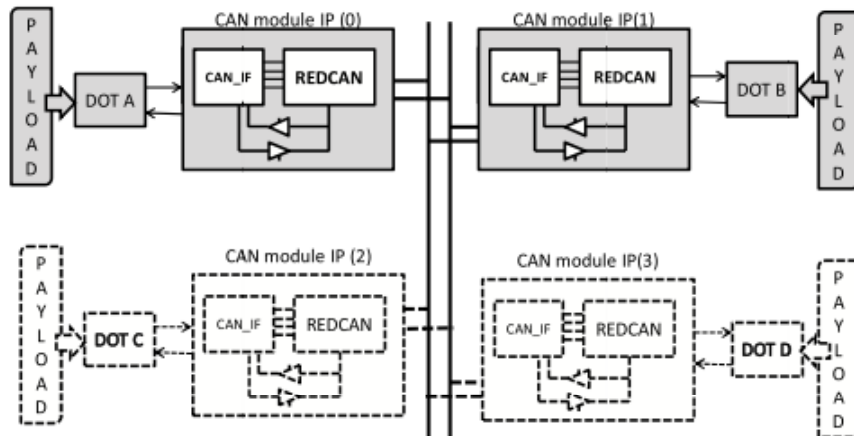


Figure 1. Design System, with CAN Module IP.

■ 231 のフリップフロップに229,564 クロックサイクルごとにフォールト注入。総フォールト数53,029,284。

CAN\_IF(インターフェース)とREDCAN(CORE)に注入。

DOT:Distributed On Board computer Terminal

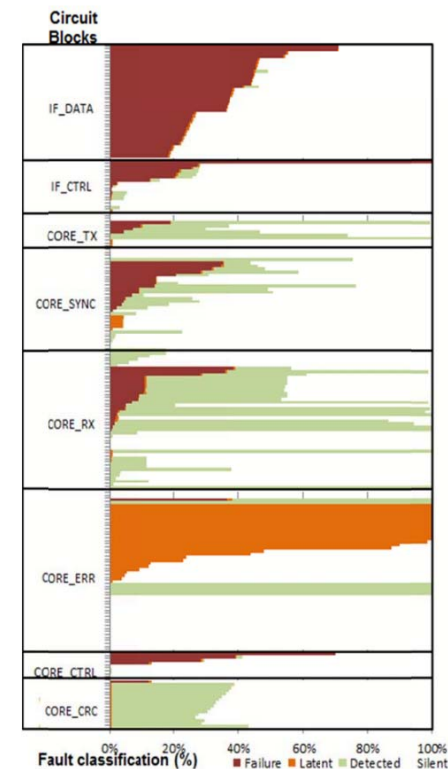
## ■ ブロック分割

- IF\_DATA: CAN IFのデータフリップフロップ
- IF\_CTRL: CAN\_IFの制御用フリップフロップ
- CORE\_CTRL: REDCANの制御用
- CORE\_CRC: CRC 計算、チェック用
- CORE\_ERR: エラー操作
- CORE\_SYNC: シンクロ用
- CORE\_RX: 受信回路用
- CORE\_TX: 送信回路用
- CORE\_STUFF: stuff操作

Table 4. Fault classification grouped by blocks

	#FF	Failure	Latent	Detected	Silent (disappeared)
IF_DATA	44	4,054,528	51,683	18,900	5,746,141
IF_CTRL	20	538,895	12,805	83,559	3,496,893
CORE_CTRL	9	345,659	3,930	9,176	1,477,747
CORE_CRC	16	28,832	26,740	1,127,506	2,489,946
CORE_ERR	51	84,011	3,827,609	1,288,352	6,278,228
CORE_SYNC	29	575,058	50,150	763,521	5,268,627
CORE_RX	43	491,688	33,423	3,541,797	5,345,216
CORE_STUFF	6	0	1,047	148,096	1,228,241
CORE_TX	13	92,318	6,743	967,258	1,918,013
<b>Total</b>	<b>231</b>	<b>6,210,989</b>	<b>4,014,130</b>	<b>7,948,165</b>	<b>33,249,052</b>
		<b>12.08%</b>	<b>7.81%</b>	<b>15.46%</b>	<b>64.66%</b>

Figure 3. Per flip-flop fault classification



# IEEEベースの国際新標準についての有志会合

## パネリスト

以下の10名が参加。 Dan Alexandrescu – iRoC Technologies; Costas Argyrides – Intel; Alex Bystrov – University of Newcastle; Eishi Ibe – Hitachi; Adrian Evans – Cisco Systems / TIMA Laboratory; Arnaud Grasset – Thales; Alberto Martin-Ortega – INSA; Michael Nicolaidis – TIMA Laboratory; Pedro Reviriego Vasallo – Universidad Antonio de Nebrija (Madrid); Said Hamdioui – TU Delft

- 地上の宇宙線に起因する電子装置の障害の定量化、設計手法についてのIEEE標準策定
- CiscoのEvans氏がしきり役を買って、議論は3時間におよんだが、お互いの所信表明にとどまった印象。
- JESD89Aの改訂の議論が進んでいないことが、Meeting開催のNicolaidis氏の意図であったが、Evans氏はその方面は御自身が知識不足であるとし、RIIF中心の議論になった(参加者はやはり装置設計ツールの専門家が中心)。
- IEEE TTTCに今年の12月PRA(Project Authorization Request)提出を目指している。2週間に1回電話会議を開催予定。



# IOLTS2012まとめ

- Cross-Layer Reliability (デバイスから回路、CPU, チップ、ボード、アプリケーションなどの電子装置の構成階層間で協調して対策を講じ、システムの信頼性を確保)をキーワードとする発表が多く、この動きが世界的な動きになろうとしている。日立のLABIR(inter-Layer Built-In Reliability)とMotivationは同じ発想。
- 昨年車載機器のISO26262がPart10を残して公開されたことを受けて、車載機器のソフトウェア関係の発表が増えている。
- CiscoのRIIFは、電子装置(サーバ、ルータ含む特に製品は限定しない)の信頼性設計をする際、購入品について必要な信頼性IP情報を設定し、フォーマットを決めて報告を義務付けるもの。IRPS2012で提案を行っているが、今回この提案をさらに拡張して、EDAツールとしてシステムの障害率をモード別に算出する新しい言語を提案している。
- 低消費電力化も大きな流れで、信頼性確保に空間冗長系はもはや使えないという議論が主流。
- GPU(Graphics Processing Unit)のソフトウェア、real-timeシステムの評価、中性子以外への環境放射線の評価など新傾向豊富。
- チップ設計ツールのIEEE国際標準化の動きあり(Cisco中心)。